

平成20年度 新規委託研究  
「ユニバーサルリンク技術の研究開発」  
研究計画書

## 1. 研究開発課題

『ユニバーサルリンク技術の研究開発』

～超高速イーサネット LAN・光トランスポートネットワーク用信号処理基盤技術～

## 2. 研究開発の目的

インターネット上でのトラフィック量は近年、年率およそ 1.4 倍という急速な勢いで増加しつつあり、近い将来、高品質映像情報などの大容量コンテンツがこれまでになく大量にかつ超高速でネットワーク上を往来することが必至であるため、現状の光通信ネットワーク基盤性能の飛躍的向上が急務となっている。多様化するサービスやコンテンツなどの情報流通に柔軟に対応するだけでなく、国際競争力やビジネスチャンスなどの国力向上にも資するため、これまで基幹網から県内網・市内網、アクセス網に渡るネットワーク要素技術の開発、及びネットワーク機能のオール光化に必要な基盤技術の開発が種々プロジェクトで進められている。

将来大きな市場が予測される次世代高速イーサネット「100 ギガビット級イーサネット(100GbE)規格」においては、その国際標準化プロセスが 2006 年 7 月から IEEE で始まっており、欧州では国家主導の研究開発プロジェクト(HECTO 計画、2006～、2.36 百万ユーロ)がスタートし、また米国 DARPA でも同様の動きがあるなど、100GbE 開発の主導権獲得に向けた競争が活発化しようとしている。こうした背景から、構内 LAN(Local Area Network)等の自営網分野においては、2010 年を目指した 100GbE 国際標準化完了のスケジュールにタイミングを合わせた早期の技術開発・実機検証が急がれる。

公衆網分野においても同様に、広域系ネットワーク(WAN: Wide Area Network)の接続規格の国際標準化を行っている国際連合の下部機関である国際通信連合 ITU-T SG15 では近年、次世代高速イーサネット信号を光トランスポートネットワーク(OTN: Optical Transport Network)で長距離伝送するための議論が活発化しており、IEEE802.3ba 委員会との連携を図って、100GbE 等の次世代高速イーサネット信号を長距離転送するための新しい信号階梯(OTU-4: Optical Transport Unit-4)とその伝送方式に関する国際標準化が進みつつある。OTN では、光スイッチにより動的に光信号を光・電気変換せずに切り替える ROADM (Reconfigurable Optical Add Drop Multiplexer)や OXC (Optical Cross Connect)などを光中継ノードとして含むことが想定されているため、光信号の伝送距離が延長されるとともに、時々刻々と大幅な光パス変動が生じる。従来の固定的伝送距離(500km)の光伝送設計(研究開発課題「ユーティリティ技術の研究開発」(平成 18 年度～)での目標)に対し、伝送距離の延長(500km 超え)やダイナミックな光パス変動に動的に対応できるようアップグレードした信号等化技術が必要となる。

10 ギガビットイーサネット(10GbE)規格までの歴史を振り返ると、日本が得意とする「光技術」分野に関しては多くのシェアを国内各メーカーが競い合って獲得している一方、欧米が得意とする「大規模集積(LSI: Large-Scale Integration)技術」分野に関しては、一部欧米メーカーの寡占化が進み、国内各社はシェア争いで大きく出遅れた。その結果、光部品に関しては国内各社が激しい価格競争にさらされる一方で、価格競争が比較的緩やかな LSI 部品で欧米各社が多くの利益を上げる状況になっている。また、10GbE の標準化では、OTN への収容長距離転送方式において ITU-T と IEEE の連携が不十分であったため、10GbE インターフェースの標準が WAN PHY と LAN PHY に二分し、さらに、OTN 収容の業界方式も複数できてしまうなど、標準化ならびに市場が大きく混乱するという経緯があった。

こうした過去の標準化を巡る混乱の教訓や優位的な市場獲得の観点から、LAN 系ならびに WAN 系の両者に適用可能な次世代高速イーサネット関連規格において我が国が国際標準の主導権を獲得するためには、「光技術」と「システム化技術」の双方の早期開発・実証が極めて重要であると考えられる。従って、我が国の強みである「光技術」分野はさらに増強していく一方で、今後は、対となる電気処理部を含む「システム化技術」分野でも我が国発の信号処理技術がブラックボックス化されたコアプロダクトのキー技術として組み込まれることを目指すべきである。そのためには、この LSI 化などの「システム化技術」分野で技術開発力と国際競争力を強化し、国際標準化に有利な立場で取り組めるよう、世界に先駆けて LAN 系と WAN 系の双方に適用可能な次世代高速イーサネット用 LSI の早期実用化を図る必要がある。

本委託研究では、IEEE ならびに ITU-T における次世代高速イーサネット規格に関する国際標準化の主導権獲得と国際市場の優位的シェア獲得を目指して、LAN 系(自営構内網)から WAN 系(公衆基幹網)までを高い信頼性をもってシームレスに伝送するための次世代高速イーサネット用システム回路技術の開発を戦略的に行うことを目的とする。具体的には、LAN 内また LAN からの 25Gbps x 4 平行の 100GbE 信号を短距離(40km 以下)伝送する光インターフェース用電気信号処理技術(課題ア)と、LAN からの 100GbE 信号を受けて、WAN (OTN)内で 100Gbps 級シリアル光信号を長距離(500km 超えでダイナミックな距離変動を含む)伝送する光インターフェース用電気信号処理技術(課題イ)の研究開発を行う。

### 3 . 研究開発期間及び予算

研究開発期間：平成 20 年度から平成 24 年度までの 5 年間。

予算：平成 20 年度は 3 0 0 百万円程度を上限とする。

IEEE および ITU-T における国際標準化のスケジュールを考慮し、平成 21 年度までは課題アの研究に注力し、平成 22 年度以降は主に課題イの研究に主軸を移

したリソース配分を行うこと。なお、平成 21 年度以降は対前年度比で 6%削減した金額を上限として提案を行うこと。

#### 4. 個別課題

本委託研究は、IEEE ならびに ITU-T における次世代高速イーサネット規格に関する国際標準化の主導権獲得と国際市場の優位的シェア獲得を目指して、LAN 系から WAN 系までを高い信頼性をもってシームレスに伝送するための次世代高速イーサネット用電気信号処理基盤技術の開発し、その FPGA や試作 LSI などによるリアルタイム動作実証を戦略的に行うものである。

本委託研究の個別課題は以下のように構成する(図 1 参照)。

##### **課題ア LAN 向け 100GbE 対応パラレルリンク技術**

課題ア-1 MAC・PCS 間省電力・高速 MLD インタフェースの開発

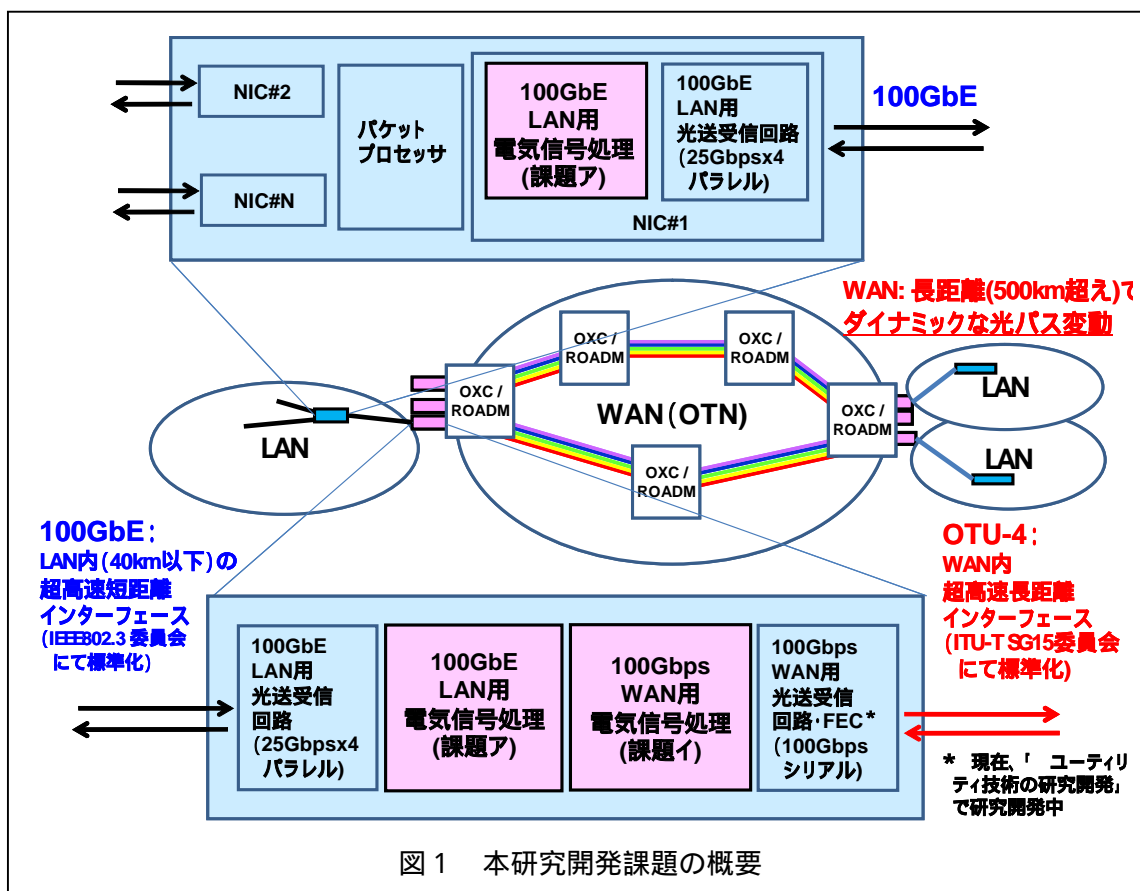
課題ア-2 論理回路機能の開発

課題ア-3 送受信器機能の試作評価検証

##### **課題イ WAN 向け 100GbE 信号トランスポート対応デジタル信号波形歪保証 処理技術**

課題イ-1 リアルタイムデジタル信号処理アルゴリズム

課題イ-2 アルゴリズム実証のための回路試作と評価検証



個別課題の具体的内容は以下に示す。

## 個別課題の具体的内容

### 課題ア LAN 向け 100GbE 対応パラレルリンク技術

LAN 内または LAN からの 25Gbps x 4 パラレルの 100GbE 信号を短距離(40km 以下)伝送する光インターフェース用電気信号処理技術。具体的には以下、3 つのテーマから構成される。

#### 課題ア - 1 MAC・PCS 間省電力・高速 MLD インタフェースの開発

- ・MLD(Multi Lane Distribution)規格を実現する信号速度 25Gbps 対応の光信号駆動回路、信号伝送路の周波数特性を補償する振幅位相補正回路と可変ゲイン補正回路、信号速度 25Gbps のデータ信号とクロック信号を再生する回路、および、低消費電力と低ジッタ性能を両立した位相同期ループ(PLL: Phase Locked Loop)回路を搭載した、省電力・高速 MLD インタフェースの開発

#### 課題ア - 2 論理回路機能の開発

- ・MAC(Media Access Control)からの速度とレーザ/フォトダイオードに接続する速度(25Gbps)との間の信号速度変換、国際標準化で想定される符号化方式に対応可能な符号/復号化処理、MAC およびレーザ/フォトダイオード間を接続する複数の SerDes (Serializer/Deserializer)間のスキュー調整を行う、PCS (Physical Coding Sublayer)機能の開発。
- ・100GbE 信号フレーム処理(MAC 機能)：10GbE/40GbE から 100GbE の速度変換を含む、100GbE 規定のイーサネットフレームへのマッピングと、エラーチェックや回線障害検出を含むMLDを介したPCSとの通信を行う、MAC機能の開発。

#### 課題ア - 3 送受信器機能の試作評価検証

- ・LSI 試作検証：課題ア-1 及びア-2 における機能の全てを一つ、もしくは、複数の集積回路への搭載と、実機による動作検証。
- ・WAN との接続評価：課題イとの連結試験と機能検証、および、国際標準化に沿った論理の追加改良。

#### 課題イ WAN向け100GbE信号トランスポート対応デジタル信号波形歪保証処理技術

LAN からの 100GbE 信号を受けて、WAN (OTN)内で 100Gbps 級シリアル光信号を長距離(500km 超えでダイナミックな距離変動を含む)伝送する光インターフェース用電気信号処理技術。具体的には以下、2つのテーマから構成される。

##### 課題イ - 1 リアルタイムデジタル信号処理アルゴリズム

- ・100Gbps 長距離光伝送リンク設計・検証：100Gbps 級シリアル光信号の高速転送で課題となる長距離光伝送時の波形歪において、ダイナミックな光パス変動にも対応可能な、いくつかの動的な信号波形歪補償処理のアルゴリズムの開発・比較検討と、有力アルゴリズムの選定。

##### 課題イ - 2 アルゴリズム実証のための回路試作と評価検証

- ・リアルタイム動作実証のための回路試作：課題イ - 1 で選定したアルゴリズムをリアルタイムで動作実証するための回路試作。
- ・リアルタイム動作検証：上記試作回路によるリアルタイム動作設計の妥当性を検証。

#### **研究開発に当たっての留意点**

本研究開発の提案に際しては、以下の項目に該当していること。

- 1) 本分野における国際標準化活動の国際標準獲得等に関する実績、もしくは、相応の開発経験や戦略的な体制などがあり、標準化におけるグローバルな合意形成を考慮しつつ個別課題に取り組めること。
- 2) 個別課題間(課題アと課題イ)での緊密な連携体制を構築していること。
- 3) 図1の機能分担図に示されるとおり、平成18年度から実施している「ユーティリティ技術の研究開発」の成果との連携が重要であるため、採択後に左記テ-

マ受託者との連携について対応可能であること。

(「ユーティリティ技術の研究開発」の受託者、成果概要等は下記 URL をご参照ください。

[http://www2.nict.go.jp/q/q265/s802/seika/h18/h18s1\\_seika.htm#79](http://www2.nict.go.jp/q/q265/s802/seika/h18/h18s1_seika.htm#79))

なお、提案に際しては上記に留意するとともに、採択後に情報通信研究機構と協議を行い、連携方策について調整を図ること。

- 4) 図2に示す本委託研究と関連する国際標準化予定ならびに市場動向を熟慮し、タイムリーな製品化を目標とした技術提案であること。また、製品化に関しては、本委託研究と並行して製品化を目指した自主開発を進め、後述のスタートアップミーティング・中間評価等において可能な範囲で自主開発の状況も報告すること。

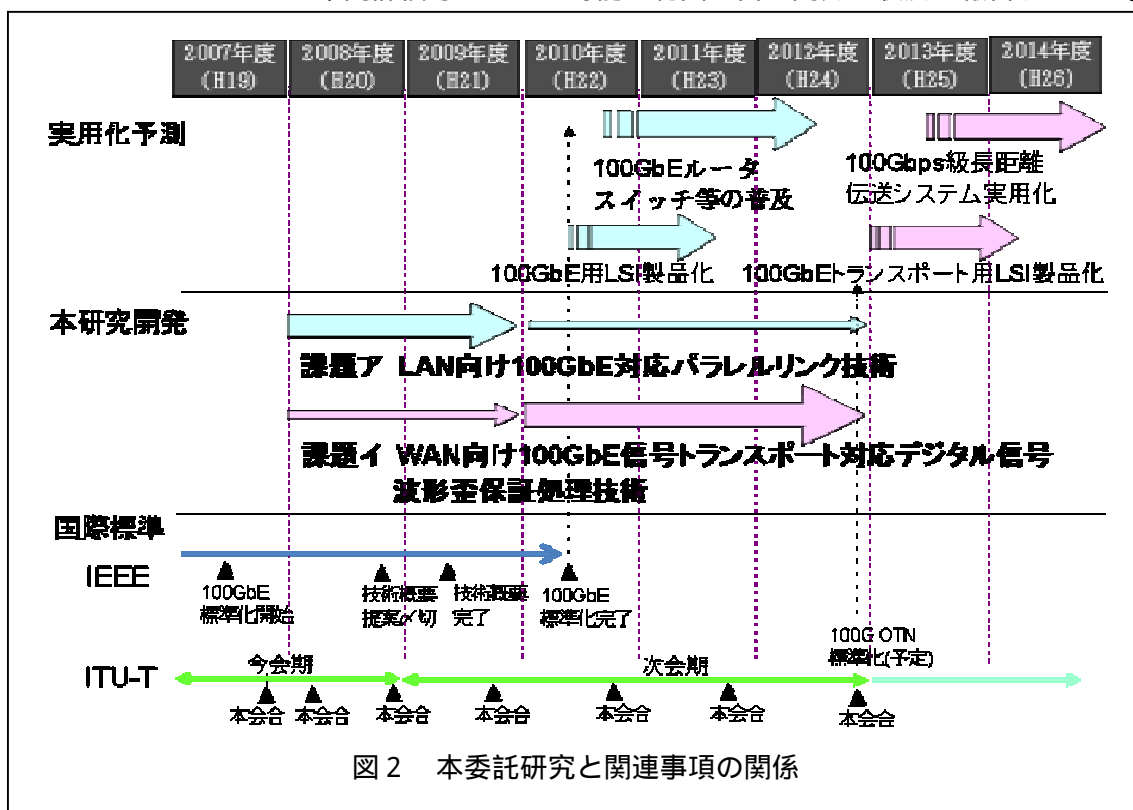


図2 本委託研究と関連事項の関係

## 5. 研究開発の到達目標

研究開発の到達目標を以下とする。ただし、提案時点までに明らかになっている国際標準化に係る技術的要件が満たされていることを条件とするとともに、それを優先する。これに従い、提案時点までに明らかになった、国際標準化に向けて追加すべき機能・性能も挙げること。

なお、当該到達目標は最低限の目標であり、提案に際しては、当該到達目標を超える

目標の設定が望ましい。また、当該到達目標は、本委託研究に関する技術や利用動向を勘案しつつ、必要に応じて計画実施の途中からでも見直しを行うため、見直しに対応できる柔軟性も併せて有していること。

## 全体目標

- ・100GbE 信号フレームを LAN 系から WAN 系まで経済的かつ安定にシームレス転送するためのキーとなる信号処理技術の開発、および、その FPGA や試作 LSI などによるリアルタイム動作実証を目的とする。

## 個別課題目標

### 課題ア LAN 向け 100GbE 対応パラレルリンク技術

#### 課題ア - 1 MAC・PCS 間省電力・高速 MLD インタフェースの開発(平成 20 年度まで)

- ・100GbE 用 LSI に必須となるインターフェース回路として、25 Gbps 動作と低消費電力(入出力回路部と送受信器全体で共に、単位チャンネル・単位伝送速度あたりの消費電力[mW/Gbps/ch]が従来技術によるものより改善されていること)を実現した、4 . に示す省電力・高速 CMOS インターフェース回路を開発すること。
- ・上記において、規定可能な最大消費電力と駆動スペックを設定し、それらの値が可能な限り高い目標値にするとともに、国際標準化動向に柔軟に対応できること。

#### 課題ア - 2 論理回路機能の開発(平成 20 年度まで)

- ・100GbE 用 LSI に搭載するための、4 . に示す論理回路(PCS と MAC)機能を開発すること。

#### 課題ア - 3 送受信器機能の試作評価検証

- ・課題ア - 1 のインターフェース回路と課題ア - 2 の論理回路の一部を搭載した集積回路を開発し、実機検証を行うこと。(平成 21 年度まで)
- ・課題ア - 2 の論理回路は、課題イとの相互接続をするため、接続切り替えが可能なインターフェースを確保し、機能別に利用できるように複数チップに分割して開発すること。(平成 24 年度まで)

### 課題イ WAN 向け 100GbE 信号トランスポート対応デジタル信号波形歪保証処理技術

#### 課題イ - 1 リアルタイムデジタル信号処理アルゴリズム(平成 21 年度まで)

- ・100Gbps シリアル光信号の長距離光ファイバ伝送(500km 越えでダイナミックな距離変動を含む)時に生じる波形歪の動的補償信号処理をリアルタイムで動作させるためのアルゴリズムの基本方式について、少なくとも4つの方式(コヒーレント検波処理方式、送信端補償方式、受信端補償方式、直交周波数多重分離技術による波形歪低減方式)の観点から検討し、それぞれのアルゴリズムを開発すること。



- ・上記アルゴリズムについて、平成 22 年に標準化予定の 100GbE 信号の伝送速度とフレーム構成を考慮して比較検討し、課題イ - 2 で実現すべき 100Gbps 級シリアル光信号伝送に適した波形歪補償処理アルゴリズムを選定すること。
- ・以上の検討において、対応距離の最大長と変動幅を設定し、それらの値が可能な限り高い目標値にするとともに、国際標準化動向に柔軟に対応できること。

**課題イ - 2 アルゴリズム実証のための回路試作と評価検証(平成 24 年度まで)**

- ・ASIC または FPGA などにより、課題イ - 1 で選定した波形歪補償処理アルゴリズムのリアルタイム動作について、実環境相当下において、長距離伝送(500km 超えでダイナミックな距離変動を含む)に耐えうる実用的な設計となっていることを実証すること。

**6 . 研究開発スケジュール**

本委託研究の研究開発期間は、平成 20 年度から平成 24 年度までの 5 年間であり、スケジュールは概ね以下のとおりとする。なお、平成 21 年度、平成 22 年度、平成 23 年度にはそれぞれ中間評価を行う。

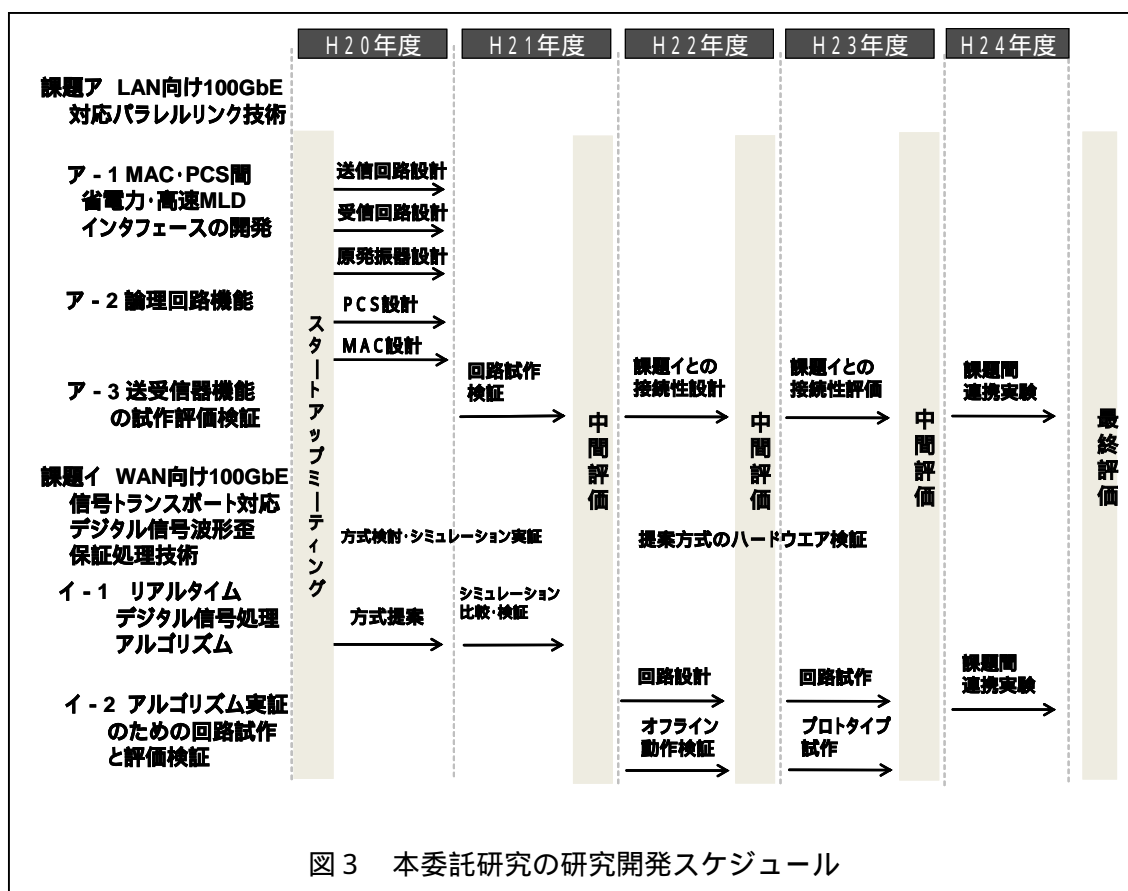


図3 本委託研究の研究開発スケジュール