

全光パケットルータ実現のための光 RAM サブシステムの研究開発

(1) 研究の目的

将来のルータの主流になると期待される全光パケットルータを実現する上で不可欠である、非同期光信号で入出力可能な光 RAM サブシステムを実現する基本技術を確立し、プロトタイプ of 作製により技術的可能性を検証する。

(2) 研究期間

平成 18 年度から平成 22 年度 (5 年間)

(3) 委託先企業

日本電信電話株式会社 < 幹事 >
国立大学法人大阪大学
国立大学法人九州大学
日本電気株式会社

(4) 研究予算 (百万円)

平成 19 年度 286.4

(5) 研究開発課題と担当

課題ア：光 RAM 単位素子の開発

- (ア) フォトニック結晶型光 RAM 単位素子の作製 (日本電信電話株)
- (イ) 双安定レーザ型光 RAM 単位素子の作製 (日本電信電話株)
- (ウ) アクティブ型光 RAM 構造に関する研究開発 (九州大学)
- (エ) 集積フォトニックナノ構造素子量産化プロセス基盤技術の開発 (日本電気株)

課題イ：光 RAM サブシステムの開発と基本動作の実証

1. 波長変換型アドレスの開発 (日本電信電話株)
2. 光ビーム走査型光アドレスの開発 (大阪大学)
3. 光インターフェイスの開発 (日本電信電話株)
4. 制御光信号発生器の開発 (日本電信電話株)
5. 光 RAM サブシステムの基本動作の実証 (日本電信電話株)

課題ウ：全光パケットルータの構成等の検討・評価

1. 全光パケットルータの構成とバッファ管理技術 (大阪大学)

2. 転送プロトコルを含む全光パケットルータシステムの性能評（大阪大学）

（6）主な研究成果

特許出願：1件

外部発表：23件

具体的な成果

本委託研究では、将来のルータの主流になると期待される全光パケットルータを実現する上で不可欠である、非同期光信号で入出力可能な光RAMサブシステムを実現する基本技術を確立し、プロトタイプ of 作製により技術的可能性を検証することを最終目標としている。光信号をビット毎に書き込んだり読み出したりする光RAMは極めて挑戦的なテーマであり、必然的にその関連周辺技術も新規であり、かつ解決すべき技術課題も膨大なものがある。この目標に向かって、光RAM単位素子、周辺光技術全般、光RAMを用いた全光パケットルータ構成を11の個別テーマに分けて研究している。以下に、それぞれの平成19年度の成果の概要を整理して説明する。

課題ア-1：フォトリック結晶型光RAM単位素子の作製

- (1) InGaAsPを用いたフォトリック結晶(PhC)共振器を作製し、世界最高のQ値(13万)を達成([課題ア-2]と協力)。最長メモリ動作(メモリ時間 150ns, バイアス 250・W)、最小パワー動作(バイアス 40・W、スイッチングエネルギー30fJ、メモリ時間 85ns)を達成。光ビットメモリに必要な、光パルスによる書き込み及び読み出し動作の原理確認に成功。
- (2) AlGaAsを用いたPhC共振器を作製し、世界最高のQ値(69万)を達成。光双安定動作を示唆する現象の観測に成功。
- (3) シリコン(Si)チップ上に、ファイバからPhCに光を高効率で導入するためのスポットサイズコンバータとSi-PhCを1チップに集約することに成功。
- (4) フォトリック結晶ファイバを作製し、シングルモードファイバからの挿入損失1.1dBを達成。
- (5) Si-PhCにおいて熱光学効果が原因でメモリ時間を長時間化できない問題を理論解析し、改善の可能性を検討。電極付加によるキャリアの引抜に一定の効果があることを示唆。

課題ア-2：双安定レ-ザ型光RAM単位素子の作製

InP系フォトニック結晶の作製技術開発を課題【ア-1】と協力して行った。その中で課題【ア-2】では主としてInP系半導体のドライエッチングおよびエアブリッジ化について検討した。その結果、世界でもトップクラスの共振器特性を得ることができた。H18年度から検討を進めているDBRレーザ型の双安定レーザについては原理確認を行ったが、上記のフォトニック結晶において良好な結果が得られたため、フォトニック結晶の作製に集中して検討を進めている。

課題ア-3：アクティブ型光RAM構造に関する研究開発

アクティブMMI型双安定レーザの双安定動作を光RAMに適用するためには、小型化は重要である。そこで、これまでに報告された方式とは異なるアクティブMMI型双安定レーザについて試作評価を行った。その結果、従来方式よりも小型で安定動作することを実験的に確認でき、基本構造を決定した。

課題ア-4：集積フォトニックナノ構造素子量産化プロセス基盤技術の開発

量産対応型プロセス装置を用いて検討を進めてきた方位無依存高アスペクト平滑ドライエッチング技術をInP系光導波路素子の開発へ適用し、フォトニックナノ構造の量産対応プロセス基盤技術としての実用性を示した。また、量産化・装置安定運用により適した新しい混合エッチングガスに関する基礎検討を進め、上記技術と遜色ない良好な加工形状実現に繋がる指針を得た。さらに、フォトニックナノ構造の集積化・高性能化に向けたプロセス環境整備にも着手した。

課題イ-1：波長変換型アドレスの開発

光RAMへのビット毎の読み出しと書き込みの位置決めのために波長を用いるシステムでは、波長可変レーザ、波長変換器(光AND回路)、AWGフィルタをモノリシック集積した波長変換型アドレスが必要である。それに向け、波長可変レーザの改良を進め、100GHz間隔30波以上の高速スイッチングを実現した。さらにフィルタレスで動作する波長変換器についての検討が進んだため、波長可変レーザと波長変換器のモノリシック集積を行った。その結果、20dB以上の抑圧比で信号光の出力光へのクロストークを押さえることが可能であった。また、10GbpsのNRZ信号の波長切り替え実験を行い石英系AWGと組み合わせることにより出力ポートの切り替えが可能であることを示した。

課題イ-2：光ビーム走査型光アドレスの開発

位相シフト(キャリア注入効果)によるモード結合状態の変化を利用した多モード干渉導波路スイッチを用いた高速かつ超小型の光ビーム走査型光アドレスに関する設計手法を確立した。開発したデバイスシミュレーションツールを用いてデバイスパラメータを決定し、第1次試

作・サンプルの評価を行った。その結果、試作した 1x4 入出力ポートの InP/InGaAsP 系半導体多モード干渉導波路スイッチのスイッチング動作を確認した。もう 1 つの候補であるアレイ導波路型スイッチとの比較は次年度継続する。国際会議論文投稿 1 件、国内学会投稿 1 件。

課題イ-3：光インタ-フェイスの開発

40 Gbps またはそれ以上の高速なバ-スト光パケットを、直接光メモリ媒体に書き込むことは極めて困難であるため、入力光パケットを複数の低速なパラレル光信号に変換する全光シリアル-パラレル変換器が必要となる。さらに、光メモリ媒体から読み出された低速な並列光信号を再びシリアルな高速光パケットに再構築するための全光パラレル-シリアル変換器が不可欠となる。本課題では、全光シリアル-パラレル変換器のキーデバイスである、高効率スピン分極面型全光スイッチの設計と作製を行い、その基本特性を実験的に検証した。また本光スイッチおよび H19 年度までに準備した構成部品をもとに、10 Gbps、16 ビットの全光シリアル-パラレル変換器のプロトタイプを作製し、その基本特性を確認した。

課題イ-4：光インタ-フェイスの開発

長い光パケット（数千ビット以上）を一括でパラレルに変換することは極めて困難であり、このように長い光パケットを光メモリ媒体に書き込むには、光パケットを N ビットごとに順次パラレル変換する必要がある。また、突然入力する非同期バ-スト光パケットから、N ビット間隔の安定な制御光パルス列を瞬時に生成しなければならない。本課題では、単一光パルス発生器と光パルス列発生器を組み合わせることにより、これら特性を全て満足する制御光信号発生器の開発を行っている。単一光パルス発生器については、回路と作製プロセスを見直したことで、感度の向上（2.5 倍）と、出力パルスのタイミング変動が抑制されることを実証した。また光パルス列発生器と上記単一光パルス発生器を統合した制御光信号発生器プロトタイプにおいては、前年度の基本特性評価において新たに課題となっていた 2 x 2 の LN 光スイッチにおける DC バイアスがドリフトする問題を、電気的なフィードバック回路を装備することで解決し、特性及び安定性を格段に向上させることが出来た。さらにその評価結果から統合動作における課題を抽出することが出来た。

課題イ-5：光 RAM サブシステムの基本動作の実証

本委託研究の最終目標は、光メモリ媒体および光アドレス-光インターフェイス等の周辺光技術を組み合わせた 40 Gbps、4 ビット全光 RAM サブシステムの動作実証である。ただし、周辺光技術に関し

では、完全フルパケット動作の完成を目指すことが必要であると考え。その準備として、サブシステム構築に必要なボード類の設計および作製、電子RAMから読み出された並列電気信号をシリアル光パケットに再構築するための電気パラレル-光シリアル変換器の開発を行ない、それらの基本動作を確認した。具体的には、光RAMボードと光パケット送信ボードの作製、およびイ-3、イ-4と協力してCMOS-RAMへの書き込み動作の検証を行った。実際に、光RAMボードの一つの入力インターフェイスを用いて、16チャンネル並列信号電子メモリ媒体への書き込み実験を行った結果、-25dBmの入力光パワーに対しての正確な書き込みを実証した。さらに、RAMからデータを読み出すための電気パラレル-光シリアル変換器の二次試作と評価を実施した。評価結果より回路定数の最適化でさらなる特性向上が見込めることを明らかにした。

課題ウ-1：全光パケットル-タの構成とバッファ管理技術

平成19年度においてバッファ付きバンヤンアーキテクチャを対象とした計算機シミュレーションを実施し、パケット棄却率、光RAMバッファサイズ、光RAM素子の必要保持時間について基本性能を明らかにした。平成20年度は光RAMバッファサイズの最小化のためのバッファ管理方式の開発に取り組む。具体的にはバッファ付きバンヤンアーキテクチャにおいて、各ステージのバッファ利用率に応じてパケットの送出タイミングを制御するパケットスケジューリング機構を考案・評価する。評価結果にもとづき、必要があれば再度スイッチアーキテクチャの見直しを行う。さらに、中間目標達成に向け、FPGA実装にむけたパケットスケジューリング機構の改良を実施する。

課題ウ-2：転送プロトコルを含む全光パケットル-タシステムの性能評価

計算機シミュレーションにより、既存のデータ転送プロトコルと光RAMバッファを組み合わせた際に、必要バッファ容量が極めて大きくなることを示した。この問題を解決するために、データ転送制御方式paced-XCPを新たに立案・評価し、サーバを用いた計算機シミュレーションにより、低負荷時の必要バッファ容量を4桁以上削減可能であるとの見通しを得た。

