

ユニバーサルリンク技術研究開発

(1) 研究の目的

LAN 内又は LAN からの 100Gbps イーサネット信号 (100GbE) を伝送する省電力パラレルインタフェース (25Gbps×4) 用信号変換電気信号処理技術、ならびに、WAN において 100GbE 信号を光ネットワーク (OTN: Optical Transport Network) を介して長距離伝送するためのシリアルインタフェース用デジタル信号波形歪補償技術 (光ファイバ SMF 換算 1000km 以上の波長分散 (0-20000ps/nm) 及び、偏波モード分散 0-50ps をダイナミックに補償) を開発し、100GbE 信号を LAN から WAN までシームレスに伝送するための電気信号処理基盤技術を確立する。

(2) 研究期間

平成 20 年度から平成 24 年度 (5 年間)

(3) 委託先企業

日本電信電話株式会社<幹事>、株式会社日立製作所、三菱電機株式会社、富士通株式会社、日本電気株式会社、NTT コミュニケーションズ株式会社

(4) 研究予算 (百万円)

平成 20 年度 300

(5) 研究開発課題と担当

課題ア：LAN 向け 100GbE 対応パラレルリンク技術

(株式会社日立製作所)

ア-1 MAC・PCS 間省電力・高速 MLD インタフェースの開発

ア-2 論理回路機能の開発

ア-3 送受信器機能の試作評価検証

課題イ：WAN 向け 100GbE 信号トランスポート対応デジタル信号波形歪補償処理技術

イ-1 リアルタイムデジタル信号処理アルゴリズム

イ-1-1 直交周波数多重分離信号処理アルゴリズム開発

(日本電信電話株式会社)

- イ-1-2 送信端デジタル信号処理アルゴリズム開発
(三菱電機株式会社)
- イ-1-3 高安定デジタルコヒーレント検波偏波制御信号処理アルゴリズム開発
(富士通株式会社)
- イ-1-4 受信端デジタル信号処理アルゴリズム開発
(日本電気株式会社)
- イ-2 アルゴリズム実証のための回路試作と評価検証
- イ-2-1 直交周波数多重分離信号処理回路試作と機能実証およびリアルタイム信号処理評価技術
(日本電信電話株式会社)
- イ-2-2 送信端デジタル信号処理回路試作と機能実証
(三菱電機株式会社)
- イ-2-3 高安定デジタルコヒーレント検波偏波制御信号処理回路試作と機能実証
(富士通株式会社)
- イ-2-4 受信端デジタル信号処理回路試作と機能実証
(日本電気株式会社)
- 課題ウ：研究テーマ全体管理
(日本電信電話株式会社)

(6) 主な研究成果 (平成20年度分)

特許出願： 7件
外部発表： 22件

具体的な成果

課題ア：LAN向け100GbE対応パラレルリンク技術
(株式会社日立製作所)

ア-1 MAC・PCS間省電力・高速MLDインタフェースの開発

- MLDインタフェース回路の要素技術として、動作速度25Gbpsと10Gbpsの送受信回路(SerDes)と、原発振回路(PLL)を、65nm CMOSロジックプロセスを用いてチップ試作し、その動作を確認した。
- 差動CML回路のCMOS回路化や低電力回路方式(出力回路、PLL回路、

CDR 回路等)の採用により、単位チャンネル・単位伝送速度あたりの消費電力を入出力回路部で 3mW/Gbps/ch、送受信器全体で 10mW/Gbps/ch を実現できる目処を得た。

- 低ジッタ化技術として、ブースト型波形等化出力回路と、ハイブリッド制御方式 PLL 回路を開発し、送信器出力端のジッタピーク値 4ps 未満を達成する見込みを得た。

ア-2 論理回路機能の開発

- 100GbE の PCS 標準機能として、25Gbps×4 レーンと 10Gbps×10 レーンとの間の信号速度変換、100GbE 向け符号/復号化処理、マルチレーン間スキュー調整方式の仕様を検討し、RTL 論理記述および FPGA での動作検証を実施した。
- 100GbE の MAC 標準機能として、100GbE 信号フレーム処理、エラーチェックやレーン障害検出方式の仕様を検討し、RTL 論理記述および FPGA での動作検証を実施した。
- 100GbE の標準外の機能として、レーン切替、速度変換方式の仕様を検討し、シミュレーションモデル上で動作確認を行った。

ア-3 送受信器機能の試作評価検証

課題ア-3 に関しては、平成 21 年度から実施する。

課題イ：WAN 向け 100GbE 信号トランスポート対応デジタル信号波形歪補償処理技術

イ-1 リアルタイムデジタル信号処理アルゴリズム

イ-1-1 直交周波数多重分離信号処理アルゴリズム開発

(日本電信電話株式会社)

- 111Gbps-2 サブキャリア OFDM 方式の検討における DSP アルゴリズムの検証として、オフライン処理におけるサブキャリア分離アルゴリズム技術を確立した。
- 上記方式における OSNR 耐力が、シングルキャリア-PDM-QPSK 信号の OSNR 耐力とほぼ同等であることを実験的に確認し、2 サブキャリア OFDM 信号が長距離伝送可能な変調方式の候補であることを示した。
- 波形歪補償アルゴリズムに関して、時間領域と周波数領域で等化技術の基礎検討を行い、等化量が大きな領域では後者の周波数領域等化アルゴリズムが優位であることを明確化した。
- ITU-T SG15 の本会合に参加し、勧告 G. 709 (OTN インタフェース) に

において、100GbE 信号のトランスペアレント伝送可能なオーバクロック伝送速度での OTU4 ビットレート (111.8Gbps) の標準化合意を獲得した。また、勧告 G.696.1 (ドメイン内 WDM アプリケーション) に 100G コードを追加することを提案し合意された。

イ-1-2 送信端デジタル信号処理アルゴリズム開発

(三菱電機株式会社)

- ・ 受信端で歪みのない等化波形を得るプリディストーション回路について検討した。また、計算機シミュレーションによる、送信端デジタル信号処理の回路モデル化を実施し、プリコーディング回路の構成を明らかにした。
- ・ FPGA 評価ツールによる高速 I/O 評価を行い、10Gbps 程度のスループットで回路検証を行うことが可能である目処を得た。
- ・ DAC の回路実現性・回路見極めのため、半導体設計ツールによる、高速 DAC パラメータ抽出を実施した。また、グリッチの小さいランプ波形が得られることをシミュレーションで確認した。

イ-1-3 高安定デジタルコヒーレント検波偏波制御信号処理アルゴリズム開発

(富士通株式会社)

- ・ 高安定搬送波位相推定方式として性能および回路実現性の観点から、フィードフォワード型とフィードバック型の比較を行い、前者に候補を絞り込んだ。
- ・ 高安定周波数誤差補償方式に関連し、従来方式と比較して周波数誤差推定範囲が約 4 倍広い新方式を提案した。
- ・ 高安定搬送波位相推定・高安定搬送波位相推定の各機能ブロックについて実回路への実装を意識した数値シミュレーションモデルの開発を行い、想定される光源性能に対して十分な性能を実現できる見込みを得た。
- ・ 以上の結果に基づき、具体的アルゴリズムの候補を絞り込んだ。その結果、来年度より偏波モード分散耐力ならびに偏波変動耐力に関する詳細検討を開始することが可能となった。

イ-1-4 受信端デジタル信号処理アルゴリズム開発

(日本電気株式会社)

- ・ 時間領域処理方式に関して、100Gbps 伝送の候補となる各種変調方式

に対して、補償分散量 10,000ps/nm 二対する FIR フィルタの所要特性を計算機シミュレーションで明らかにした。

- また、FIR フィルタ構成における並列化方式を最適化することにより、回路にて必要なリソースを約 15%削減できる可能性があることを確認した。
- ただし、最適化並列回路では FIR 最終段での加算処理でのリソース消費のため、総合的なリソースは標準回路と同等以下となることがわかり、加算回路への対応の検討が必要であることが明らかとなった。
- 受信端のダイナミックレンジを拡張するための補償分散量変更アルゴリズムについての方式を提案した。10Gbps での波長分散補償特性の詳細解析から、特定の分散ステップにて送受信の補償比率を変えることにより、係数変動を小さく抑えられることを明らかにした。

イ-2 アルゴリズム実証のための回路試作と評価検証

課題イ-2 に関しては、平成 22 年度から実施する。

(7) 研究開発イメージ図

別紙参照

「ユニバーサルリンク技術の研究開発」の開発成果について

1. 本研究の目標

複数の100ギガビット級信号(ハイビジョン映画2時間相当分を1秒で転送可能なデータ量)を、約1000km級(直線距離で東京から福岡程度)の範囲内のLAN内/LAN間で、自由に転送が可能となる電気信号基盤処理技術を2012年度までに確立する。

2. 本研究の背景

国内のブロードバンド契約者数は約3000万加入(2008年9月現在)となり、世界トップのブロードバンド環境を実現している。今後の持続的なブロードバンドの普及、発展には、LAN/WAN分野において、10Gbit/sを超える40/100Gイーサネット信号を代表する大容量信号をシームレスにネットワークに收容し、光ネットワークを介してに高品質に長距離伝送することが必須となる。

3. 研究開発の概要と期待される効果

本研究の概要は、以下に示す課題ア・イから構成される100GbE信号転送にかかわる電気信号処理技術の確立である。本分野において、日本としての積極的な国際標準化への貢献し、基盤技術開発を先行的着手ことにより市場の立ち上がりにより同期したタイムリーなプロダクト化を進め、日本の国際競争力強化を図る。

課題ア：LAN向け100GbE対応パラレルリンク技術

- インターネット・データセンター内の伝送を10-100倍に高速化し、電力を1/10に低減する100ギガビットイーサネット向け回路技術
- 毎秒25ギガビットの光信号を4つ多重して一本の光ファイバに伝送(最大40km)
- イーサネットの国際標準をリード

課題イ：WAN向け100GbE信号トランスポート

- 対応デジタル信号波形歪補償処理技術
- 長距離ネットワーク内の伝送を10倍に高速化し、高信頼に伝送する100ギガビット光ネットワーク向け回路技術
- 1波長あたり毎秒100ギガビットの光信号を複数多重して、一本の光ファイバで大容量伝送(最大1000km)
- 光ネットワークの国際標準をリード

インターネット
データセンター

光ネットワーク

放送局

放送局

インターネット
データセンター

4. 研究開発の期間及び体制

- ・平成20年度～平成24年度(5年間)
- ・NICT委託研究(日本電信電話株式会社;幹事会社、株式会社日立製作所、三菱電機株式会社、富士通株式会社、日本電気株式会社、エヌ・ティ・ティ・コミュニケーションズ株式会社)

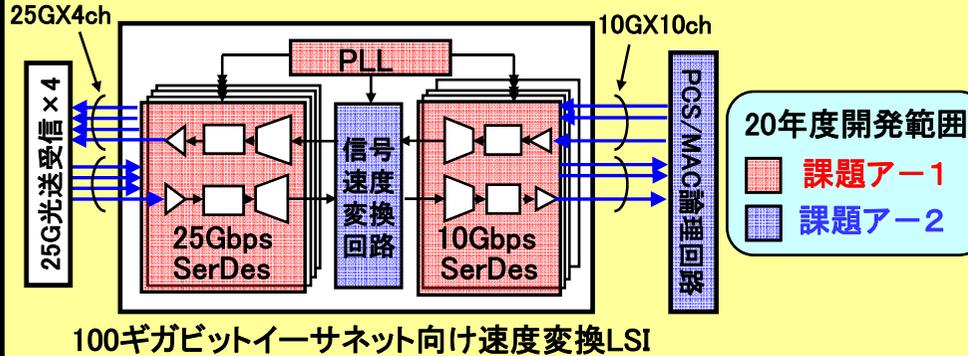
①LAN向け100GbE対応パラレルリンク技術の主な成果

課題ア-1 MAC・PCS間省電力・高速MLDインターフェースの開発

- ・25Gbpsと10Gbpsインターフェース向け要素回路

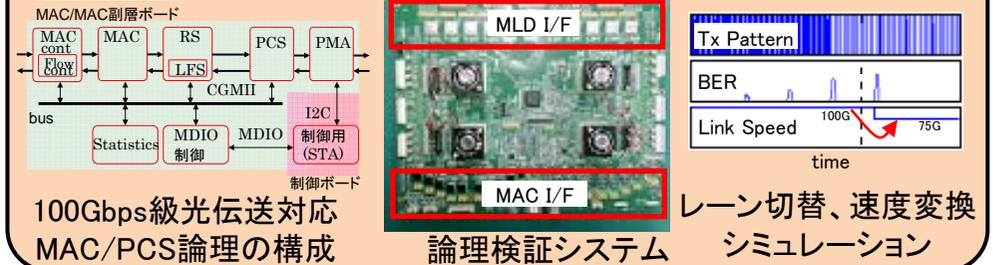
課題ア-2 MAC/PCS論理回路機能の開発

- ・10G/40G⇄100Gの速度変換、回線障害検出・復旧機能



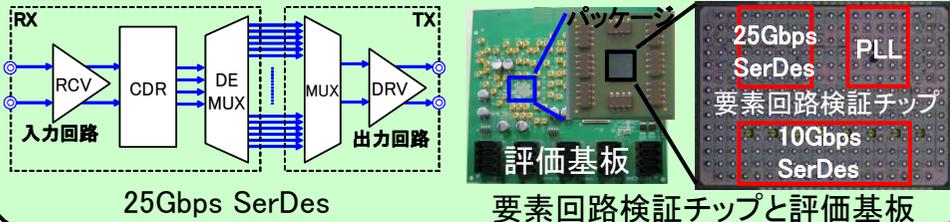
C. MAC/PCS論理回路技術 (課題ア-2)

- 100GbE標準のMLD インターフェースは、100Gbps の構成と、40Gbps の構成が定められているが、両構成間の接続性に欠けることが課題。
- 本課題では、標準化規格品に付加価値を加える優位化技術として、MLD に対応しながらも、10GbE/40GbEから100GbEへの速度変換機構や、レーン障害検出・復旧機構を有した新しいMAC/PCSアーキテクチャを開発(左図、中図)し、レーン切替、速度変換方式のシミュレーションを実施(右図)。



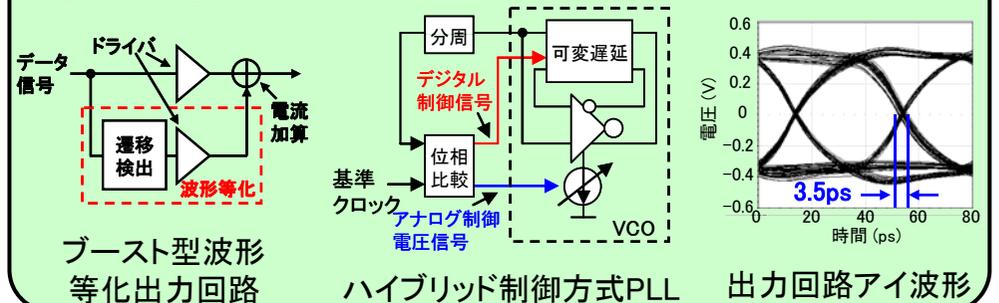
A. 省電力・高速インターフェース技術 (課題ア-1)

- 100GbE対応MLDインターフェース技術の実現には、25Gbpsの高速動作と省電力を両立することが課題。
- 本研究開発では、MLDインターフェース回路の要素技術として、動作速度25Gbpsと10Gbpsの送受信回路(SerDes)(左図)と、原発振回路(PLL)を、65nm CMOSロジックプロセスを用いてチップ開発(右図)し、その動作を確認。
- CML回路のCMOS回路化、低電力回路方式(出力回路、PLL回路)の採用により、送受信器全体で10mW/Gbps/chの省電力性能を確認。



B. 高品質信号伝送技術 (課題ア-1)

- 25Gbpsの高速伝送を実現するには、高品質な信号伝送が必須であり、そのため出力回路信号の低ジッタ化が課題。
- 本研究開発では、低ジッタ化技術として、ブースト型波形等化出力回路(左図)と、ハイブリッド制御方式PLL回路(中図)を開発。
- 上記回路技術により、送信器出力端でのジッタピーク値4ps以下を確認(右図)。

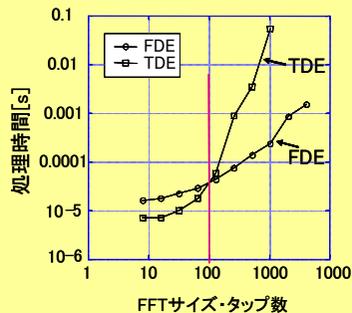


②WAN向け100GbE信号トランスポート対応デジタル信号波形歪補償技術の主な成果

課題イ-1 リアルタイムデジタル信号処理アルゴリズム

課題イ-1-1 直交周波数多重分離信号処理アルゴリズム開発 (日本電信電話株式会社)

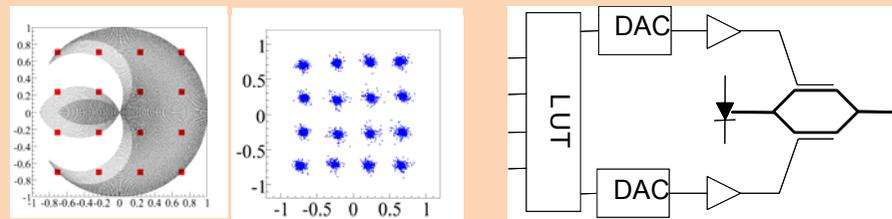
- 111Gbps-2サブキャリアOFDM方式のDSPアルゴリズムとして、オフライン処理におけるサブキャリア分離アルゴリズム技術を確立した。
- 上記方式のOSNR耐力が、シングルキャリアPDM-QPSK信号のOSNR耐力とほぼ同等であることを実験的に確認した。
- 波形歪補償アルゴリズムに関して、時間領域と周波数領域で等化技術を検討し、等化量が大きな領域で後者が優位であることを明確化した。
- ITU-T勧告G.709にて、100GbE信号のトランスペアレント伝送可能なOTU4ビットレートの合意を獲得した。勧告G.696.1にて100Gコードを追加することを合意した。



種別	ビットレート	トレランス
OTU1	2.666057Gbps	±20 ppm
OTU2	10.709225Gbps	±20 ppm
OTU3	43.018,413Gbps	±20 ppm
OTU4	111.809,973Gbps	±20 ppm

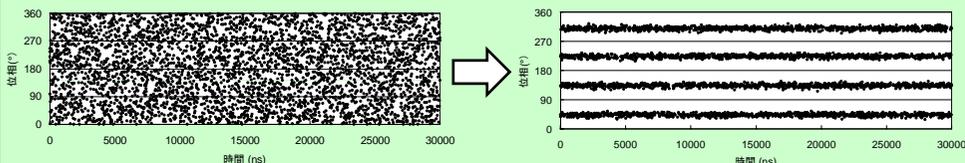
課題イ-1-2 送信端デジタル信号処理アルゴリズム開発 (三菱電機株式会社)

- 受信端で歪みのない等化波形を得るプリディストーション回路について、計算機シミュレーションによる送信端デジタル信号処理の回路モデル化を実施、回路構成を明らかにした。(図: 16QAM実験結果とブロック図)
- FPGA評価ツールによる高速I/O評価を行い、10Gb/s程度のスループットで回路検証を行うことが可能である目処を得た。
- DACの回路実現性・回路見極めのため、半導体設計ツールによる、高速DACパラメータ抽出実施。



課題イ-1-3 高安定デジタルコヒーレント検波偏波制御信号処理アルゴリズム開発 (富士通株式会社)

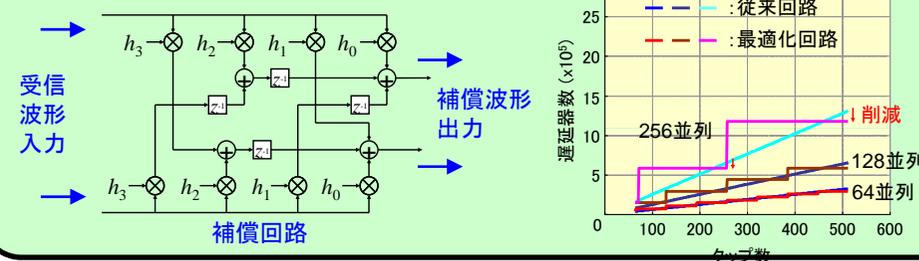
- 搬送波位相推定方式として、フィードバック型・フィードフォワード型の比較を行った結果、性能・回路実現性の観点から後者を選定した。
- 高安定周波数誤差補償方式として、周波数誤差推定範囲が広い(従来比4倍)新方式を提案した。
- 上記方式を、実回路への実装を意識して開発した数値シミュレーションモデルに実装し、想定される光源性能に対して十分な性能を実現できる見込みを得た。



搬送波位相推定処理による4値位相変調信号の復元結果例

課題イ-1-4 受信端デジタル信号処理アルゴリズム開発 (日本電気株式会社)

- 100Gbps伝送の候補となる各種変調方式に対して、補償分散量10,000ps/nmを実現する時間領域等化FIRフィルタの所要規模を明確化
- FIRフィルタ構成における並列化方式の最適化(下図左)により、回路必要リソースを約15%削減できる可能性があることを確認した(下図右)。
- 受信分散補償のダイナミックレンジ拡張のための分散量変更アルゴリズムを提案。特定の分散ステップにて送受信の補償比率を変えることにより、係数変動を小さく抑えられることを明確化。



※エヌ・ティ・ティ・コミュニケーションズ株式会社はH22年度から参画

1. これまで得られた成果(特許出願や論文発表等)

	特許出願	論文	研究発表	報道発表	標準化提案
日立	2	収録論文1	外国発表予稿1 一般口頭発表4	0	0
NTT	1	収録論文1 学術解説等2	一般口頭発表2	0	1
三菱電機	3	学術解説等1	外国発表予稿1 一般口頭発表3	0	0
富士通	1	学術解説等1	外交発表予稿3 一般口頭発表1	0	0
NEC	0 (出願手続中3)	0	0	0	0

2. 研究成果発表会等の開催について

- (1) インターネットアーキテクチャ研究会にてユニバーサルリンク技術の研究計画概要を発表。
- (2) OPTRONICS特集号(2009年1月号)にて、光通信分野におけるデジタル信号処理技術に関する特集を企画・編集・発表
- (3) IEEE Journal of Lightwave Technologies 特集号 J-LT special issue on “Trends in signal processing for lightwave transmission”を企画・編集し、本分野における日本の先導性をアピール。