

平成21年度「ユニバーサルリンク技術の研究開発」の開発成果について

1. 施策の目標

複数の100ギガビット級信号(ハイビジョン映画2時間相当分を1秒で転送可能なデータ量)を、約1000km級(直線距離で東京から福岡程度)の範囲内のLAN内/LAN間で、自由に転送が可能となる電気信号基盤処理技術を2011年度までに確立する。

2. 研究開発の背景

国内のブロードバンド契約者数は3093万加入(総務省発表:2009年6月現在)となり、世界トップのブロードバンド環境を実現している。今後の持続的なブロードバンドの普及、発展には、LAN/WAN分野において、100ギガビットイーサネット信号(100GbE)を代表する大容量信号をシームレスにネットワークに收容し、光ネットワークを介して高品質に長距離伝送することが必須となる。

3. 研究開発の概要と期待される効果

本研究の概要は、以下に示す課題ア・イから構成される上記の100GbE信号転送にかかわる電気信号処理技術の確立である。本分野における積極的な国際標準化貢献、基盤技術開発の先行的着手を通し、日本の国際競争力強化を図る。

課題ア：LAN向け100GbE対応パラレルリンク技術

- インターネット・データセンター内の伝送を10-100倍に高速化し、電力を1/10に低減する100ギガビットイーサネット向け回路技術
- 毎秒25ギガビットの光信号を4つ多重して一本の光ファイバに伝送(最大40km)
- イーサネットの国際標準をリード

課題イ：WAN向け100GbE信号トランスポート

- 対応デジタル信号波形歪補償処理技術
- 長距離ネットワーク内の伝送を10倍に高速化し、高信頼に伝送する100ギガビット光ネットワーク向け回路技術
- 1波長あたり毎秒100ギガビットの光信号を複数多重して、一本の光ファイバで大容量伝送(最大1000km)
- 光ネットワークの国際標準をリード

インターネット
データセンター

光ネットワーク

放送局

放送局

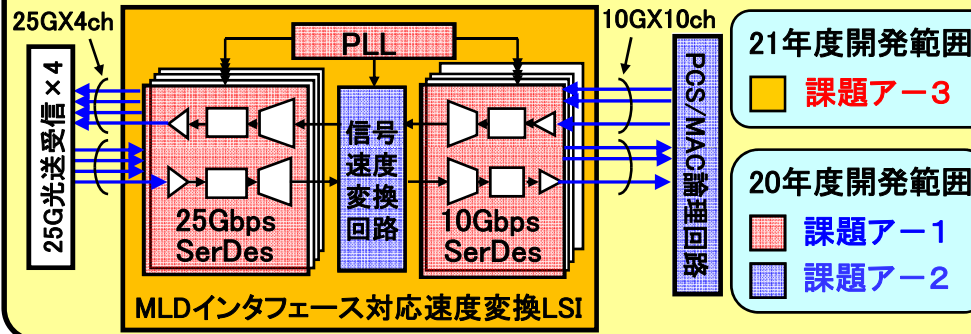
インターネット
データセンター

4. 研究開発の期間及び体制

- ・平成20年度～平成23年度(4年間)
- ・NICT委託研究(日本電信電話株式会社;幹事会社、株式会社日立製作所、三菱電機株式会社、富士通株式会社、日本電気株式会社、エヌ・ティ・ティ・コミュニケーションズ株式会社)

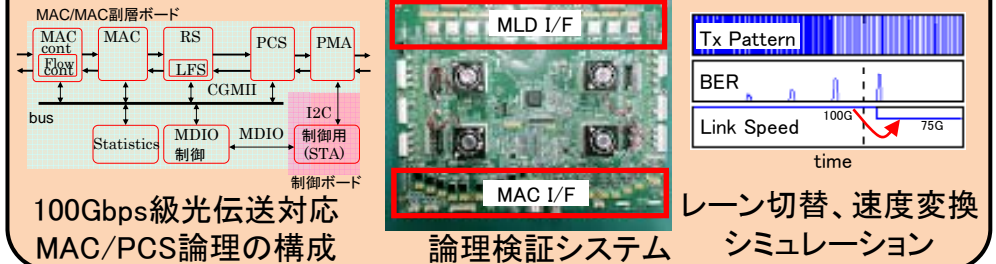
①LAN向け100GbE対応パラレルリンク技術の主な成果

- 課題ア-1 MAC・PCS間省電力・高速MLDインタフェースの開発
 - ・25Gbpsと10Gbpsインタフェース向け要素回路
- 課題ア-2 MAC/PCS論理回路機能の開発
 - ・10G/40G⇄100Gの速度変換、回線障害検出・復旧機能
- 課題ア-3 送受信器機能の試作評価検証
 - ・25, 10Gbps両インタフェースとPCS速度変換を搭載したLSI



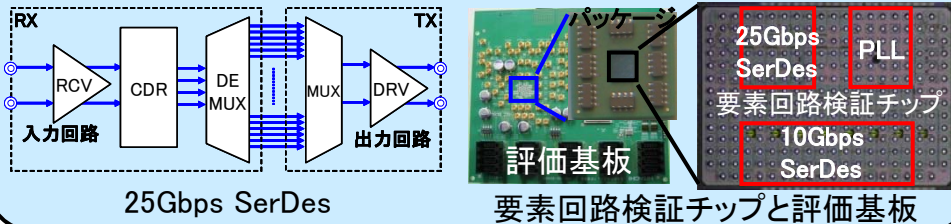
B. MAC/PCS論理回路技術 (課題ア-2)

- 100GbE標準のMLD インタフェースは、100Gbps の構成と、40Gbps の構成が定められているが、両構成間の接続性に欠けることが課題。
- 本課題では、標準化規格品に付加価値を加える優位化技術として、MLDに対応しながらも、10GbE/40GbEから100GbEへの速度変換機構や、レーン障害検出・復旧機構を有した新しいMAC/PCSアーキテクチャを開発(左図、中図)し、レーン切替、速度変換方式のシミュレーションを実施(右図)。



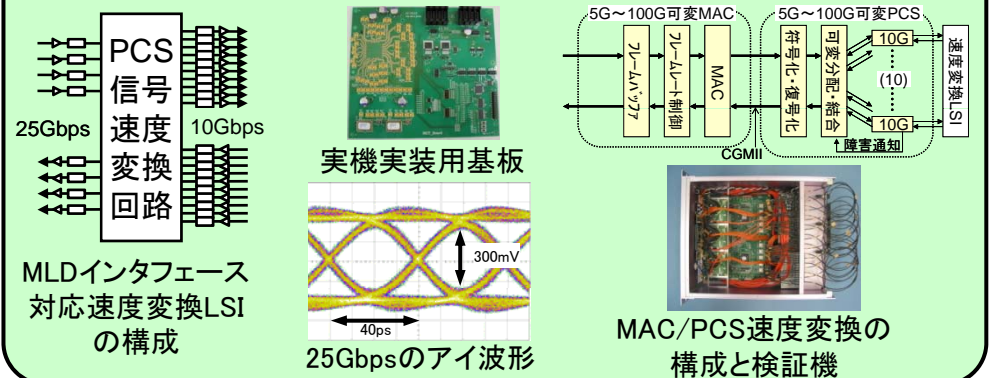
A. 省電力・高速インタフェース技術 (課題ア-1)

- 100GbE対応MLDインタフェース技術の実現には、25Gbpsの高速動作と省電力を両立することが課題。
- 本研究開発では、MLDインタフェース回路の要素技術として、動作速度25Gbpsと10Gbpsの送受信回路(SerDes)(左図)と、原発振回路(PLL)を、65nm CMOSロジックプロセスを用いてチップ開発(右図)し、その動作を確認。
- CML回路のCMOS回路化、低電力回路方式(出力回路、PLL回路)の採用により、送受信器全体で10mW/Gbps/chの省電力性能を確認。



C. 送受信器機能の試作評価(課題ア-3)

- 25Gbps × 4chとPCS信号速度変換と10Gbps × 10chを集積し(左図)、PCS/MAC論理回路と接続し伝送特性を確認することが課題。
- 本年度末までに、MLD対応速度変換LSIを試作し動作を確認(中図)。
- MAC/PCS論理機能として障害復旧機構を開発、実機検証完(右図)。

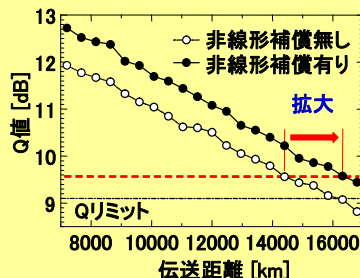


②WAN向け100GbE信号トランスポート対応デジタル信号波形歪補償技術の主な成果(1/2)

課題イ-1 リアルタイムデジタル信号処理アルゴリズム

課題イ-1-1 直交周波数多重分離信号処理アルゴリズム開発 (日本電信電話株式会社)

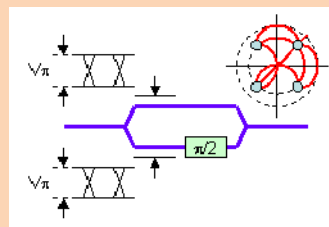
- 111Gbps、2サブキャリアOFDM方式のサブキャリア分離アルゴリズム技術を確立するとともに、本方式が長距離伝送可能な変調方式の候補であることを示した。
- 波形歪補償アルゴリズムにて、等化量が大きな領域で周波数領域等化アルゴリズムが優位であることを明確化した。また、デジタル信号処理により非線形光学効果 (SPM) により劣化した信号の受信特性が向上できることを示した。
- ITU-T勧告G.709にて、100GbE信号のトランスペアレント伝送が実現できるOTU4ビットレートの合意を獲得した。勧告G.696.1にてアプリケーション100Gコードを追加することを合意した。



種別	ビットレート	トレランス
OTU1	2.666057Gbps	±20 ppm
OTU2	10.709225Gbps	±20 ppm
OTU3	43.018,413Gbps	±20 ppm
OTU4	111.809,973Gbps	±20 ppm

課題イ-1-2 送信端デジタル信号処理アルゴリズム開発 (三菱電機株式会社)

- 送信端補償技術が周波数領域での補償にも活用できることを示し、アルゴリズム仕様の適用範囲を明確化した。
- QPSK変調方式に対して、DDMZMの適用検討および低速での機能実証を行い、RZ化を視野に入れた送信構成と制御アルゴリズムに関わる仕様を明確化した。(図: 2値駆動によるQPSK変調系とアイパターン測定例)
- 課題イ-2-2の送信端デジタル信号処理の機能設計と連携した検討によりアルゴリズム仕様を策定した。



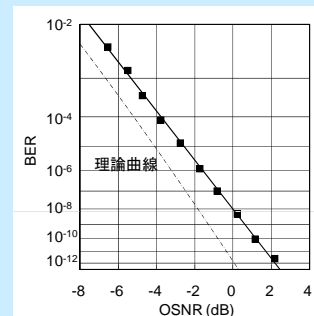
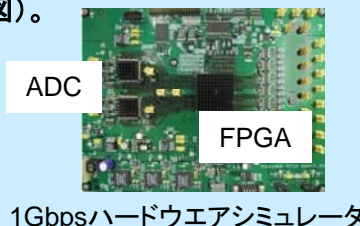
NRZ-QPSK



RZ-QPSK

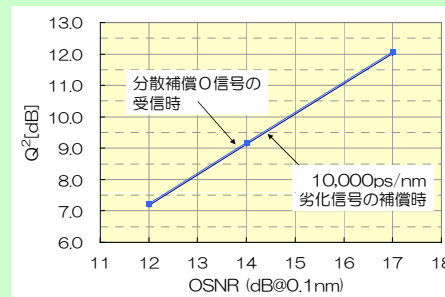
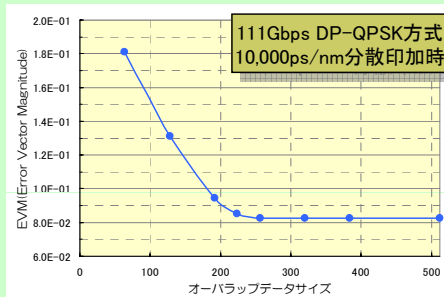
課題イ-1-3 高安定デジタルコヒーレント検波偏波制御信号処理アルゴリズム開発 (富士通株式会社)

- 高速偏波変動追従性を実現するための設計上のキーパラメータとして並列展開数、モニタ回路搭載率、遅延を特定し、50psの一次偏波モード分散補償と20kHz以上の偏波変動追従性を実現するための仕様を明確化した。
- 1Gbpsリアルタイム動作にて、搬送波位相推定アルゴリズム、周波数誤差補償アルゴリズムの検証を行い、正常動作することを確認した。(図)。



課題イ-1-4 受信端デジタル信号処理アルゴリズム開発 (日本電気株式会社)

- 周波数領域歪補償回路の詳細アルゴリズムを策定。回路規模に影響を与えるオーバーラップ追加・除去処理を最小化する設計手法を確立
- システムシミュレーションにより、歪補償による劣化がないことを確認。
- 送信信号にアナログ波形ディップを加える方式を用いることで、分散変動状態を周波数領域等化段の周波数情報からモニタできることを提案

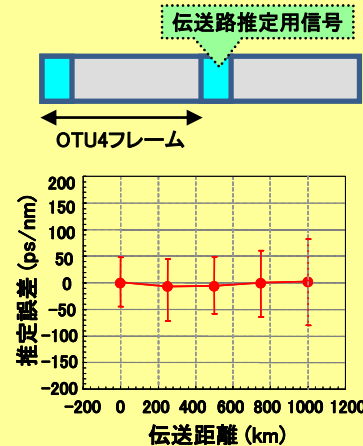


②WAN向け100GbE信号トランスポート対応デジタル信号波形歪補償技術の主な成果(2/2)

課題イ-2 アルゴリズム実証のための回路試作と評価検証

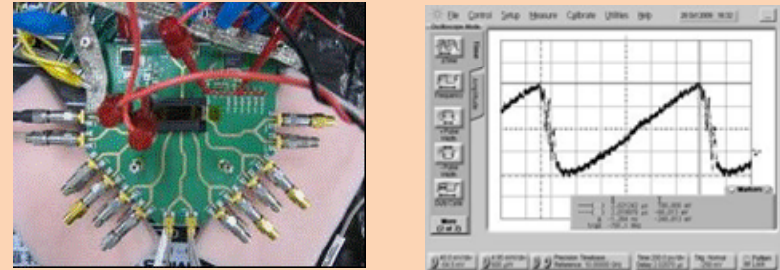
課題イ-2-1 直交周波数多重分離信号処理回路試作と機能実証 およびリアルタイム信号処理評価技術 (日本電信電話株式会社)

- ①送信部に伝送路推定用信号を挿入し、受信部にて周波数領域信号処理を施すことにより伝送路分散を推定する技術を確認した。
- ②ビットレート111.8Gbps(サンプリングレート55.9Gb/s、ポーレート28Gbaud)の偏波多重QPSK信号を前提に、192symbolsの伝送路推定用信号を用いて、SMF1,000kmまでの伝送路に対し約200ps/nm以下の精度で分散推定が可能であることをシミュレーションにより示した。また、フィールド評価装置を試作し動作検証を行った。



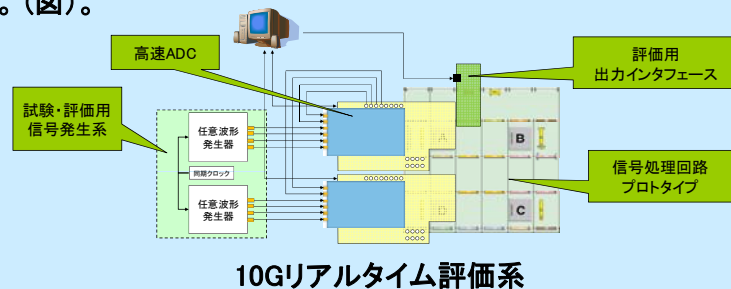
課題イ-2-2 送信端デジタル信号処理回路試作と機能実証 (三菱電機株式会社)

- ①機能設計に関して、課題イ-1-2のアルゴリズム仕様に応じた機能部を想定し、回路規模の観点にも留意したデジタル処理機能部設計を完了した。
- ②半導体TEGによる6bit D/A変換回路の部分試作を実施し、その評価によって50GS/s級動作に対する半導体プロセス、回路規模、設計パラメータを明確化した。(図:半導体TEGによる部分試作結果と50GS/s動作評価例)



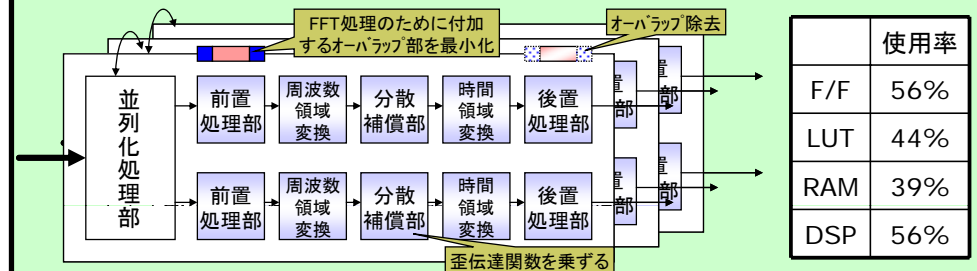
課題イ-2-3 高安定デジタルコヒーレント検波偏波制御信号処理回路試作と機能実証 (富士通株式会社)

- ①課題イ-1-3のアルゴリズム仕様に基づき、10Gbps以上のスループットでリアルタイム動作可能な信号処理回路の機能モデルを作成し、機能設計を完了した。
- ②スループット10Gbps以上のリアルタイム信号処理評価系の基本設計を完了した。(図)。



課題イ-2-4 受信端デジタル信号処理回路試作と機能実証 (日本電気株式会社)

- ①課題イ-1-4で確立した周波数領域歪補償方式実装のための高速スループット向け並列化回路、オーバーラップ追加・除去回路基本構成を確認
- ②動作速度10Gbps以上でのリアルタイム回路検証を行うためのFPGAアーキテクチャを策定。H/Wを開発完了し、個別FPGA回路のSIM検証を完了



リアルタイム検証用回路の構成と回路合成試行結果

1. これまで得られた成果(特許出願や論文発表等)

	国内出願	外国出願	研究論文	その他 研究発表	報道発表	展示会	標準化提案
ユニバーサルリンク技術 の研究開発	27 (20)	16 (14)	32 (27)	53 (37)	2 (2)	3 (3)	4 (3)

※表内の件数は、1段目:累計、2段目()内:H21年度件数として記載。

(1)研究成果発表会等の開催について

1. インターネットアーキテクチャ研究会にてユニバーサルリンク技術の研究計画概要を発表。(H20)
2. OPTRONICS特集号(2009年1月号)にて、光通信分野におけるデジタル信号処理技術に関する特集を企画・編集・発表。(H20)
3. IEEE Journal of Lightwave Technologies 特集号 J-LT special issue on “Trends in signal processing for lightwave transmission” を企画・編集し、本分野における日本の先導性をアピール。(H20)
4. 第10回 光通信技術展FOEにおいて100GbE over OTNに関する国際標準化貢献についてパネル展示。(H21)
5. フォトニック3PJ連携実験の報道発表(2009年12月8日)において、関連PJとして100GbE over OTNに関する国際標準化貢献について報道発表。(H21)
6. 「100ギガビットイーサネット向け超低消費電力トランシーバ回路を開発」の報道発表(2010年2月9日)において、1Gb/sあたりの消費電力が1mW以下のトランシーバ回路の開発について報道発表。(H21)