

「光RAMサブシステムに関する研究開発」の開発成果について

1. 施策の目標

将来のルータの主流になると期待される全光パケットルータを実現する上で不可欠である、非同期光信号で入出力可能な光RAMサブシステムを実現する基本技術を確認し、プロトタイプの実製により技術的可能性を検証する。

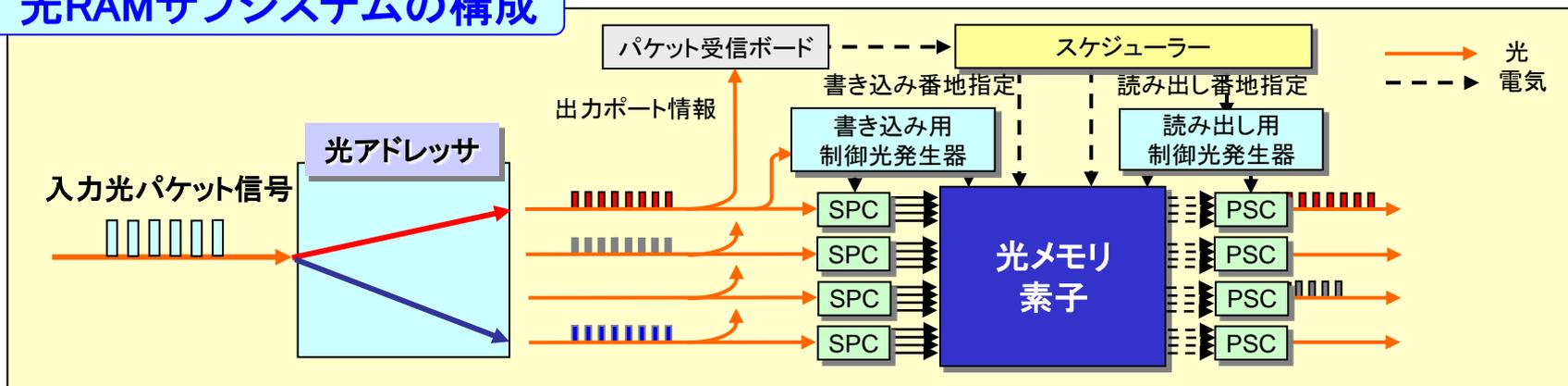
2. 研究開発の背景

ブロードバンド化によるトラフィック急増に対応したネットワーク増強が急務となっている。信号伝送はWDM光伝送等の急速な進展により当面の容量増強に対しては対応できる余地を残しているが、電子回路に依存しているルーティング処理が新たなボトルネックになると懸念され、今後のネットワーク増強にはルータの大容量化・低コスト・低消費電力化が重要課題である。現在ルータの信号処理は電子回路に依存しているが、入出力や装置内部のインターコネクションは光化されつつある。このためルータ内部では光⇄電気の変換を繰り返しながら処理がなされ、さらにこれに伴う速度変換のための直列⇄並列変換が装置のコスト及び消費電力の過半を占めている。信号処理の光化を進めこれらの変換回数を極力減らすことが不可欠と考えられているが、パケット処理に不可欠な光メモリが存在しないため既存技術での光化は不可能であり、この分野での研究開発が期待されていた。

3. 研究開発成果の概要

上述したルータ内部の光化に向けて、(ア-1, 2, 3)光メモリ単体素子を三種類のデバイスからのアプローチでそれぞれ実現し、(ア-4)特にフォトニック結晶型メモリではさらに将来の量産化を睨んだ製造基盤技術を確認し、(イ-1, 2)光メモリに信号を読み書きするためのアドレスを二種類の構成でそれぞれ実現、(イ-3, 4)光信号パルス列の直列・並列変換を用いるインターフェイス等の光メモリ周辺技術を実現、(ウ)さらに光メモリを前提とした光パケットルータ構成技術を確認した。これらの研究成果を、(イ-5)各課題内で並行検討してきた技術を選択し各課題を統合することによって、将来の光ルータの重要な要素である光RAMサブシステムの40Gbps級、4ビット基本動作を実証実験した。

光RAMサブシステムの構成

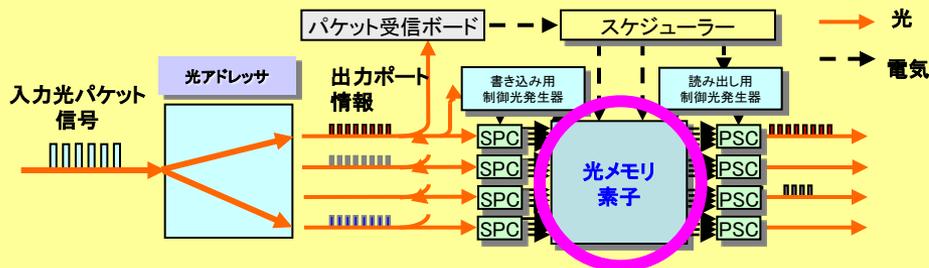


4. 研究開発の期間及び体制

平成18年度～平成22年度(5年間)

NICT委託研究(日本電信電話株式会社、大阪大学、九州大学、日本電気株式会社)

① 光メモリ素子技術の主な成果 — その1

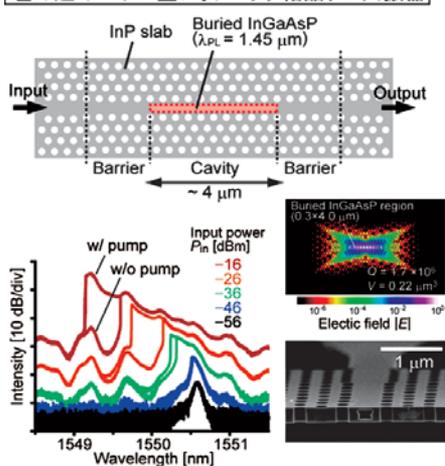


- 課題ア-1: フォトニック結晶型光RAM単位素子の作製
- 課題ア-2: 双安定レーザ型光RAM単位素子の作製
- 課題ア-3: アクティブ型光RAM単位素子の実現
- 課題ア-4: フォトニックナノ構造プロセス基盤技術の確立

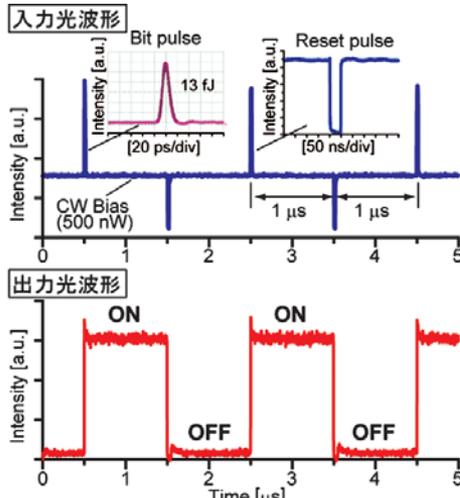
課題ア-1: フォトニック結晶型光RAM単位素子の作製 ～ 低消費エネルギー・超小型の光ビットメモリを実現～

- 埋め込みヘテロ構造を用いたフォトニック結晶ナノ共振器により、キャリア非線形を増強
- メモリ動作に要する最小消費パワー30nW, メモリ保持時間の実質的な制限なし
- 40Gb/s帯域の光パルスを用いた書き込み, 保持, 読出し, 消去の一連動作を実証

埋め込みヘテロ型フォトニック結晶ナノ共振器



素子構造とヒステリシス特性

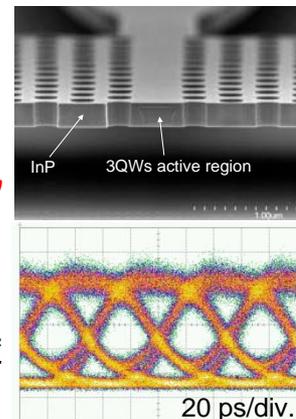


光ビットメモリ動作

課題ア-2: 双安定型レーザ型光RAM単位素子の作製 ～ 世界最小エネルギー動作のレーザを開発～

- In Ga As Pを素材とした埋込ヘテロ構造フォトニック結晶共振器でレーザを発振させることに成功
- 光励起により20Gb/sの直接変調動作を確認
- 信号伝達に必要なエネルギーとして世界最小の1 bitあたり8.8フェムトジュールという値を実現(従来のトップデータと比較して約20分の1のエネルギー)
- 将来、消費電力が10分の1程度のCMOSマイクロプロセッサの実現が期待される。

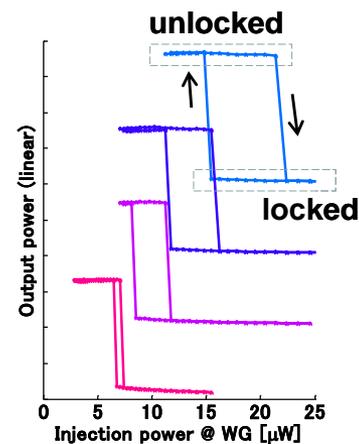
最小電力レーザ開発



フォトニック結晶使用
NTT CMOS集積化可能に

フォトニック結晶レーザを用いた双安定レーザを実現

- 光注入同期を用いてフォトニック結晶レーザとして初めて双安定特性を確認
- 従来のトップデータである面発光レーザを用いた双安定レーザと比較して2桁以上低消費電力の100uWで動作を確認
- スイッチング時間はオンオフ共に60 psと高速応答特性を確認

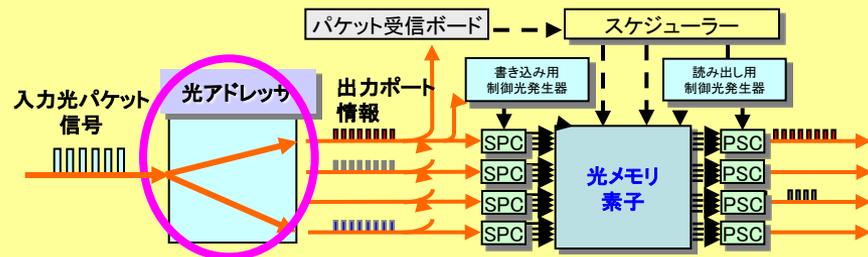


双安定特性

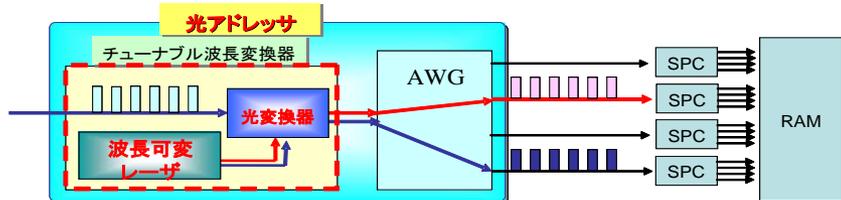
② 光アドレス技術の主な成果

課題イ-1 波長変換型光アドレスの開発

課題イ-2 光ビーム走査型光アドレスの開発

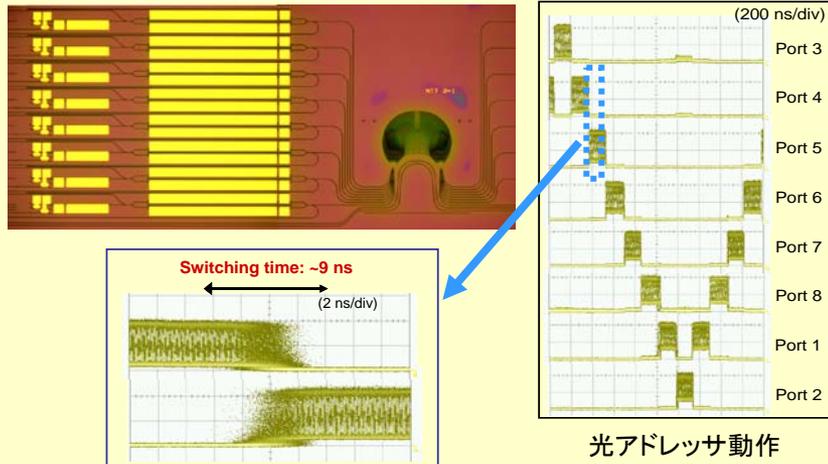


課題イ-1: 波長変換型光アドレスの開発
～ 超小型モノリシック集積素子の実現～



成果(モノリシック集積素子の実現)

波長可レーザ 波長変換器 AWG



課題イ-2: 光ビーム走査型光アドレスの開発
～ 高速・高On/Off比・無損失スイッチングの実現～

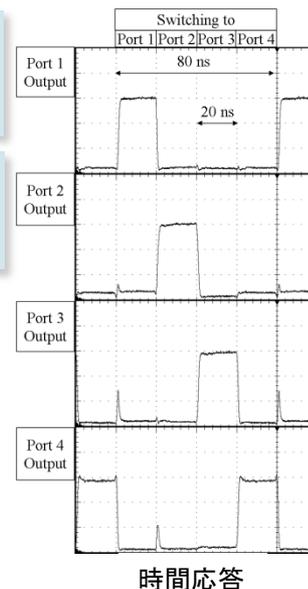
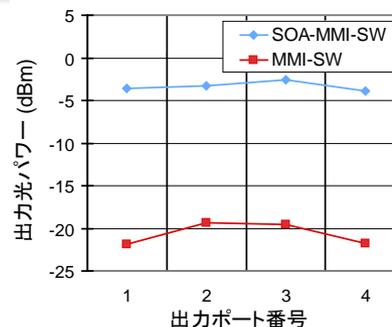


高速&高ON-OFF比のスイッチングを達成

- ◆ 立ち上がり時間=1.4ns, 立ち下がり時間=1.2ns
- ◆ ON-OFF比 > 12.9 dB, クロストーク < -13.7 dB

無損失スイッチングを実現

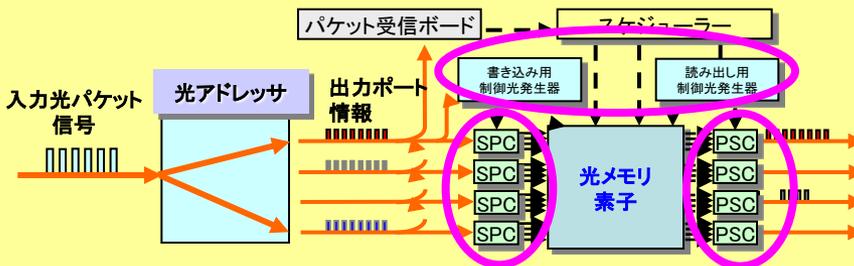
- ◆ 光増幅器 (SOA)により、SOA無し同型スイッチと比較し、無損失動作を確認(図は実験系の損失=-3.4 dBを含む)



③ 光インターフェイス技術の主な成果

課題イ-3: 光インターフェイスの開発

課題イ-4: 制御光信号発生器の開発



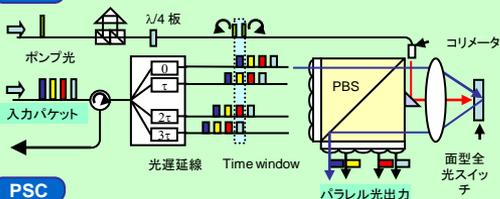
課題イ-3: 光インターフェイスの開発

～ 40G, 4bit 全光シリアル-パラレル双方向変換器を実証 ～

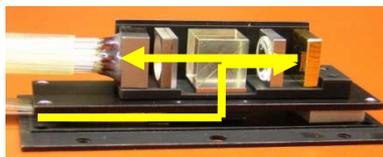
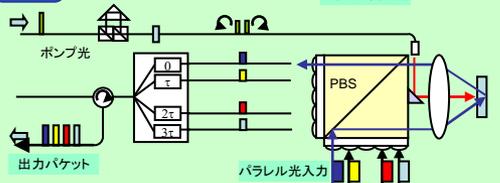
機能と特長

- ◆ 差動スピントラッキングに基づく超高速動作
- ◆ ゲート時間の調整が可能(300 fs - 60 ps)
- ◆ スピントラッキングによる高い消光比 (> 40 dB)

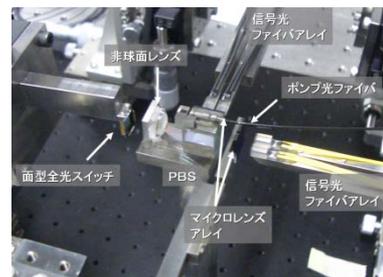
SPC



PSC

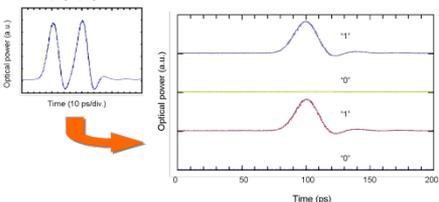


10G, 16ch SPCモジュール

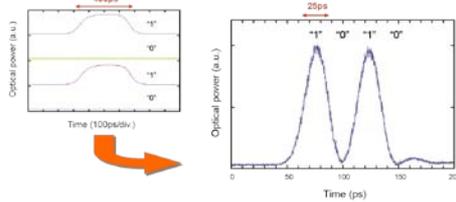


40G, 4ch SPC/PSC双方向変換器

◆シリアル-パラレル変換

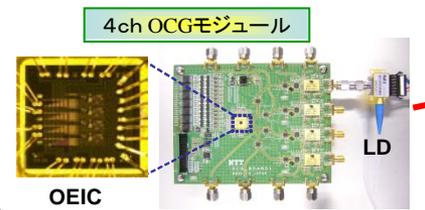
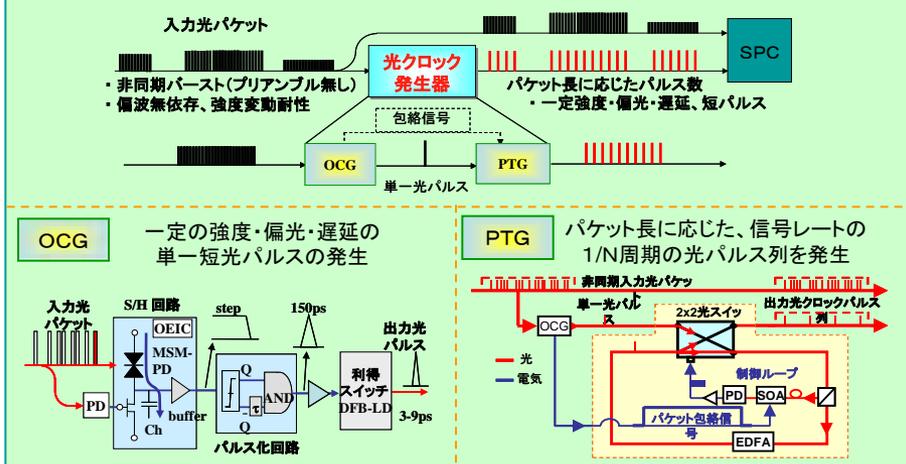


◆パラレル-シリアル変換

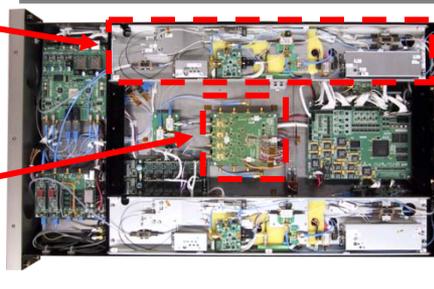


課題イ-4: 制御光信号発生器の開発

～ 任意長非同期高速光パケットに対応した光クロックパルス列を発生 ～



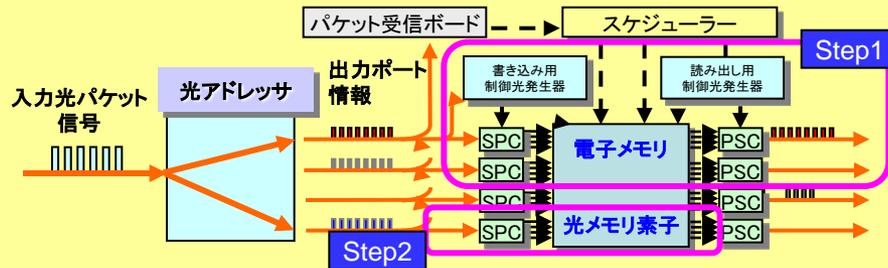
制御光信号発生器(19インチラック実装)



④ 光RAMサブシステム動作実証の主な成果

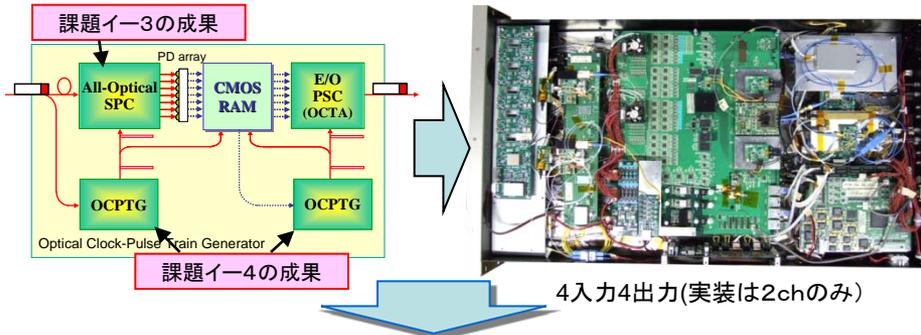
課題イー5: 光RAMサブシステムの動作実証

- Step1: 光電融合型RAMを装置化。
10Gbpsフルパケット動作を実証
- Step2: 全光RAMサブシステムを構築。
40Gbps, 4bit基本動作を実証



Step1: 光電子融合型RAMサブシステム

10Gbps任意長の非同期光パケットに対するエラーフリー動作を実証



4入力4出力(実装は2chのみ)

光電子融合型光パケットルータへの適用

10Gbps非同期光パケットの8x8 (4x4, 2入) 動作を実現 (16x16まで拡張可能)



- 光パケット入出力層
 - ラベル処理 & スイッチ層 (2層は未実装)
 - 共有バッファ層 (イー5の成果)
 - 光クロック発生層 (イー4の成果)
- ルータ性能**
- 消費電力: ~ 360 W
 - 遅延時間: 380 ns (衝突無し) 1.4 μs (衝突有り)
 - スループット: 160 Gbps
 - 機能:
 - 16bitラベル交換
 - 2ラインQoS
 - Multicast機能
 - TTLベース3R再生
 - サイズ: 100 x 60 x 100 cm³

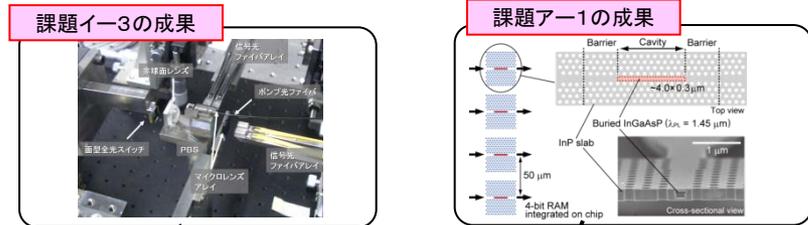


ECOC2009 (オーストリア) 動態展示風景 2009年9月21~23日

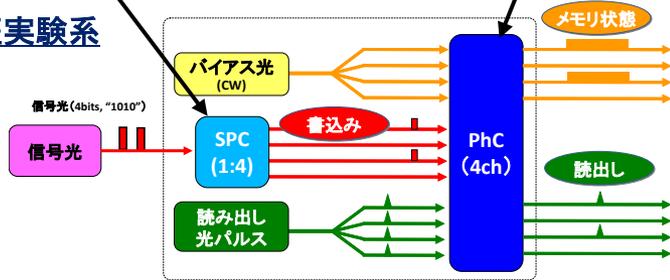
日刊工業新聞(2009年9月18日)

Step2: 全光型RAMサブシステム

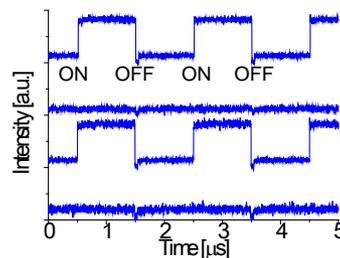
40Gbps, 4bit 非同期光パケットに対する書き込み・読み出し動作を実証



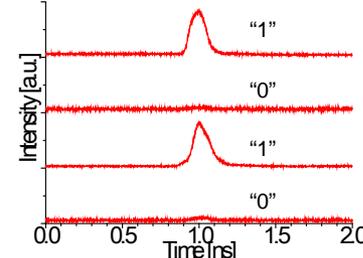
実証実験系



書き込み動作



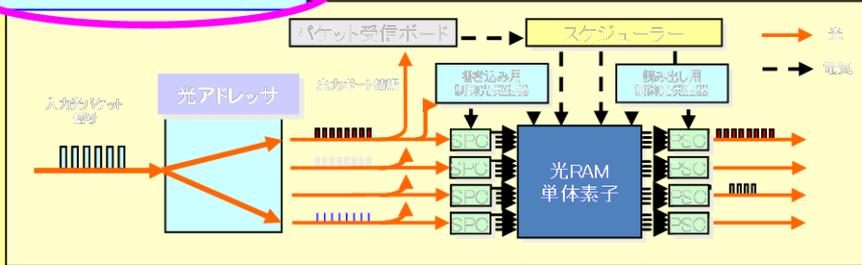
読み出し動作



⑤ 全光パケットルータの構成とバッファ管理技術の主な成果

課題ウ：全光パケットルータの構成とバッファ管理技術

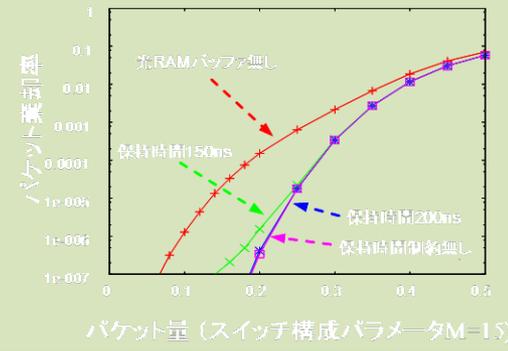
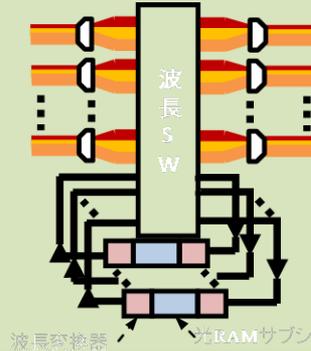
光RAMサブシステムの構成



- A 全光パケットルータの構成とバッファ管理技術
- B 転送プロトコルを含む全光パケットルータシステムの性能評価

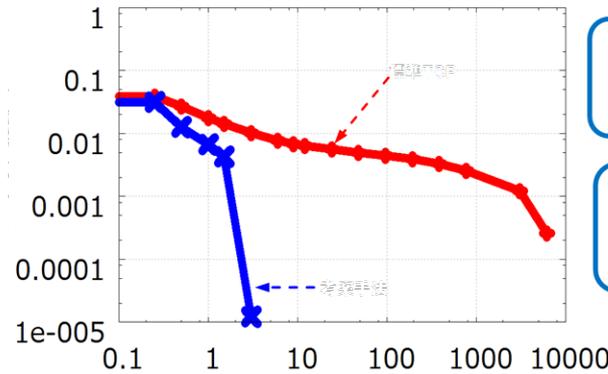
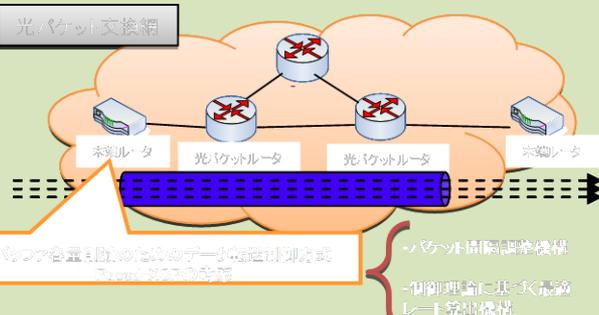
A. 全光パケットルータの構成とバッファ管理技術

1. 光RAMバッファおよび波長変換を組み合わせた光パケットスイッチアーキテクチャを考案し、光RAMを導入することでパケット棄却率が2桁以上向上することを示した
2. 更なる棄却率向上のためには、光RAM素子におけるビット保持時間を200ns以上の確保が必要であることを示し、課題アの研究開発にフィードバックした



B. 転送プロトコルを含む全光パケットルータシステムの性能評価

1. 制御理論に基づく転送レート算出機構 paced-XCPを考案し、必要光RAMバッファ容量を4桁以上の改善した
2. コアルータでパケット送信間隔を調整する方式により更に10%のスループット向上を確認した



性能向上

1. これまで得られた研究成果(特許出願や論文発表等)

	国内出願	外国出願	研究論文	その他研究発表	報道発表	展示会	標準化提案
全光パケットルータ実現のための光RAMサブシステムの研究開発	8	1	69	78	4	12	0

(1) 表彰・受賞

1. 国際会議Internet 2009においてBest paper awardを受賞(光RAMを用いたスイッチアーキテクチャの比較評価に関する論文)(大阪大学)
2. IEEE福岡支部から、第9回学生研究奨励賞を受賞(九州大学)
3. 2007年度電子情報通信学会 レーザ・量子エレクトロニクス研究会奨励賞を受賞(NTT)
4. 第24回(2008年春季)応用物理学会講演奨励賞を受賞(NTT)

(2) 研究成果発表会等の開催について

1. 国際会議ECOC2009のワークショップ“*Optics in Computing: How much is not enough?*” に招待され、光RAMプロジェクトの研究成果をアピールした。本ワークショップでは、世界の主立った研究機関、IBMチューリッヒ研、英国Cambridge大 & Bristol大、米国Columbia大、サンマイクロにおける、ナノフォトニック技術をベースにしたコンピューティング & インタコネクトに関する研究活動が紹介され、将来の研究の方向性、潜在的なアプリケーションについて討論を深めた。本光RAMプロジェクトの発表に対して、世界でも例にないユニークかつチャレンジングな取り組みであるという高い評価を得た。
2. 国際会議ECOC2009併設の展示会で本年度のマイルストーンである光電子融合型RAMを組み込んだ光パケットルータの動態展示を行った。国内外の研究機関、大学、メーカーから多数の見学者が訪れ、光パケットルータの構成技術、要素光デバイス技術の高さが認知された。
3. 国際会議CLEO 2008, PS2009, SPIE Photonics West 2010, PS2010, CLEO2010等において本プロジェクトの超低消費エネルギー光RAM単位素子に関して、招待講演で成果のアピールを行った。
4. 電子情報通信学会2010ソサイエティ大会において、本プロジェクトの超広幅ヒステリシス光RAM単位素子に関して、招待講演で成果のアピールを行った。