

平成22年度研究開発成果概要書
「ユニバーサルリンク技術の研究開発」

(1) 研究開発の目的

LAN内又はLANからの100Gbpsイーサネット信号(100GbE)を伝送する省電力パラレルインタフェース(25Gbps×4)用信号変換電気信号処理技術、ならびに、WANにおいて100GbE信号を光ネットワーク(OTN:Optical Transport Network)を介して長距離伝送するためのシリアルインタフェース用デジタル信号波形歪補償技術(光ファイバSMF換算1000km以上の波長分散(0-20000ps/nm)及び、偏波モード分散0-50psをダイナミックに補償)を開発し、100GbE信号をLANからWANまでシームレスに伝送するための電気信号処理基盤技術を確立する。

(2) 研究開発期間

平成20年度から平成23年度(4年間)

(3) 委託先企業

日本電信電話(株)〈幹事〉、(株)日立製作所、三菱電機(株)、富士通(株)、日本電気(株)、NTTコミュニケーションズ(株)

(4) 研究開発予算(百万円)

平成20年度	300
平成21年度	480
平成22年度	265
平成23年度	249

(5) 研究開発課題と担当

課題ア: LAN向け100GbE対応パラレルリンク技術

(株式会社日立製作所)

ア-1 MAC・PCS間省電力・高速MLDインタフェースの開発

ア-2 論理回路機能の開発

ア-3 送受信器機能の試作評価検証

課題イ: WAN向け100GbE信号トランスポート対応デジタル信号波形歪補償処理技術

イ-1 リアルタイムデジタル信号処理アルゴリズム

イ-1-1 直交周波数多重分離信号処理アルゴリズム開発

(日本電信電話株式会社)

- イ-1-2 送信端デジタル信号処理アルゴリズム開発
(三菱電機株式会社)
- イ-1-3 高安定デジタルコヒーレント検波偏波制御信号処理アルゴリズム開発
(富士通株式会社)
- イ-1-4 受信端デジタル信号処理アルゴリズム開発
(日本電気株式会社)

- イ-2 アルゴリズム実証のための回路試作と評価検証
 - イ-2-1 直交周波数多重分離信号処理回路試作と機能実証およびリアルタイム信号処理評価技術
(日本電信電話株式会社)
 - イ-2-2 送信端デジタル信号処理回路試作と機能実証
(三菱電機株式会社)
 - イ-2-3 高安定デジタルコヒーレント検波偏波制御信号処理回路試作と機能実証
(富士通株式会社)
 - イ-2-4 受信端デジタル信号処理回路試作と機能実証
(日本電気株式会社)
 - イ-2-5 フィールド運用・評価技術
(NTTコミュニケーションズ株式会社)

課題ウ：研究テーマ全体管理
(日本電信電話株式会社)

(6) これまで得られた研究開発成果

		(全体)234 件	(当該年度) 93 件
特許出願	国内出願	33	4
	外国出願	28	9
外部発表	研究論文	58	26
	報道発表	7	5
	その他研究発表	94	42
	展示会	8	5
	標準化提案	6	2

具体的な成果

(1) ITU-T G. 709 光転送網 (OTN) 勧告における提案 100GE over OTN 方式の国際標準化

これまでの標準化活動によって OTN インタフェース勧告 G. 709 (2009/12) において OTU4 ビットレートが、勧告 G. 709 改正 1 (2010/7) において 100GE 転送関連の規格がそれぞれ規定され、OTN 上における 100GE 転送の大枠は定まった。

今年度は勧告 G. 709 改正 2 の合意が予定されていた 2011 年 2 月の SG15 本会合に出席し、寄書提案するとともに議論へ参加した。勧告 G. 709 改正 2 は大幅に拡張された OTN 規格について規格の明確化や修正、他 OTN 勧告との整合性の向上を意図したものである。OTN 上における 100GE 転送に関する規格の明確化提案 (特にモニタ方法) を行い、議論の末、提案が合意された。

(2) 100Gb イーサネット向け超低消費電力トランシーバ回路を開発

100Gb イーサネット (IEEE802.3ba 標準) に対応したギアボックス LSI を世界で初めて CMOS プロセスで開発し、従来の SiGe プロセス品と比較して 1/4 となる消費電力性能 (従来 8W→本研究 2W) を実現した。本 LSI では、10Gb/s インタフェース回路部及び 25Gb/s インタフェース回路部を省電力化する新技術を開発した。

10Gb/s インタフェース回路部では、定常電流を削減する回路技術 (電圧電流モード併用出力回路) と、従来のトランシーバ回路では 2 系統を必要としたクロックを 1 系統に削減する回路技術 (単相クロック位相比較回路) を開発し、十分な性能を確保しつつ大幅な省電力化を実現した。本回路により、世界で初めて伝送速度あたりの消費電力が 1mW を下回る性能 (1Gb/s あたり 0.98mW) を確認した (ISSCC 2010 にて発表)。

25Gb/s インタフェース回路部では、4 相クロックを用いて受信データの値と位相を判定する回路方式を考案し、ビットレートの 1/4 となる 6.25GHz のクォーターレートで 25Gb/s の処理を可能とした。また、本開発の受信回路では、チャンネル毎に PLL を配置することで、電力消費の大きい位相制御回路等を不要としながらも、4 相クロックを生成することに成功し、低消費電力を実現した (ISSCC 2011 にて発表)。

(3) 提案アルゴリズムを用いた 8Tb/s フィールド伝送実験に成功

457.6km のフィールド敷設ファイバから構成される伝送路において、偏波多重四相位相シフトキーイング (PDM-QPSK) 変調方式による 100Gb/s OTN 信号を 80 チャンネルを伝送し、課題イにおける提案アルゴリズムを用いた総伝送容量 8Tb/s 現場環境波長多重伝送実験 (オフライン処理) に成功した。1570.42-1603.60nm の波長領域に 50GHz 間隔で配置された全 80 チャンネルにおいて、8.5dB 以上の伝送後 Q 値が得られ、20% の冗長さをもつ誤り訂正符号を適用することでエラーフリー伝送を実現可能な信号品質が実現できる見通しを得た。また、提案アルゴリズムを用いた伝送路波

長分散推定を実施し、1500ps/nm 以上の伝送路波長分散、50ps 以上の偏波モード分散に対し、 ± 200 ps/nm の精度で伝送路波長分散推定が実現できる見通しを得た。