

平成23年度「光統合ネットワークの管理制御およびノード構成技術に関する研究開発」の研究開発目標・成果と今後の研究計画

1. 実施機関・研究開発期間・研究開発費

- ◆実施機関 ルネサスエレクトロニクス株式会社(幹事会社)、富士通株式会社、国立大学法人大阪大学
- ◆研究開発期間 平成22年度から平成25年度(4年間)
- ◆研究開発費 総額876百万円(平成23年度 225百万円)

2. 研究開発の目標

飛躍的に高いスイッチ能力と省電力性を持つ基幹ネットワークを構築する上で不可欠となる、多波長光パケットヘッダの高速処理技術、光信号の安定化処理技術を確立する。これらの処理技術にもとづく多波長光パケット交換、および、光パス交換の2つの光交換技術を統合した光統合ネットワークの制御技術を確立し、情報通信研究機構整備による光交換基盤技術の実証基盤施設を用いた実証試験により技術の安定性を検証する。

3. 研究開発の成果

テーマは下記に大別。

①省電力で100Gbps性能を有するパケットヘッダ電子的処理

②光パケットレベル制御型光プリアンプ技術

③光パケット・光パス統合ネットワークの制御技術

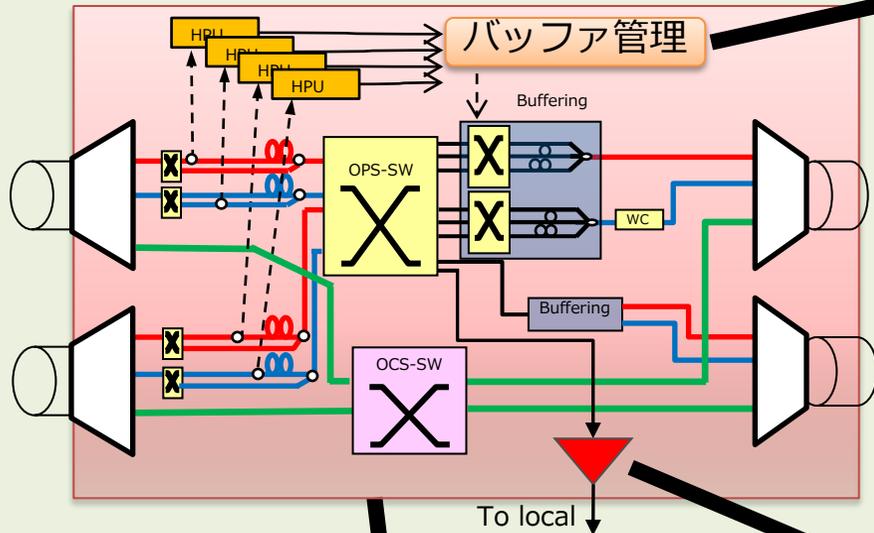
①では省電力、高速でパケットヘッダ処理をする検索エンジンLSIの回路設計・論理検証・LSIレイアウトデータの設計を行った。また検索エンジンLSIをコントロールする省電力メモリコントローラの回路構成、ネットワーク全体のコントロールするための統計情報を省電力で蓄積する方法を検討した。システムボード全体での消費電力は、従来のTCAM(Ternary Content Addressable Memory)を用いたシステムに比べて、50%以下になるシミュレーション結果を得た。統計情報格納用の短レイテンシーのメモリLSI製品の回路設計・論理検証・LSIレイアウトデータの設計を行った。転送速度で標準58Gbps(最大230Gbps)を達成している。

②では、

- ・ SOA素子に高効率・低消費電力構造を導入し、光パケットレベル制御型光プリアンプの動作要件に合わせたSOAアレイ素子の試作に成功した。
- ・ 利得制御特性の波長依存性を解決する目的で、高速可変光減衰器(VOA)を集積したSOAの試作を行い、InP-VOAモノリシック集積型SOAとSi-VOAハイブリッド集積型SOAの両構造について利得制御の基本動作と本方式の性能見通しを確認した。
- ・ アレイモノリシック集積SOAの同時駆動の際の発熱対策として、新たにハイブリッドシステム構造を開発し、利得劣化の抑圧に成功した。
- ・ 入出力の各光パケット信号レベルを高速にかつ正確に捉えるためのPDモニタ回路構成、光パケット信号の入力レベルから瞬時にSOA駆動電流量を算出し、その駆動電流量を瞬時にSOAへ反映させる高速演算アルゴリズムと高速駆動回路構成を決定した。
- ・ タイミング&スキュー調整機能について、FPGA内に調整機能を搭載し、内部処理遅延量を自在に可変可能な構成を決定した。
- ・ 単一波長(1ch)の光パケット用のSOAモジュールサブシステム(駆動回路&制御回路基板)を製作した。光パケット単位でのレベル制御を実現し、パケット単位のレベル制御型光プリアンプ技術の基本動作を確認した。

③では、光統合ネットワークの性能の数学的解析手法を開発し、光パケット交換、光パス交換の切替に必要なアドミッション制御への適用方法を検討した。また、ソフトウェアルータを用いて小規模実験網を構築し、エッジとなるルータにおいてフローを検出しパケット交換ネットワークから光パスネットワークへの切替について、実機上で動作を確認した。

光統合ネットワークの管理制御およびノード構成技術



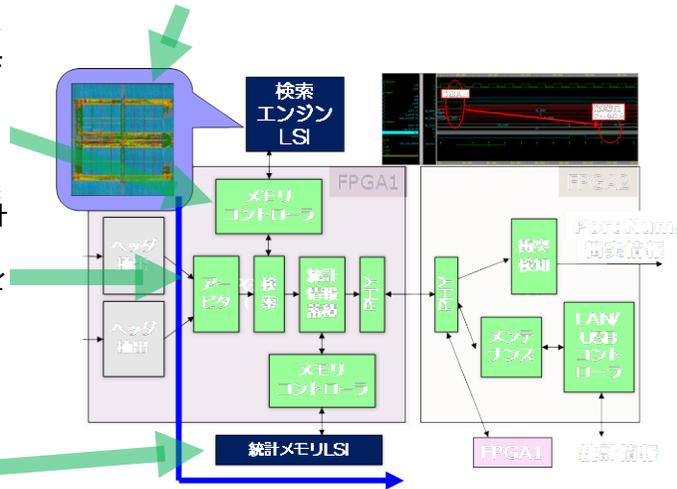
アー１－１ 省電力で100Gbps性能を有するパケットヘッダ電子的処理

・ヘッダ処理LSIの回路設計、論理検証を行い、LSIレイアウトデータの設計を行った。また特殊なメモリ構成をテストするためのテストモード回路を開発した。

・検索エンジンLSIを制御する省電力メモリコントローラの回路を作成した。

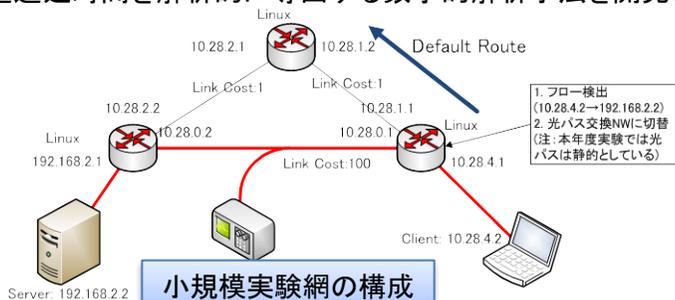
・100Gbpsでヘッダ処理実行中でも、課題ア-2に必要な統計情報を蓄えることが可能な回路を作成した。省電力で動作することをシミュレーションで実証した。

統計メモリLSIの回路設計～レイアウトデータの設計を行った。



アー２ 光パケット・光パス統合ネットワークの制御技術

1. 光統合ノード構成法の詳細化、光統合ネットワーク制御に必要なトラフィック統計情報を決定した
2. ソフトウェアルータを用いて小規模実験網を構築し、エッジとなるルータにおいてフローを検出しパケット交換ネットワークから光パスネットワークへの切替動作について、実機上で確認した。
3. 光ヘッダ処理回路の統計情報(パケット損失数、平均回線利用率)および光パス設定試行の統計情報(棄却率)にもとづいて、転送遅延時間を解析的に導出する数学的解析手法を開発した。

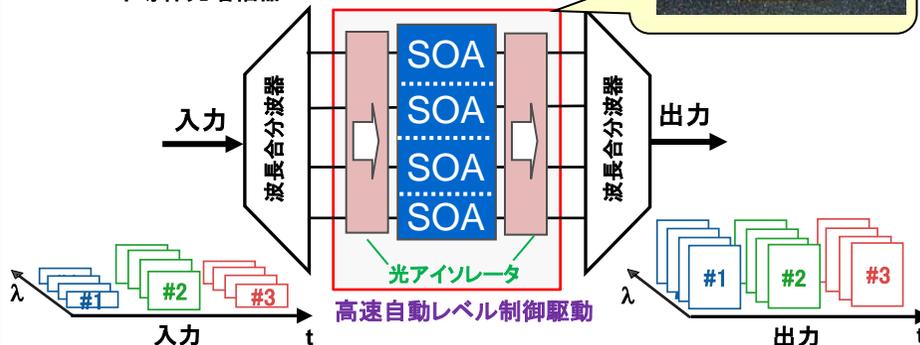


アー１－２ 光パケットレベル制御型光プリアンプ技術

光プリアンプ構成例

SOA: 半導体光増幅器

4アレイ集積SOAモジュール



4. これまで得られた成果(特許出願や論文発表等) ※成果数は累計件数と()内の当該年度件数です。

	国内出願	外国出願	研究論文	その他研究発表	プレスリリース	展示会	標準化提案
ア-1-1 省電力で100Gbps性能を有するパケットヘッダ電子的処理技術の研究開発(ルネサスエレクトロニクス)	6 (5)	0	2 (2)	0	0	0	0
ア-1-2 光パケットレベル制御型光プリアンプ技術の研究開発(富士通)	2 (2)	1 (1)	2 (2)	0	2 (2)	0	0
ア-2 光パケット・光パス統合ネットワークの制御技術の研究開発(大阪大学)	0	0	3 (2)	0	0	0	0
合計	8 (7)	1 (1)	7 (6)	0	2 (2)	0	0

5. 研究成果発表会等の開催について

(1) 産学官連携のための光統合ネットワーク運営会議を開催

NICT研究チーム、NICT委託研究チーム(ルネサスエレクトロニクス、大阪大学)の産学官で、光統合ネットワーク構築のための技術交流会を定期的に開催した。

(2) 国際会議で発表

ア-1-2 光パケットレベル制御型光プリアンプ技術(富士通)

欧州最大の光通信システム関連の国際会議であるECOC2011(2011年9月18日~22日、ジュネーブ)において、本委託研究の成果の一部を利用した、半導体光増幅(SOA)素子に入力される光パースト信号を検出して、SOAを高速にオフからオンにする光増幅技術について口頭発表を行った。また、本内容についてはプレスリリースを行った。

6. 今後の研究開発計画

【ア-1-1 省電力で100Gbps性能を有するパケットヘッダ電子的処理(ルネサスエレクトロニクス)】

- ① 新規開発したLSIを搭載したボードを作成し、光統合ネットワークのシステム上で動作確認と省電力効果の実証を行う。
- ② 実システム上で、蓄積する統計情報によって、ネットワークが効率よく制御できることを確認する。

【ア-1-2 光パケットレベル制御型光プリアンプ技術(富士通)】

- ① SOAモジュール利得の偏波変動、波長変動、発熱変動の影響を低減可能なモジュールの構成、駆動条件を検討し、光プリアンプのレベル変動の目標達成を目指す。
- ② アレイ-モノリシック集積SOAモジュール、駆動回路、デジタル制御回路、PDモニタ回路を搭載した光パケットレベル制御型光プリアンプを試作する。光プリアンプ内部の遅延量によって変化する駆動タイミングのばらつきについては、タイミング & スキュー調整機能を駆使することで高速処理を実現する。
- ③ 単一波長(1ch)光パケットで検討したアルゴリズムやレベル制御方法を踏まえ、10波の多波長光パケットへの拡張を目指す。
- ④ 実証試験では、各波長間のレベルおよび到達タイミングが揃った波長間隔100 GHz、10波の多波長光パケットを入力し、その多波長光パケットの光信号レベルの変化量10 dBに対して、光プリアンプ出力において多波長光パケットの各波長のレベルを目標レベルに対して偏差±1.5 dB以内に制御可能な光パケットレベル制御技術の確立を目指す。最終的には、光交換基盤技術の実証基盤施設を用いた実証試験を行う。

【ア-2 光パケット・光パス統合ネットワークの制御技術(大阪大学)】

数学的解析手法を活用した光パケット交換/光パス交換の切替制御の研究を進める。解析手法に基づく評価結果をプログラム実装にフィードバックし、実機実験により光統合ネットワークの有用性を示す。