

# 平成24年度「デジタル位相光制御による低消費電力高速コヒーレント伝送技術の研究開発」 の研究開発目標・成果と今後の研究計画

## 1. 実施機関・研究開発期間・研究開発費

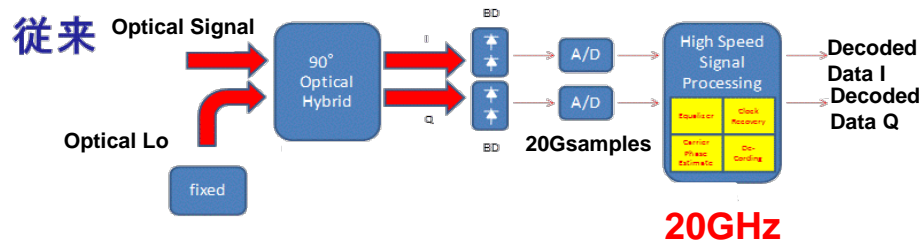
- ◆実施機関 株式会社アルネアラボラトリー(幹事者)、沖電気工業株式会社、東北大学
- ◆研究開発期間 平成23年度から平成25年度(3年間)
- ◆研究開発費 総額169百万円(平成24年度 54百万円)

## 2. 研究開発の目標

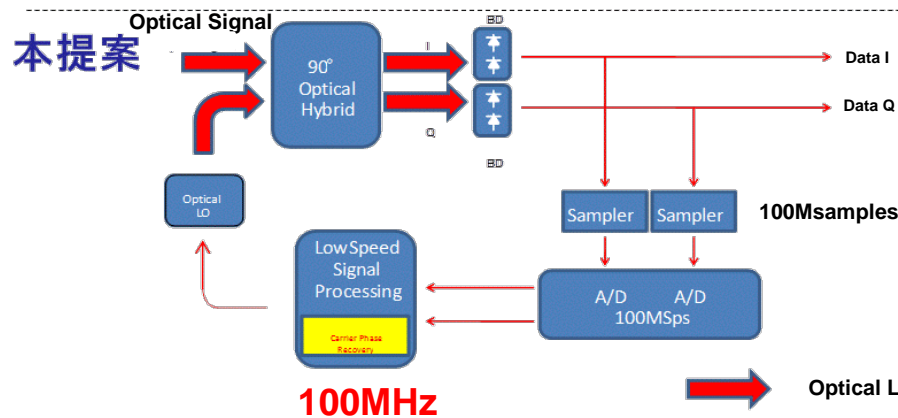
現在主流であるデジタルコヒーレント技術では、実ファイバ回線にて発生する偏波変動、波形歪劣化、光位相揺らぎなどをデジタルシグナルプロセッサ(DSP)にて補償(計算)している。しかし、膨大な信号処理を必要とするため、大規模で高機能なDSPを必要とし、消費電力の増大、それに伴う冷却装置など、システムの大型化・消費電力増大が課題となっている。本課題ではデジタル光PLLを適用することによって、伝送品質を維持したまま、信号処理に伴う計算量を削減することによって小型・低消費電力化が可能なデジタル光PLLシステムを実現することを目標としている。

## 3. 研究開発の概要と成果

### 研究開発の概要



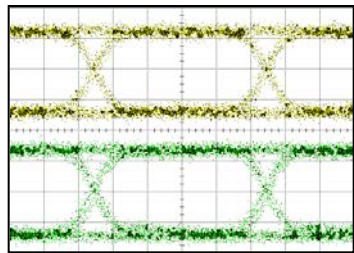
受信信号に対する光位相変動、波長ゆらぎ・シフトをDSPにて推定・計算し補償・復調する。  
(複雑で膨大な計算量を必要とする)



光PLL(Phase-Locked Loop)を適用することで、格段に少ない計算量で復調することが可能。  
信号処理負担を低減した低消費電力・小型受信器の実現を目指す。

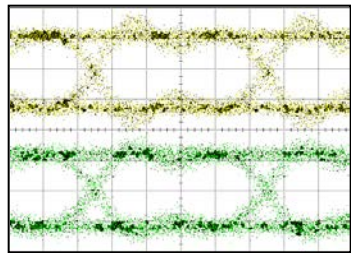
➡ Optical Line  
➡ Electrical Line

# デジタル光PLL技術



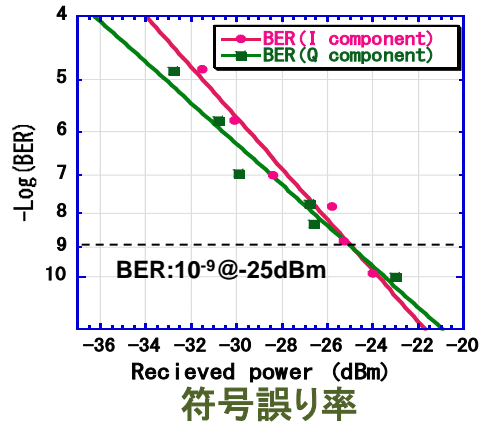
20ps/div.

変調信号

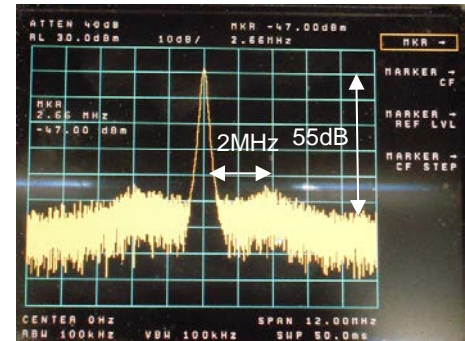


20ps/div.

復調信号

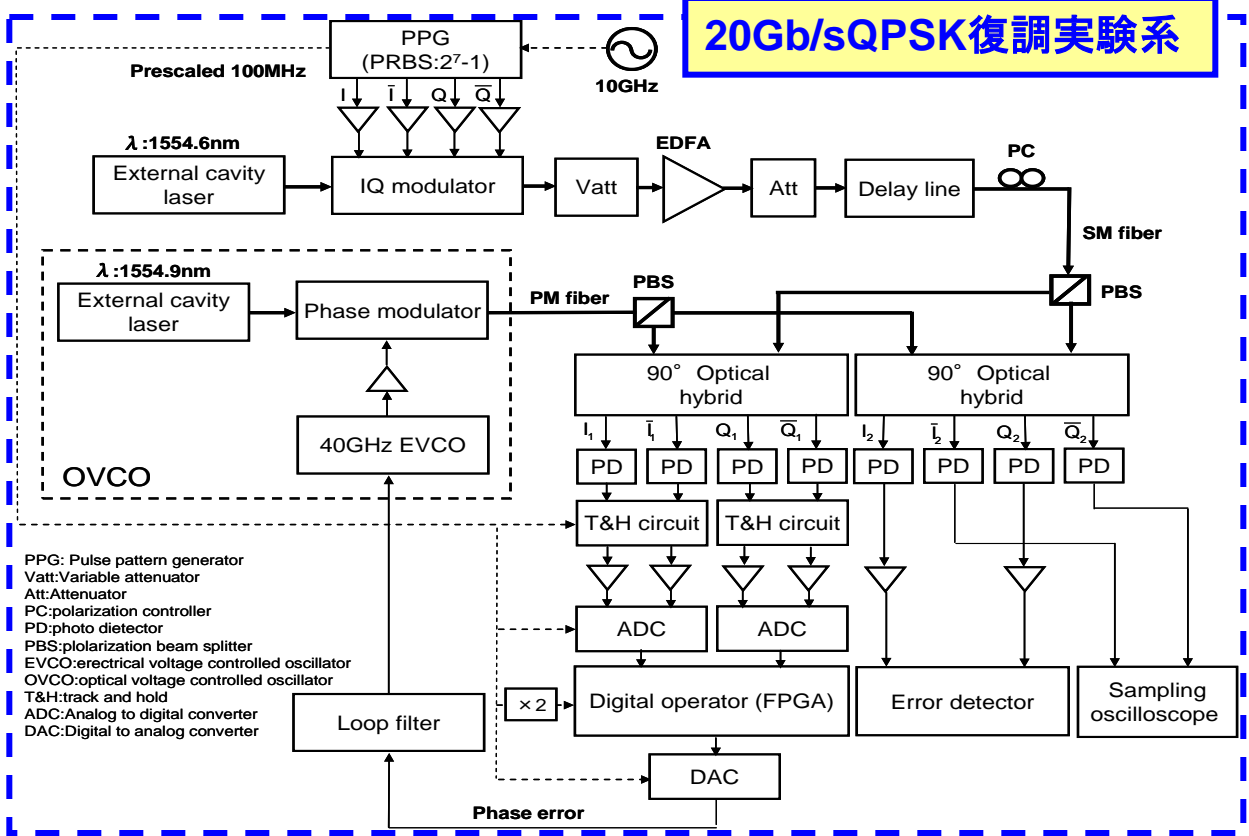


符号誤り率

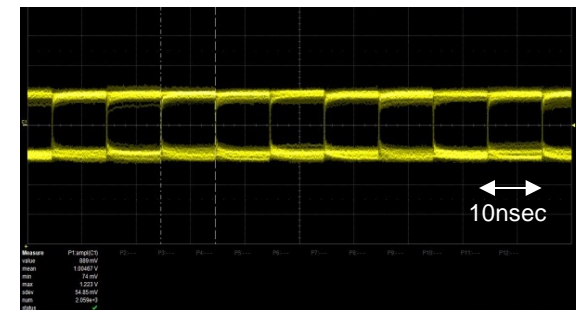


ロック時の誤差信号スペクトル

## 20Gb/s QPSK 復調実験系



- PPG: Pulse pattern generator
- Vatt: Variable attenuator
- Att: Attenuator
- PC: polarization controller
- PD: photo diode
- PBS: polarization beam splitter
- EVCO: electrical voltage controlled oscillator
- OVCO: optical voltage controlled oscillator
- T&H: track and hold
- ADC: Analog to digital converter
- DAC: Digital to analog converter

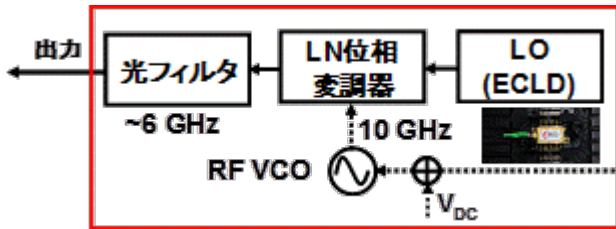


サンプリング波形 (100Mb/s)

20Gb/s QPSK信号の復調およびエラーフリーの観測に成功した。

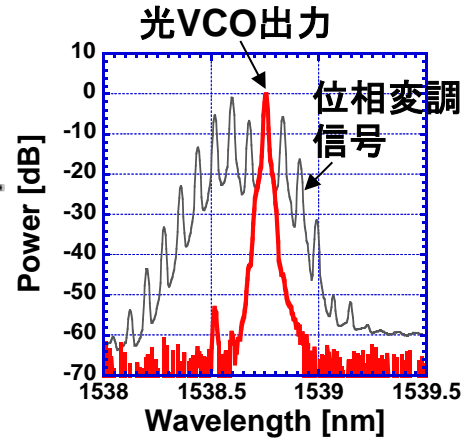
# 小型かつ高安定な光Local Oscillator(LO)の開発

## 光VCOの発振特性

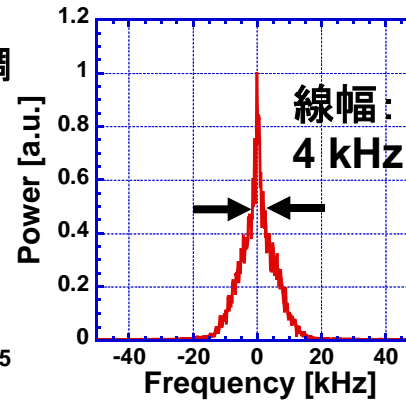


光VCOの構成

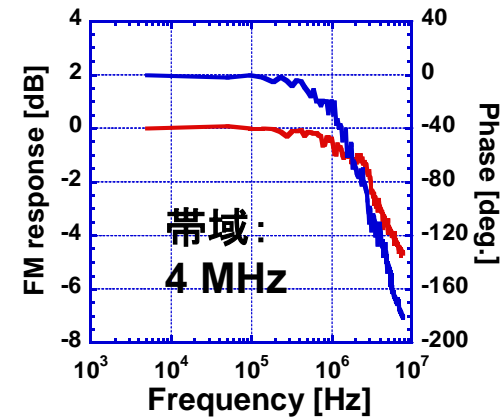
- ・線幅4 kHz、サイドモード抑圧比 45 dB以上
- ・FM帯域は4 MHz



光スペクトル

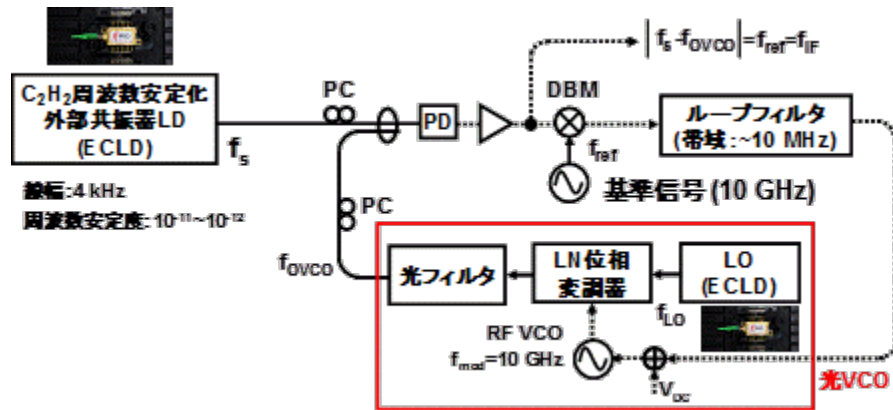


自己遅延ヘテロダイン  
スペクトル

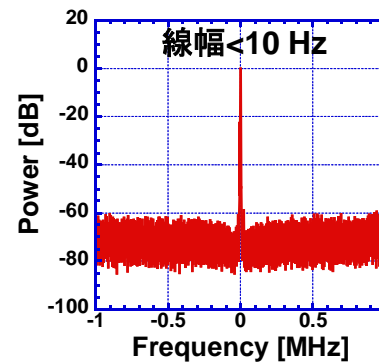


FM応答特性

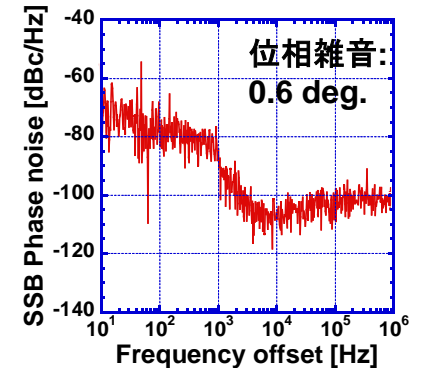
## 周波数安定化レーザーおよび光VCOを用いた光PLL回路の特性



光PLL回路の構成



IF信号スペクトル(10 GHz)



SSB位相雑音スペクトル  
(10 Hz~1 MHz)

周波数安定化レーザー・光VCOを用いた光PLL回路により、位相雑音が 0.6 deg.と非常に低雑音なIF信号の生成に成功した。

4. これまで得られた成果(特許出願や論文発表等) ※成果数は累計件数と( )内の当該年度件数です。

	国内出願	外国出願	研究論文	その他研究発表	プレスリリース	展示会	標準化提案
デジタル位相光制御による低消費電力高速コヒーレント伝送技術の研究開発	1 (1)	0	0	3 (3)	0	0	0

5. 研究成果発表会等の開催について

無し

6. 今後の研究開発計画

平成24年度はデジタル光PLLシステムを構築し、20Gb/s QPSK信号の復調およびエラーフリーの観測に成功した。また、周波数安定化レーザ・光VCOを用いた光PLL回路により、位相雑音が0.6 deg.と非常に低雑音なIF信号の生成に成功した。

平成25年度上期はこれらの研究過程で得られた知見を基に、より安定なシステムの構築を目指す。具体的には受信レベルダイヤを見直すことにより、本来必要のない機材を取り除くことや、複数の構成部品を基板に集約し、一体化することによってケーブルなどを省きループ長を短くする。周波数安定化光源についてもデジタル光PLLシステムに合わせた構成を検討する。10月を目標にこれらを組み合わせて40Gb/s(目標値)のQPSK信号の復調及びエラーフリーを目指してシステムの構築を行う。平成25年度の下期は、これらを装置として具現化する。

	4月	5月	6月	7月	8月	9月	10月	11月	12月	1~3月
クロック抽出系の構成決定	←→									
光VCOの構成決定	←→									
20Gbps向けのサンプラの決定	←→									
受信レベルダイヤの決定	←→									
FPGAボードの再設計と作製		←→								
PLLループ長の短尺化(10Gbps)	←→									
PLLループ長の短尺化(20Gbps)		←→								
光PLLシステムの構築						←→				
80 km伝送								←→		
伝送装置の装置化	←→									
装置の性能評価										←→