

平成24年度研究開発成果概要書
「究極立体映像用超高密度・超多画素表示デバイスの研究開発」

(1) 研究開発の目的

特殊なメガネを装着しないで自然な裸眼立体映像を提示する技術の研究開発が種々進められている。その中で、ホログラフィ方式は光の波面そのものを再現することが可能であることから、理想的な立体映像表示が実現できる。このホログラフィの原理、優れた特長を電子映像システムで実現する電子ホログラフィは、究極の立体映像提示システムとして、各種動画メディア、コミュニケーションメディア分野への応用が期待されている。しかしながら、電子ホログラフィでは、光の回折作用によって立体像を提示することから、十分な視域角と画質を得るためには、表示デバイスである空間光変調素子の画素を極めて高密度で構成する必要がある。さらに、表示立体像の大きさが空間光変調素子サイズの制限を受けることから、画素ピッチを高密度化するのみでなく、表示画素数についても膨大な画素数を必要とする。この要求に対して、現在実現可能な空間光変調素子の画素密度・画素数はいずれも大幅に不足しており、今後、電子ホログラフィ技術を用いた実用的なシステムの可能性を切り開くためには、空間光変調素子の高画素密度化、高画素数化に関する技術をいかに進展させるが大きな課題である。日本の高度なデバイス技術、電子映像技術を活かして、この課題のブレイクスルーをいち早く実現し、同じく立体映像技術の開発に積極的に取り組んでいる米、欧、アジア各国に技術先行することは今後、本分野で国際競争力を発揮していく上でも極めて重要である。

本研究開発課題は、次世代の電子ホログラフィ研究で広く利用可能な超高密度、超多画素空間光変調素子を実現するためのデバイスおよびその製造に関する研究開発を通じて目標仕様を達成するとともに、今回の試験研究以降のさらなる高密度化・超画素化要求に応えるための基礎となり得る技術の蓄積を図ることを目的とする。具体的には、最終年度（平成25年度末）に画素ピッチ4 μ m未満、総画素数1億2000万画素以上（デバイス4並列配置）の超高密度・超多画素空間光変調デバイスを実現し、電子ホログラフィ研究に利用可能な世界最高レベルの表示デバイスを提供することを目標とする。

(2) 研究開発期間

平成23年度から平成25年度（3年間）

(3) 委託先企業

株式会社JVCケンウッド<単独>

(4) 研究開発予算（百万円）

平成 23 年度	240（契約金額）
平成 24 年度	226（ 〃 ）
平成 25 年度	210（ 〃 ）

(5) 研究開発課題と担当

課題ア：究極立体映像用超高密度・超多画素表示デバイスの研究開発

1. 超高密度 LCOS バックプレーン技術の開発（(株)JVC ケンウッド）
2. 超高密度画素対応 液晶技術の開発（(株)JVC ケンウッド）
3. デバイス並列配置による超高画素表示システムの開発（(株)JVC ケンウッド）

(6) これまで得られた研究開発成果

		(累計) 件	(当該年度) 件
特許出願	国内出願	2	2
	外国出願	0	0
外部発表	研究論文	0	0
	その他研究発表	0	0
	プレスリリース	0	0
	展示会	0	0
	標準化提案	0	0

具体的な成果

(1)LCOS 方式による超高精細・超多画素表示デバイスのベースとなるバックプレーンの画素構造と画素回路方式、内蔵ドライバ方式について、先行開発した検証用小規模テストデバイス（画素ピッチ 3.5 μ m、単体画素数 885 万画素）による方式検証と特性評価を実施し、最終目標デバイス実現の見通しを得た。

画素回路部について、画素反射ミラー構造とそれに基づく光利用効率の評価を行い、開口率 85%、対基準ミラーに対する相対比 62%の光利用効率を確認し、電子ホログラフィ用空間光変調デバイスとして実用レベルの特性を実現した。また、トランジスタ素子の低リーク電流プロセス、遮光構造、2 層 MIM キャパシタ構造を適用した新画素回路の電気特性について、テストデバイスに構成した画素駆動電圧のモニター回路出力による測定評価を行い、想定駆動条件であるリフレッシュレート 1/120(sec) に対して十分な画素電圧保持特性の確保が可能であることを確認した。

また、画素回路のアナログ駆動電圧特性精度の向上を目的として、画素回路を構成する MIM 容量について、容量電極形成マスクの露光パターンの形状補正 (OPC) 条件の最適化を試み、高精度の MIM 容量値制御手法を確立した。また、MIM 電極の形状安定化を適用したテストデバイスの複数ウェハについて、画素回路 MIM 容量値の統計解析を行い、MIM 容量値の絶対値および容量値ばらつきが画素回路の駆動特性および表示特性上に与える影響を考察し、試作デバイスにおける MIM 容量値ばらつきが許容範囲にあることを確認した。

超高密度、超多画素表示デバイスの高データレート映像データ入力と高レート駆動に対応するために新たに採用したカラムデータ比較型 D/A 変換内蔵ドライバ方式について、テストデバイス上の動作確認用テスト回路による動作確認を行い、実表示動作条件に対応する動作クロック 300MHz、10bit 階調相当の D/A 変換動作が正常に機能することを確認し、同ドライバ方式および設計が最終デバイスに展開可能なことを実証した。

上記の画素回路、内蔵ドライバ方式を適用した検証用デバイスおよび同テストデバイスの駆動手段として開発した駆動回路システムとの組み合わせによる実画像表示動作の確認を行い、4K×2K 画素数、垂直走査レート 60Hz に対応する外部映像源から受信した映像信号を正しく表示できることを確認した。

以上のテストデバイスによる検証により、LCOS 方式による超高密度・超多画素表示デバイスを構成するバックプレーンの画素回路方式、内蔵ドライバ方式検証と基本設計の確認をほぼ完了した。

- (2) 上記先行テストデバイスによる検証結果を反映した画素ピッチ $3.5\mu\text{m}$ 、総画素数 3500 万画素の最終目標仕様デバイスに対応した LCOS バックプレーン仕様設計、レイアウト設計および半導体マスク開発を実施した。最終仕様デバイスにおいては、半導体マスク露光装置で 1 回に露光可能エリア上限の制約から、1 チップあたりの露光工程を複数回露光で行う「分割露光」プロセス適用が必要となる。最終目標画素数デバイスの製作にあたり、分割露光部における配線ルールと設計レイアウトの整合性を検討し、マスク分割露光仕様を決定するとともに、詳細レイアウト設計への反映とプロセス要素開発を実施した。特に、画素配列部では
- ① レイアウト設計上の配線幅と配線間スペース余裕が小さく、分割露光を適用した場合の歩留まり影響が無視できない点と、②画素部固有の構造 (MIM 容量、表面反射ミラー電極) により分割露光部での表示特性の不連続性の影響が出やすい点が課題となった。これに対して、3500 万画素

の配列からなる画素エリア全体を一括で分割することなく露光可能な設計仕様の策定とそれに対応したプロセスの検討を実施し、最終デバイスのウェハ製作への適用を可能とした。これらの検討と開発成果をもとに、最終目標仕様である画素ピッチ $3.5\mu\text{m}$ 、画素数 3500 万画素の表示デバイス用バックプレーンの初回ウェハサンプルを試作した。

(3) LCOS 方式による表示デバイスの超高密度化の課題である液晶駆動電圧特性の低電圧化、狭ピッチ画素配列に対する空間変調応答特性について材料の検討、セルギャップ条件、配向条件出しを行い、最終的に液晶材料候補を 2 種類（材料 A、B、）に絞り、各々の材料について、バックプレーンの駆動電圧レンジ特性、空間変調応答特性をもとにセルギャップ条件、および配向条件を確定した。また、電子ホログラフィ表示用の空間変調デバイスとして、良好な動画表示特性を実現するとともに、時分割方式によるカラー化への展開を視野に、液晶変調動作の時間応答特性についての評価を実施し、温度依存性を含めた特性を明らかにした。

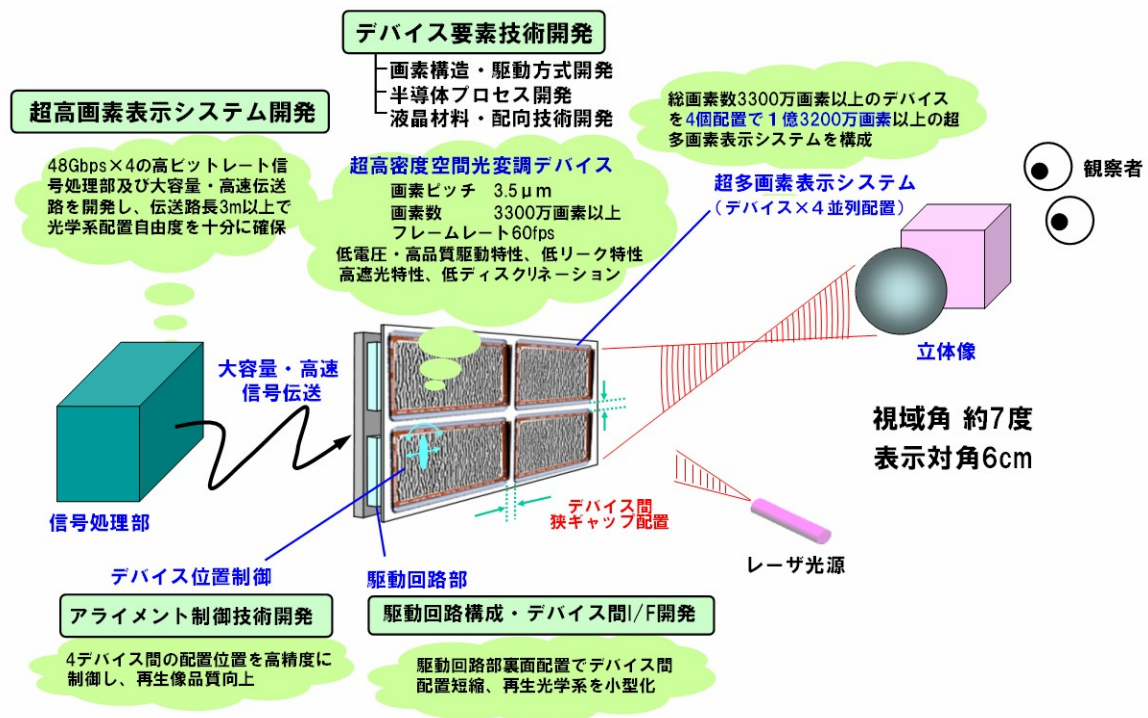
(4) 最終年度の目標であるデバイス 4 面並列配置による超多画素表示デバイス（総画素数 1 億 2000 万画素以上）の要素技術として、複数デバイス間のアライメント調整機構の仕様案を作成した。仕様案に基づき 3 次元 CAD によるデバイス配置とアライメント機構の構造検討と課題抽出を行った。特に、デバイス間距離を近接配置する構造では、デバイスおよびその裏面に配置される駆動基板によるスペース上の制約により、調整機構の実装スペースの自由度が小さく、調整操作部へのアクセス性が課題となった。その対応として、アライメント調整機構部から調整操作部を遠隔してフレキシブルに配置可能な調整操作部材の導入を検討し、その有効性を確認するための原理機構試作と前年度に開発試作したアライメント機構精度測定用治具による同試作機構の精度測定を行い、調整操作性と機構配置自由度の向上と実用範囲の調整精度を両立可能であることを確認した。

また、単体で 3500 万画素を有する最終目標仕様デバイスでの映像表示に対応するため、デバイス駆動回路、および外部映像再生装置からの映像データを受信する映像 I/F 回路の仕様設計、回路設計と基板開発を行い、最終画素数デバイスの動作検証に必要な駆動回路システムを製作した。映像入力 I/F 規格には接続信頼性が高く、PC 系の映像ソースとの親和性に優れた DVI デュアルリンクを採用し、DVI 入力端子 4 系統を備える I/F 基板を 4 並列で同期動作する構成とし、全体として DVI×16 並列入力で最終仕様デバイス画素数（ 8192×4320 画素）リフレッシュレート 60Hz（プログ

レッシブ)、12bit 階調の映像入力に対応可能とした。DVI 規格では各系統で RGB カラー信号を受信するため、同映像 I/F1 ユニットあたり 3 デバイスまでの映像表示に対応可能である。映像 I/F 回路部とデバイス駆動基板間は、伝送レート 3Gbps 対応の SATA (serial-ATA) 高速シリアルデータ接続インターフェース×16 レーン、物理ケーブル数 4 本での接続とし、実質 48Gbps 相当の映像データをケーブル長 2 m 以上で伝送することを可能とした。これにより、デバイス駆動回路部と I/F ユニット間を離隔して配置することが可能で、電子ホログラフィ研究用途での装置、再生光学系の配置自由度の向上を可能とした。

上記の駆動システム開発により、最終目標仕様デバイスの実駆動条件での動作確認と特性評価への対応を可能とした。

(7) 研究開発イメージ図



平成24年度「究極立体映像用超高密度・超多画素表示デバイスの研究開発」の研究開発目標・成果と今後の研究計画

1. 実施機関・研究開発期間・研究開発費

- ◆実施機関 株式会社JVCケンウッド(単独)
- ◆研究開発期間 平成23年度から平成25年度(3年間)
- ◆研究開発費 総額678百万円(平成24年度 226百万円)

2. 研究開発の目標

- 電子ホログラフィ方式は、光の波面そのものを再現でき、自然な奥行き知覚が可能な究極の立体提示方式であるが、実用的な視域角と再生像サイズの実現には、空間光変調デバイスの画素密度、画素数が大幅に不足しており、超高密度・超多画素表示デバイスの実現が課題である。本研究開発は、反射型液晶表示デバイス技術をベースに、超高密度画素と超多画素を実現する上での課題を解決するための研究開発を行い、将来の電子ホログラフィ研究用に広く利用可能な**世界最高レベルの表示デバイスを実現**することを目標とする。最終年度(平成25年度)には、**画素ピッチ4um未満、総画素数1億2千万画素以上の超高密度、超多画素表示デバイス**を製作し、電子ホログラフィ研究用に提供する。

3. 研究開発の成果

究極立体映像用超高密度・超多画素表示デバイスの研究開発

研究開発目標

電子ホログラフィ方式の課題である視域角と再生像サイズ拡大に対し、反射型液晶表示デバイスの画素密度化、多画素化技術の研究開発を行う。研究成果による超高密度・超多画素表示デバイスを研究用に提供し、電子ホログラフィ技術の進展に貢献する。

超高密度・多画素デバイス技術の開発

- 画素構造・駆動方式開発
- 半導体プロセス開発
- 液晶材料・配向技術開発

超多画素表示システム開発

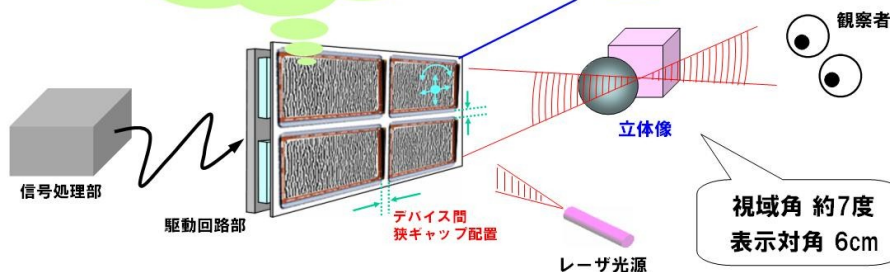
- 超画素数デバイスの駆動方式・回路開発
- アライメント制御技術開発

超高密度空間光変調デバイス

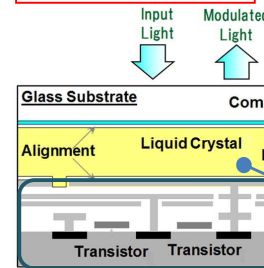
画素ピッチ 3.5 μm
画素数 3300万画素以上
フレームレート 60fps

超多画素表示システム

単体画素数3300万画素のデバイス×4並列配置で
1億3200万画素の超多画素デバイスを構成



研究開発成果



反射型液晶表示デバイス(LCOS)

LCOS方式による超高密度画素・超多画素化実現のための要素技術

- 半導体駆動基板(バックプレーン)の要素技術
 - ・低電圧動作の画素方式でトランジスタ、設計ルールを微細化。
 - ・低リーク電流プロセスと高耐光性構造の開発
 - ・超高画素数デバイス実現の課題である大容量・高レート駆動信号に対応したインターフェイス方式、ドライバ方式

- 画素の超高密度化に対応した液晶要素技術
 - ・微細過疎に対応可能な低駆動電圧液晶材料の開発
 - ・微細画素で良好な空間変調応答特性を得るための液晶ギャップ条件出し、配向条件の開発

【H24年度実施内容と成果概要】

1. 超高密度画素LCOSバックプレーン方式開発

- ①目標画素ピッチ3.5 μm (4 μm 未満)に対応した新画素回路、画素構造の検証
- ②D/A変換内蔵型ドライバ、高速データ入力対応データI/F回路方式の検証。
⇒①②の新回路方式、および設計検証を目的とした先行テストデバイスの素子化・詳細評価を実施し、実駆動での表示動作を確認。バックプレーン方式の有効性を実証した。

2. 超高密度画素対応液晶技術開発

- ①低駆動電圧(高 Δn)液晶材料候補の評価・絞り込みを行い最終デバイス用材料を選定。
- ②動画特性の見地から液晶応答時間のギャップ、温度依存性の検討と評価を実施。

3. 超多画素表示システムの要素開発

- ①最終仕様デバイス(3300万画素)駆動回路、映像入力I/F回路の設計と基板開発を実施
- ②複数デバイス配置のアライメント機構用の仕様作成、構造検証と試作評価を実施。

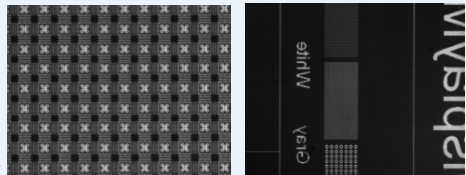
究極立体映像用超高密度・超多画素表示デバイスの研究開発 平成24年度の主な成果

課題ア-1 超高密度・多画素LCOSバックプレーンの開発 ①

画素ピッチ $3.5\mu\text{m}$ の超高密度、超多画素LCOSデバイスのベースとなる画素回路方式、内蔵ドライバ方式の先行テストデバイスによる検証を実施し、最終デバイスバックプレーン実現に向けた要素技術と基本設計を確立した。



3.5 μm画素テストデバイス
※画素数: 885万画素(4K2K)



3.5 μm画素ピッチ テストデバイスの実表示画像

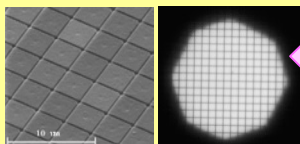
世界最高レベルの超高密度画素LCOS素子で実画像表示を確認

- ①先行開発のテストデバイス用バックプレーン(885万画素:4K2K画素数)に液晶工程を適用し表示デバイスを構成、実駆動条件での画像表示動作を確認した。
- ②テストデバイスによる画素回路、内蔵ドライバの方式検証、および各構成要素の基本設計、特性評価を実施し、最終目標デバイスの設計・開発にフィードバック。

課題ア-1 超高密度・多画素LCOSバックプレーンの開発 ②

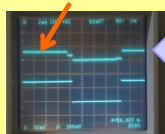
先行テストデバイスによる画素構造と画素回路特性、およびデバイス内蔵ドライバカラム比較型D/A変換部の実動作条件での評価を行い、最終デバイスへの適用が可能な基本特性が得られていることを確認した。

①3.5μm超高密度画素の構造・基本特性を確立



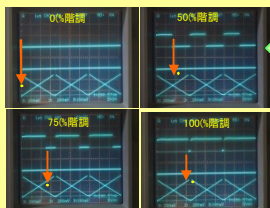
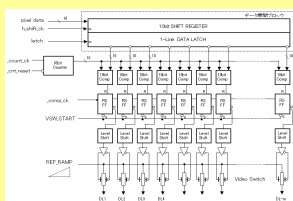
開口率85%
反射率62%
~実用レベルの画素構造を確立

電圧保持期間中の傾斜なし



低リークトランジスタ
光キャリア吸収構造
~良好な電圧保持特性を実現

②カラム比較型D/A変換の動作・設計を確立



映像データレート300MHz
D/A変換基準クロック300MHz

~実駆動条件での安定動作を確認し、最終デバイスへの適用に目途。

課題ア-1 超高密度・多画素LCOSバックプレーンの開発 ③

最終目標画素数デバイス(単体画素数=3500万画素)のLCOS方式バックプレーンの仕様開発、回路設計、半導体マスク開発を実施し、1stウェハサンプルを製作。分割露光対応設計とプロセス開発により最終目標画素数デバイスサイズに対応。

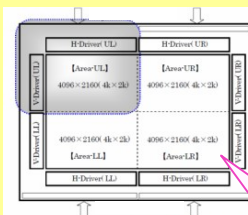
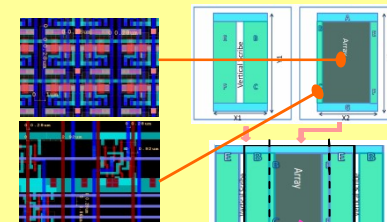


Image area (diagonal)	1.28 inch (32.4mm)
Active pixel Area	28,872 μm × 15,190 μm
Active Pixels	8,192(H) × 4,320(V)
Pixel size	3.5 μm
Pixel circuit structure	Two stages DRAMs
Internal D/A CONV	10bit depth column D/A
Frame rate	150fps in full resolution
Supply Voltage	Digital I/O 1.8V typical
	Data I/F SSTL18
	Analog 5.0V typical



分割露光対応設計

先行4Kテストデバイスのレイアウト設計のミラー配置構成で、先行で実施した設計検証の実績を反映

画素配列エリアについては分割なし、一括露光する仕様を採用、歩留、表示特性への影響を低減

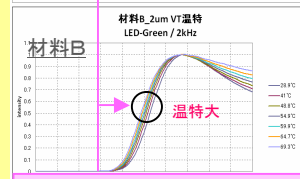
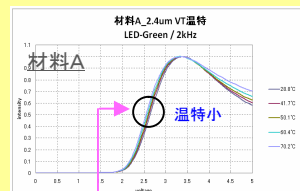
【3500万画素デバイス仕様】

最終デバイス用バックプレーンのマスク設計開発に反映、初回ウェハサンプルを製作

課題ア-2 超高密度画素対応 液晶技術の開発

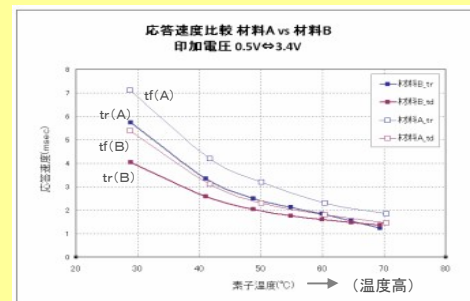
最終仕様デバイス液晶材料候補、セルギャップ条件を検討。液晶材料の候補を2種に絞込み、各材料について配向、ギャップ形成条件出しを行った。電圧-変調度特性、時間応答特性を評価し、各々の特性を明らかにした

①液晶材料検討と候補絞込み



液晶材料候補を最終2種に絞りVT特性(温特含む)を比較評価

②液晶時間応答特性(温度依存性)



電子ホログラフィ動画表示特性、面順次カラー化対応を想定し液晶の時間応答特性の評価を実施。(材料、ギャップ、温度条件依存)

究極立体映像用超高密度・超多画素表示デバイスの研究開発 平成24年度の主な成果

課題ア-3 デバイス並列配置による超多画素表示システム開発

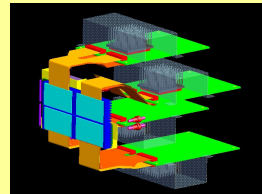
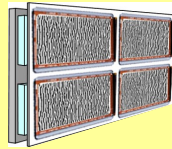
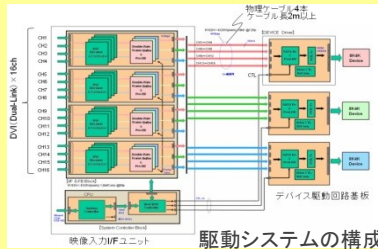
最終年度目標の4面並列配置 表示デバイスのアライメント調整機構の構想設計、と課題抽出、試作確認を実施。また、3500万画素表示デバイスの駆動回路、映像入力I/Fの設計と基板開発を行い、最終デバイスの実駆動評価環境を構築した。

最終画素数デバイス駆動回路システム開発

・3500万画素表示デバイスの駆動回路システムの仕様設計、回路設計、基板開発を行い、最終デバイス駆動と映像信号入力による動作確認環境を構築。

4面並列デバイスのアライメント機構開発

・機構構想と仕様案を作成し、CADによる構造確認、課題抽出を実施。
・近接配置によるスペース制約を軽減する調整操作部を遠隔配置可能な調整機構を導入、試作検証を実施。



配置・機構構造のCAD確認

4. これまで得られた成果(特許出願や論文発表等) ※成果数は累計件数と()内の当該年度件数です。

	国内出願	外国出願	研究論文	その他研究発表	プレスリリース	展示会	標準化提案
究極立体映像用超高密度・超多画素表示デバイスの研究開発	2 (2)	0 (0)	0 (0)	0 (0)	0 (0)	0 (0)	0 (0)

5. 研究成果発表会等の開催について

(1) 産学官連携のための運営会議の主催

NICT自主研究テーマとの連携を図るため、進捗報告会を2回(第1回:2012/05/30、第2回:2013/01/29)開催、自主研究テーマ担当者への進捗報告と情報交換を行った。

(2) 国際会議の開催

特になし。

6. 今後の研究開発計画

- (1) 画素ピッチ $3.5\mu\text{m}$ 、デバイス単体画素数3500万画素を有する最終目標仕様デバイスの詳細評価と課題抽出、特性改善を行い、電子ホログラフィ用表示デバイスとしての最終性能を確立する。
- (2) 単体3500万画素デバイス×4面並列配置により、画素ピッチ $3.5\mu\text{m}$ 、総画素数1億2000万画素以上の超高密度・超多画素表示デバイスと駆動回路システムを構成し、電子ホログラフィ表示用空間光変調器として目標仕様と性能、機能を実現し、研究用途での提供を可能とする。
- (3) 委託研究の最終まとめを実施するとともに、今後のさらなる画素高密度化、多画素化の実現可能性と解決すべき技術課題について考察する。