

平成24年度「究極立体映像用超高密度・超多画素表示デバイスの研究開発」の研究開発目標・成果と今後の研究計画

1. 実施機関・研究開発期間・研究開発費

- ◆実施機関 株式会社JVCケンウッド(単独)
- ◆研究開発期間 平成23年度から平成25年度(3年間)
- ◆研究開発費 総額678百万円(平成24年度 226百万円)

2. 研究開発の目標

- 電子ホログラフィ方式は、光の波面そのものを再現でき、自然な奥行き知覚が可能な究極の立体提示方式であるが、実用的な視域角と再生像サイズの実現には、空間光変調デバイスの画素密度、画素数が大幅に不足しており、超高密度・超多画素表示デバイスの実現が課題である。本研究開発は、反射型液晶表示デバイス技術をベースに、超高密度画素と超多画素を実現する上での課題を解決するための研究開発を行い、将来の電子ホログラフィ研究用に広く利用可能な**世界最高レベルの表示デバイスを実現**することを目標とする。最終年度(平成25年度)には、**画素ピッチ4μm未満、総画素数1億2千万画素以上**の超高密度、超多画素表示デバイスを製作し、電子ホログラフィ研究用に提供する。

3. 研究開発の成果

究極立体映像用超高密度・超多画素表示デバイスの研究開発

研究開発目標

電子ホログラフィ方式の課題である視域角と再生像サイズ拡大に対し、反射型液晶表示デバイスの画素密度化、多画素化技術の研究開発を行う。研究成果による超高密度・超多画素表示デバイスを研究用に提供し、電子ホログラフィ技術の進展に貢献する。

超高密度・多画素デバイス技術の開発

- 画素構造・駆動方式開発
- 半導体プロセス開発
- 液晶材料・配向技術開発

超多画素表示システム開発

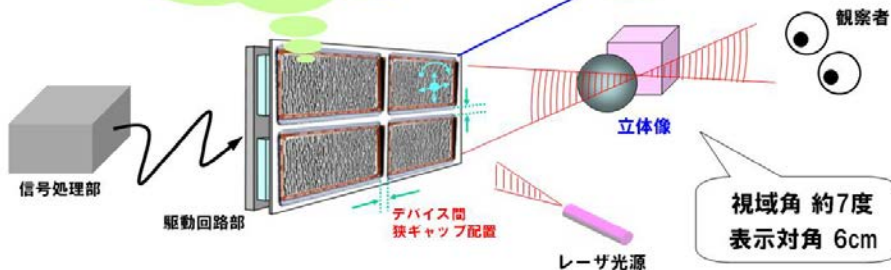
- 超画素数デバイスの駆動方式・回路開発
- アライメント制御技術開発

超高密度空間光変調デバイス

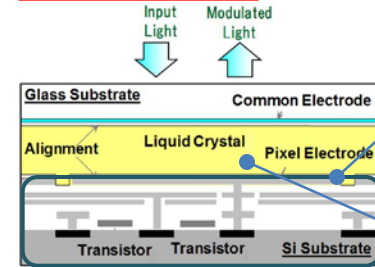
画素ピッチ 3.5 μm
画素数 3300万画素以上
フレームレート60fps

超多画素表示システム

単体画素数3300万画素のデバイス×4並列配置で
1億3200万画素の超多画素デバイスを構成



研究開発成果



反射型液晶表示デバイス(LCOS)

LCOS方式による超高密度画素・超多画素化実現のための要素技術

■半導体駆動基板(バックプレーン)の要素技術

- 低電圧動作の画素方式でトランジスタ、設計ルールを微細化。
- 低リーク電流プロセスと高耐光性構造の開発
- 超高画素数デバイス実現の課題である大容量・高レート駆動信号に対応したインターフェイス方式、ドライブ方式

■画素の超高密度化に対応した液晶要素技術

- 微細過疎に対応可能な低駆動電圧液晶材料の開発
- 微細画素で良好な空間変調応答特性を得るための液晶ギャップ条件出し、配向条件の開発

【H24年度実施内容と成果概要】

1. 超高密度画素LCOSバックプレーン方式開発

- ①目標画素ピッチ3.5 μm(4 μm未満)に対応した新画素回路、画素構造の検証
 - ②D/A変換内蔵型ドライバ、高速データ入力対応データI/F回路方式の検証。
- ⇒①②の新回路方式、および設計検証を目的とした先行テストデバイスの素子化・詳細評価を実施し、実駆動での表示動作を確認。バックプレーン方式の有効性を実証した。

2. 超高密度画素対応液晶技術開発

- ①低駆動電圧(高Δn)液晶材料候補の評価・絞り込みを行い最終デバイス用材料を選定。
- ②動画特性の見地から液晶応答時間のギャップ、温度依存性の検討と評価を実施。

3. 超多画素表示システムの要素開発

- ①最終仕様デバイス(3300万画素)駆動回路、映像入力I/F回路の設計と基板開発を実施
- ②複数デバイス配置のアライメント機構用の仕様作成、構造検証と試作評価を実施。

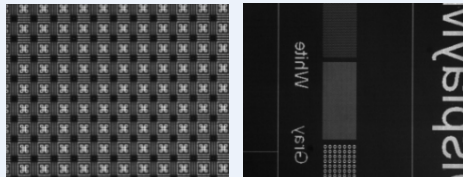
究極立体映像用超高密度・超多画素表示デバイスの研究開発 平成24年度の主な成果

課題ア-1 超高密度・多画素LCOSバックプレーンの開発 ①

画素ピッチ3.5 μ mの超高密度、超多画素LCOSデバイスのベースとなる画素回路方式、内蔵ドライバ方式の先行テストデバイスによる検証を実施し、最終デバイスバックプレーン実現に向けた要素技術と基本設計を確立した。



3.5 μ m画素テストデバイス
※画素数: 885万画素 (4K2K)



3.5 μ m画素ピッチ テストデバイスの実表示画像

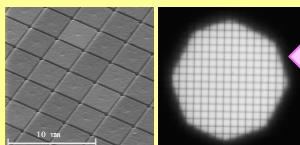
世界最高レベルの超高密度画素LCOS素子で実画像表示を確認

- ①先行開発のテストデバイス用バックプレーン(885万画素: 4K2K画素数)に液晶工程を適用し表示デバイスを構成、実駆動条件での画像表示動作を確認した。
- ②テストデバイスによる画素回路、内蔵ドライバの方式検証、および各構成要素の基本設計、特性評価を実施し、最終目標デバイスの設計・開発にフィードバック。

課題ア-1 超高密度・多画素LCOSバックプレーンの開発 ②

先行テストデバイスによる画素構造と画素回路特性、およびデバイス内蔵ドライバカラム比較型D/A変換部の実動作条件での評価を行い、最終デバイスへの適用が可能な基本特性が得られていることを確認した。

①3.5 μ m超高密度画素の構造・基本特性を確立



開口率85%
反射率62%

～実用レベルの画素構造を確立

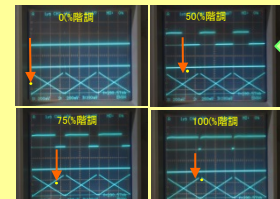
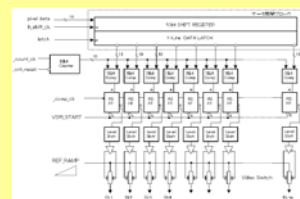
電圧保持期間での傾斜なし



低リークトランジスタ
光キャリア吸収構造

～良好な電圧保持特性を実現

②カラム比較型D/A変換の動作・設計を確立



映像データレート300MHz
D/A変換基準クロック300MHz

～実駆動条件での安定動作を確認し、最終デバイスへの適用に目途。

課題ア-1 超高密度・多画素LCOSバックプレーンの開発 ③

最終目標画素数デバイス(単体画素数=3500万画素)のLCOS方式バックプレーンの仕様開発、回路設計、半導体マスク開発を実施し、1stウェハサンプルを製作。分割露光対応設計とプロセス開発により最終目標画素数デバイスサイズに対応。

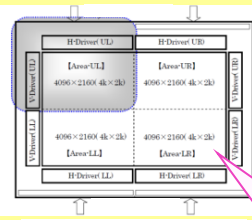
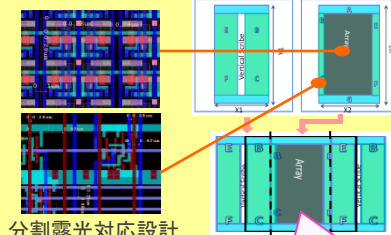


Image area (diagonal)	1.28 inch (32.4mm)
Active pixel Area	28,672 μ m \times 15,120 μ m
Active Pixels	8,192(H) \times 4,320(V)
Pixel size	3.6 μ m
Pixel circuit structure	Two stages DRAMs
Internal DA	CONV
10bit depth column DA	
Frame rate	120fps in full resolution
Digital I/O	1.8V typical
Data I/F	SSTL18
Analog	5.0V typical



分割露光対応設計

先行4Kテストデバイスのレイアウト設計のミラー配置構成で、先行で実施した設計検証の実績を反映

画素配列エリアについては分割なし、一括露光する仕様を採用、歩留、表示特性への影響を低減

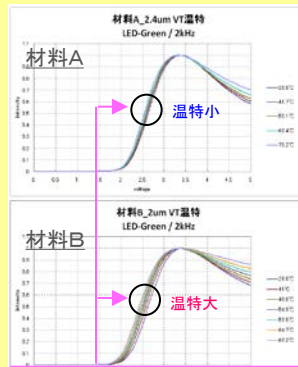
【3500万画素デバイス仕様】

最終デバイス用バックプレーンのマスク設計開発に反映、初回ウェハサンプルを製作

課題ア-2 超高密度画素対応 液晶技術の開発

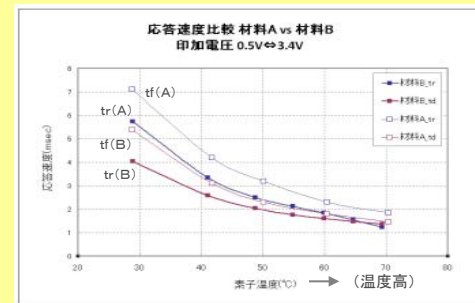
最終仕様デバイス液晶材料候補、セルギャップ条件を検討。液晶材料の候補を2種に絞込み、各材料について配向、ギャップ形成条件出しを行った。電圧-変調度特性、時間応答特性を評価し、各々の特性を明らかにした

①液晶材料検討と候補絞り込み



液晶材料候補を最終2種に絞りVT特性(温特含む)を比較評価

②液晶時間応答特性(温度依存性)



電子ホログラフィ動画表示特性、面順次カラー化対応を想定し液晶の時間応答特性の評価を実施。(材料、ギャップ、温度条件依存)

課題ア-3 デバイス並列配置による超多画素表示システム開発

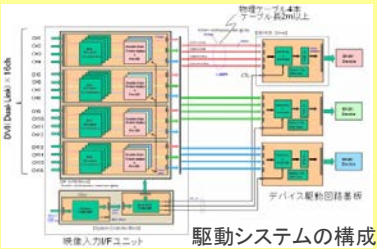
最終年度目標の4面並列配置 表示デバイスのアライメント調整機構の構想設計、と課題抽出、試作確認を実施。また、3500万画素表示デバイスの駆動回路、映像入力I/Fの設計と基板開発を行い、最終デバイスの実駆動評価環境を構築した。

最終画素数デバイス駆動回路システム開発

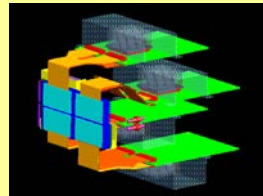
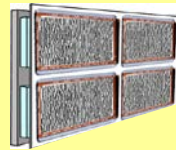
- ・3500万画素表示デバイスの駆動回路システムの仕様設計、回路設計、基板開発を行い、最終デバイス駆動と映像信号入力による動作確認環境を構築。

4面並列デバイスのアライメント機構開発

- ・機構構想と仕様案を作成し、CADによる構造確認、課題抽出を実施。
- ・近接配置によるスペース制約を軽減する調整操作部を遠隔配置可能な調整機構を導入、試作検証を実施。



駆動システムの構成



配置・機構構造のCAD確認

4. これまで得られた成果(特許出願や論文発表等) ※成果数は累計件数と()内の当該年度件数です。

	国内出願	外国出願	研究論文	その他研究発表	プレスリリース	展示会	標準化提案
究極立体映像用超高密度・超多画素表示デバイスの研究開発	2 (2)	0 (0)	0 (0)	0 (0)	0 (0)	0 (0)	0 (0)

5. 研究成果発表会等の開催について

(1) 産学官連携のための運営会議の主催

NICT自主研究テーマとの連携を図るため、進捗報告会を2回(第1回:2012/05/30、第2回:2013/01/29)開催、自主研究テーマ担当者への進捗報告と情報交換を行った。

(2) 国際会議の開催

特になし。

6. 今後の研究開発計画

- (1) 画素ピッチ3.5 μ m、デバイス単体画素数3500万画素を有する最終目標仕様デバイスの詳細評価と課題抽出、特性改善を行い、電子ホログラフィ用表示デバイスとしての最終性能を確立する。
- (2) 単体3500万画素デバイス×4面並列配置により、画素ピッチ3.5 μ m、総画素数1億2000万画素以上の超高密度・超多画素表示デバイスと駆動回路システムを構成し、電子ホログラフィ表示用空間光変調器として目標仕様と性能、機能を実現し、研究用途での提供を可能とする。
- (3) 委託研究の最終まとめを実施するとともに、今後のさらなる画素高密度化、多画素化の実現可能性と解決すべき技術課題について考察する。