

平成 28 年度研究開発成果概要書

採 択 番 号 : 18901

課 題 名 : 光トランスポート NW における用途・性能に適応した通信処理合成技術の研究開発

副 題 : 再構成可能 100G 超級インタフェース・パケットオプティカルノード構成技術の研究開発

(1) 研究開発の目的

通信トラフィックの継続的な増大傾向により、現在 100G ビット/秒のリンクシステムの商用化が進展しており、最近では 400G Ethernet の標準化も IEEE において進捗している。このように、今後も堅調な通信トラフィックの伸びが予測され、通信サービスの大容量化が進むと考えられる。

一方、通信サービスの多様化も益々進展している。例えば、企業向けの通信サービスでは、低遅延・低パケットロス率を実現する高品質 Ethernet 伝送サービスが普及している一方で、メールや Web を中心に発展してきたベストエフォート型インターネット接続サービスが、固定系からスマートフォンの普及を原動力に移動系にまで広くコンシューマ（個人）・法人問わず幅広いユーザで利用されている。さらには、移動系ネットワークの 5G 化に伴い、通信サービスの大容量化と多様化がさらに進展するものと考えられる。

このような状況を鑑みると、通信サービスの大容量化と多様化の両者の進展に対応することが必要であり、従来のようにサービス毎に通信設備を設けるとネットワーク構築コスト及び維持コストが、ますます増大することが課題である。このため、再構成可能インタフェース技術により、同一の通信ハードウェアで、大容量でさまざまなサービスに対応しつつ、通信設備コスト及び通信設備の維持管理コストの増大をも抑制できる、光トランスポートネットワークにおける用途・性能に適応した通信処理合成技術の開発が必須となる。

本研究プロジェクトでは、システムベンダ、通信事業者、大学の 3 者がそれぞれの強みを持ちより、再構成可能インタフェース技術の研究開発を行い、10 倍を超える性能（一つの設備で提供する機能ごとの性能の和）の実現可能性と提供性能及びサービスを柔軟に変更可能なことを示す。

(2) 研究開発期間

平成 28 年度から平成 31 年度（4 年間）

(3) 実施機関

アラクサラネットワークス株式会社<代表研究者>

日本電信電話株式会社

学校法人慶應義塾（実施責任者 教授 山中直明）

(4) 研究開発予算（契約額）

総額 300 百万円（平成 28 年度 150 百万円）

※百万円未満切り上げ

(5) 研究開発項目と担当

研究項目ア：通信方式を再構成可能なハードウェア技術の研究開発

研究項目ア-1 B100G 級通信方式を再構成可能なハードウェア技術の研究開発（アラクサラネットワークス（株））

研究項目イ：再構成可能ハードウェアの監視技術の研究開発

研究項目イ-1 B100G 級再構成可能ハードウェア監視技術の研究開発

(日本電信電話(株))
 研究項目イ-2 B100G 級再構成可能ハードウェアリソース制御技術
 の研究(学校法人慶應義塾)

(6) これまで得られた成果(特許出願や論文発表等)

		累計(件)	当該年度(件)
特許出願	国内出願	3	3
	外国出願	0	0
外部発表	研究論文	0	0
	その他研究発表	6	6
	プレスリリース・報道	0	0
	展示会	3	3
	標準化提案	0	0

(7) 具体的な実施内容と成果

- 研究項目ア：通信方式を再構成可能なハードウェア技術の研究開発
 研究項目ア-1 B100G 級通信方式を再構成可能なハードウェア技術の研究開発(アラクサラ)

【目標】

通信方式を再構成可能なハードウェア技術として、LSI、FPGA、NP、CPU の各デバイスの特長を活かす方式を提案する。平成 28 年度は、提案方式の中における、検索振分けエンジンを FPGA にて回路設計し、シミュレーションにより、200G ビット/秒クラスの性能が実現可能であることを確認する。

【実施内容】

LSI、FPGA、NP、CPU を協調的に連携動作させることで、各デバイスの特長を活かした、再構成可能通信処理モジュールの方式を検討した。検討した再構成可能通信処理モジュール内コンポーネントのうち、検索振分けエンジンを FPGA にて回路設計し、性能評価のシミュレーションを実施した。

【成果】

再構成可能通信処理モジュールの方式を提案し、検索振分けエンジン FPGA の回路設計、シミュレーションを実施し、200G ビット/秒の性能を持つ再構成可能通信処理モジュール実現方式のフィージビリティ検証を実施可能な見通しを得た。

- 研究項目イ：再構成可能ハードウェアの監視技術の研究開発
 研究項目イ-1 B100G 級再構成可能ハードウェア監視技術の研究開発(NTT)

【目標】

B100G 級のハードウェア監視技術に向けて、複数の 100G ビット/秒インタフェースを収容し、各インタフェースのフローを中間帯域リンクにマッピングの上、状態監視を実現する監視情報の挿抜処理方式の検討と回路設計を行い、シミュレーションにより中間帯域リンク単位で状態監視が可能であることを確認する。

【実施内容】

Flex Ethernet (FlexE) 方式をベースに、中間帯域リンクの状態監視情報の生成/挿抜処理方式の検討を実施し、検討方式のハードウェア動作の検証に向けた FlexE 回路ならびに状態監視情報生成/挿抜処理回路を設計し、性能評価のシミュレーションを実施した。

【成果】

中間帯域リンクの状態監視方式を考案／提案し、考案方式をハードウェア回路として設計した上で回路シミュレーションを行い、中間帯域リンク単位（25G ビット／秒単位）での状態監視が可能であることの見通しを得た。

研究項目イ-2 B100G 級再構成可能ハードウェアリソース制御技術の研究（慶應）

【目標】

光L2 プロトコルの仕様について検討を行い、最適なアダプテーションおよびアドレッシング方式を確定する。また、検討した光L2 プロトコルの Proof Of Concept を示すための、プログラマブル光エッジおよび光L2 コア網の既存 IP/Ethernet 網上でのシミュレートする環境構築を実施する。

【実施内容】

Ethernet 方式をベースに機能拡張を行うことで、光L2 プロトコルの検討を進めた。特に、マルチドメイン光L2 網における宛先アドレス解決の計算速度性能について、理論、シミュレーションの両面から評価を行った。また、PC サーバー及び、Ethernet SW を組み合わせてプログラマブル光エッジおよび光L2 コア網それぞれシミュレートする手法の検討を行った。

【成果】

主要クライアントとなる IP 網の光エッジ収容を前提とした検討を行い、光エッジ上の ARP キャッシュ機能、および複数 SDN コントローラ間での分散ハッシュテーブルによるキャッシュ機能を定義、段階的に代理応答することによりブロードキャストトラフィックによる光コア網の容量逼迫抑制を実現する手法を提案した。また、複数の光エッジを仮想化して巨大な1つの光エッジ化し、他ノード上のハードウェアリソースを論理的に自ノード内とする論理マウントを可能とするためのリソースプール実現アーキテクチャを定義した。さらに、通信処理モジュール・サービス処理モジュールをVM 単位で割当・チェイニングするための管理ミドルウェアの設計要件を明確化し、省電力化と遅延のトレードオフ性を GUI シミュレータにより確認した。