平成28年度研究開発成果概要図 (目標・成果と今後の研究計画)

採択番号:18901

1. 研究課題・実施機関・研究開発期間・研究開発予算

◆課題名 : 光トランスポートNWにおける用途・性能に適応した通信処理合成技術の研究開発

◆副題 : 再構成可能100G超級インタフェース・パケットオプティカルノード構成技術の研究開発

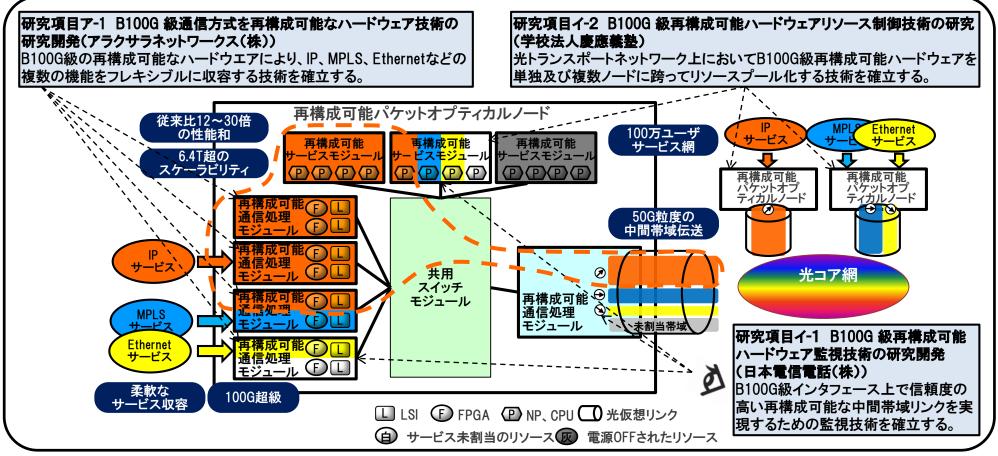
◆実施機関 : アラクサラネットワークス (株)、日本電信電話 (株)、慶應義塾大学 (山中直明)

◆研究開発期間:平成28年度~平成31年度(4年間)

◆研究開発予算:総額300百万円(平成28年度150百万円)

2. 研究開発の目標

・通信トラフィックの大容量化、通信サービスの多様化、通信サービスの仮想化に対応するべく、B100G級の大容量化、及び、柔軟なサービス収容の両面に貢献する、再構成可能インタフェース技術の研究開発を行い、10倍を超える性能(一つの設備で提供する機能ごとの性能の和)の実現可能性と提供性能及びサービスを柔軟に変更可能なことを示す。



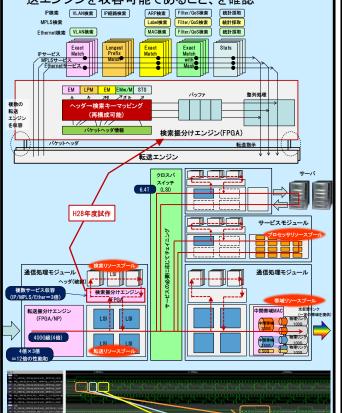
研究項目ア:通信方式を再構成可能な ハードウェア技術の研究開発

研究項目ア-1 B100G 級通信方式を再構成可能な ハードウェア技術の研究開発

(アラクサラネットワークス(株))

再構成可能通信処理モジュールの方式検討、設計

- LSI、FPGA、NP、CPUの特長を活かした、再構成可 能通信処理モジュールの方式を検討
- モジュール内の検索振分けエンジンをFPGAにて回路 設計、回路シミュレーションによりIP/MPLS/Ethernet のサービス収容可能であること、200Gビット/秒の転 送エンジンを収容可能であること、を確認



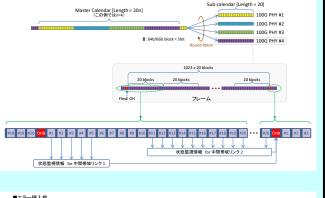
研究項目イ: 再構成可能ハードウェアの監視技術の研究開発

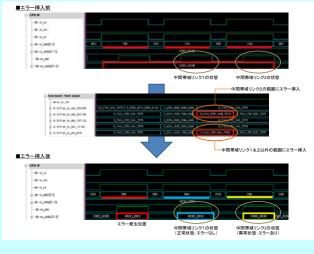
研究項目イ-1 B100G 級再構成可能ハードウェア 監視技術の研究開発

(日本電信電話(株))

中間帯域リンクの状態監視情報の生成/挿抜処理方式

- Flex Ethernet (FlexE)をベースに、中間帯域リンクの状態監視方式を考案、状態監視情報生成/挿抜処理回路を設計
- 設計回路のシミュレーション性能評価により、中間帯域 リンク単位(25Gビット/秒単位)での状態監視が可能で あることを確認



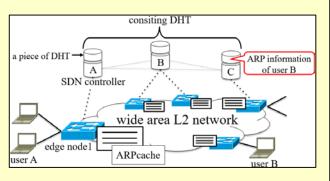


研究項目イ-2 B100G 級再構成可能ハードウェアリソース制御技術の研究

(学校法人慶應義塾)

100万ユーザ収容を可能とするアドレス解決手法

- ①光エッジ上のARPキャッシュ参照
- ②SDNコントローラ上の分散ハッシュテーブル参照
- ③全光エッジによるユーザネットワーク問い合わせ
- の段階的な参照応答によるブロードキャストトラヒックの削減および応答速度性能の向上を実現



エミュレーション環境構築手法検討

- 光エッジ仮想化およびリソースプール化を定義
- リソースプール管理におけるサービス割当アルゴリズムの設計要件をGUIシミュレータにより明確化



4. これまで得られた成果(特許出願や論文発表等)

	国内出願	外国出願	研究論文	その他研究発表	プレスリリース 報道	展示会	標準化提案
光トランスポートNWにおける 用途・性能に適応した通信 処理合成技術の研究開発	3 (3)	0 (0)	0 (0)	6 (6)	0 (0)	3 (3)	0 (0)

※成果数は累計件数、()内は当該年度の件数です。

(1) Global な成果普及活動及び、国内研究コミュニティとの連携を推進

- 国内講演会
 - ★電子情報通信学会ソサイエティ大会(2016年9月、慶應)、総合大会(2017年3月、NTT・慶應)
 - ★電子情報通信学会フォトニックネットワーク研究会(2016年9月、慶應)、OCS研究会(2017年1月、NTT)、ネットワークシステム研究会(2017年3月、慶應・アラクサラ)

(2)展示会・報道発表を通じた成果発信

- 国際会議における展示
 - ★12th International Conference on IP+Optical Network (iPOP 2016)(2016年6月)でのパネル展示(三者合同)
- 国内展示会・シンポジウムにおける展示
 - ★KEIO TECHNOMALL2016(2016年12月)での動態・静態展示(アラクサラ・慶應)
 - ★第30回光通信システムシンポジウム(2016年12月)でのパネル展示(三者合同)

5. 今後の研究開発計画

•【研究項目ア:通信方式を再構成可能なハードウェア技術の研究開発】

研究項目ア-1 B100G 級通信方式を再構成可能なハードウェア技術の研究開発

200Gビット/秒の性能を持つボード試作を行い、IP、MPLS、Ethernetの各種プロトコルパケットに柔軟に対応可能な再構成可能ハードウェアの動作を確認。 更に、転送振分けエンジンを搭載した400Gビット/秒の性能を持つボード試作を行い、現状(100Gビット/秒)の10倍以上の転送性能和の実現の見通しを得る。

•【研究項目イ: 再構成可能ハードウェアの監視技術の研究開発】

研究項目イ-1 B100G 級再構成可能ハードウェア監視技術の研究開発

中間帯域リンクの状態監視を実現する監視バイト挿抜技術の動作検証実施、方式の基本機能に係る技術確認実施。また、複数物理インタフェースを跨いだ中間帯域リンクの状態監視を実現するための監視情報の評価を行い、B100G級の領域で再構成可能な高速リンク監視技術実現の見通しを得る。

研究項目イ-2 B100G 級再構成可能ハードウェアリソース制御技術の研究

再構成可能ハードウェア(ノード本体)リソースを監視しつつ適切なリソースを仮想的にスライシングし、様々なサービス機能を実現するためのハードウェアリソース制御技術の検討。光ネットワークリソースから再構成可能ハードウェア上で実現された仮想的リソースまで一貫した管理制御を実現する上で重要となるアーキテクチャと関連要素技術を検討する。