

# 高速 A/D サンプラ

ADS3000+

0922-1004-ADS3KP

## 平成 21 年度追加機能

## 取扱説明書

第1.41版 2010年12月15日

コスモリサーチ株式会社

---

1. 平成 21 年度追加機能.....	3
1.1. 適応フィルタ追加デザインの概要.....	5
1.2. DBBC 16 チャンネル版デザインの概要.....	7
2. デザインの管理.....	10
3. デザインの更新方法.....	11
3.1. FPGA デザインの更新方法.....	11
3.2. ソフトウェアの更新.....	11
4. 追加機能の操作と変更内容の説明.....	12
4.1. 1PPS 信号の LED 表示.....	12
4.2. ステータスチェックコマンド signalcheck.....	12
4.3. A/D コンバータ サンプリングモードの設定.....	13
4.4. 適応フィルタ係数の設定.....	14
4.5. 適応フィルタ OFF 機能.....	16
4.6. DBBC16ch NCO 周波数の設定変更.....	16
4.7. DBBC 入力の A/D チャンネル選択.....	18
4.8. DBBC 出力モードの選択.....	18
4.9. DBBC VSI 出力フォーマットの選択.....	18
4.10. DBBC CIC フィルタゲイン設定.....	19
4.11. DBBC 出力ゲインの調整.....	19
4.12. DBBC の設定例.....	20
4.13. 1GspsX4ch モードの設定.....	23
4.14. DBBC 2ch, 4ch, 8ch モードの設定.....	24
4.15. コマンド一覧.....	25
4.16. コマンド詳細.....	26
5. VSI ポート出力.....	49
5.1. モード A.....	49
5.2. モード B.....	50
5.3. モード C.....	51
5.4. モード D.....	51
5.5. モード E.....	52
5.6. モード F.....	52
6. DBBC16ch VSI ポート出力.....	53
6.1. DBBC ビット分割モード.....	53
6.2. DBBC チャンネル分割モード.....	54
6.3. DBBC VSI 出カクロック.....	54

---

6.4. 1GspsX4ch モード 基本モード.....	55
6.5. 1GspsX4ch モード 8ビット区切りモード.....	55
6.6. 1GspsX4ch モード 32ビット区切りモード.....	56
6.7. DBBC 2ch モード.....	57
6.8. DBBC 4ch モード.....	58
6.9. DBBC 8ch モード.....	59
改版履歴.....	60

## はじめに

本書では、高速 A/D サンプラ装置(以後 ADS3000+と表記)へ平成 21 年度に追加を行いました、任意の帯域信号を抑制するデジタルフィルタ(適応フィルタ)機能と、Digital Baseband converter(以後 DBBC と表記)の 16 チャンネル機能について操作説明をいたします。

ADS3000+のハードウェアの主な仕様、装置各部の名称と働き、基本的な操作方法につきましては別紙『高速 A/D サンプラ ADS3000+取扱説明書』をご参照下さい。

## 1. 平成 21 年度追加機能

適応フィルタ機能：

- ① 2.048Gsps において任意の帯域信号を抑制するデジタルフィルタ
- ② 適応フィルタの係数を PC から変更することができます。

DBBC16 チャンネル機能：

- ③ A/D コンバータ 1.024Gsps / 4 チャンネル搭載。
- ④ DBBC 回路を 16 チャンネル搭載。
- ⑤ DBBC 回路の入力は、16 チャンネル回路個別に A/D コンバータのどの入力信号を使用するか選択することができます。
- ⑥ DBBC の周波数設定を Hz 単位で設定することができます。
- ⑦ DBBC の出力方法として USB (Upper side band) 出力, LSB (Lower side band) 出力, そして I,Q 複素数 (complex) 出力の 3 種類が選択できます。
- ⑧ DBBC の VSI ポートへの出力フォーマットとしてビット分割モード, チャンネル分割モード, VSI 出力クロック固定モード, VSI 出力クロック可変モードの 4 種類が選択できます。
- ⑨ DBBC は表 1 に示すサンプリングレート 4 種類に対応しています。
- ⑩ 表 2 のテストベクタ 2 種類を発生し VSI ポートに出力することができます。
- ⑪ 1.024Gsps/4 チャンネルのサンプリングデータを、DBBC を介さずにそのまま出力することができます。1GspsX4ch モード。
- ⑫ 1GspsX4ch モードでは出力方法として基本モード、8 ビット区切りモード、32 ビット区切りモードの 3 種類があります。
- ⑬ DBBC 内 CIC フィルタのゲインを  $2^0$ ,  $2^1$ ,  $2^2$ ,  $2^3$  倍の 4 種類から選択できます。
- ⑭ DBBC 出力信号を  $-6\text{dB} \sim +6\text{dB}$  (振幅電圧換算で 1/2 倍~2 倍) の間を 1dB ステップでゲイン調整することができます。

追加機能は2つの FPGA デザインに分けて提供されます。

ひとつは既存のサンプリングモードに①のデジタルフィルタ機能を追加した適応フィルタ版、もうひとつは A/D コンバータを 1.024Gsps/4 チャンネル入力として DBBC 回路の 16 チャンネル化を行った DBBC16 チャンネル版の 2 つの FPGA デザインです。それぞれのデザインが対応するサンプリングモードは表 1 をご覧ください。使用用途に合わせて FPGA デザインを書き換えて頂くことで全ての機能が使用できます。

FPGA デザインの区別はデザインのバージョン番号で行います。『2.デザインの管理』をご覧ください。

表1 対応モード一覧表

モード名称	モード コマンド 入力値	総データ 量 Gbps	サンプル レート Msps	VSI 出力 レート Mbps	量子化 ビット bit	VSI 出力 クロック MHz	適応 フィルタ 版	DBBC 16ch 版
モード A	0 (0x0)	1.024	128	1024 (1port)	8	32	対応	非対応
モード B	1 (0x1)	2.048	1024	2048 (2port)	2	32	対応	非対応
モード C1	2 (0x2)	2.048	512	2048 (2port)	4	32	対応	非対応
モード C2	3 (0x3)	2.048	512	2048 (2port)	4	32	対応	非対応
モード D	4 (0x4)	4.096	2048	4096 (2port)	2	64	対応	非対応
モード E1	5 (0x5)	4.096	1024	4096 (2port)	4	64	対応	非対応
モード E2	6 (0x6)	4.096	1024	4096 (2port)	4	64	対応	非対応
モード F	7 (0x7)	4.096	512	4096 (2port)	8	64	対応	非対応
TVG1	8 (0x8)	2.048	—	1024 (1port)	—	32	対応	対応
TVG2	9 (0x9)	4.096	—	2048 (1port)	—	64	対応	対応
BBC モード	10(0xA)	表 2 による					非対応	対応
モード G1	11(0xB)	4.096	4096	4096 (2port)	1	64	非対応	非対応
モード G2	12(0xC)	4.096	4096	4096 (2port)	1	64	非対応	非対応

表2 DBBC サンプリングレート

モード名称	サンプル レート	フィルタ 帯域幅	量子化	VSI ポート出力クロック
BBC モード	8Msps	4MHz	4bit	クロック固定モード：64 MHz クロック可変モード：8 MHz
	16Msps	8MHz	4bit	クロック固定モード：64 MHz クロック可変モード：16 MHz
	32Msps	16MHz	4bit	クロック固定モード：64 MHz クロック可変モード：32 MHz
	64Msps	32MHz	4bit	クロック固定モード：64 MHz クロック可変モード：64 MHz
	1.024Gsps ※	—	2bit, 1bit	64MHz

※DBBC モードの機能の一つとして、1GspsX4ch サンプリングモードがあります。

### 1.1. 適応フィルタ追加デザインの概要

適応フィルタは A/D コンバータのモードが 2.048Gsps/2 チャンネル入力限定です。  
 図 1 に示すように、A/D 2 チャンネルにそれぞれ適応フィルタが組み込まれます。  
 フィルタ係数は 65tap, 8bit 幅で、その条件の範囲内で係数を変更することができます。

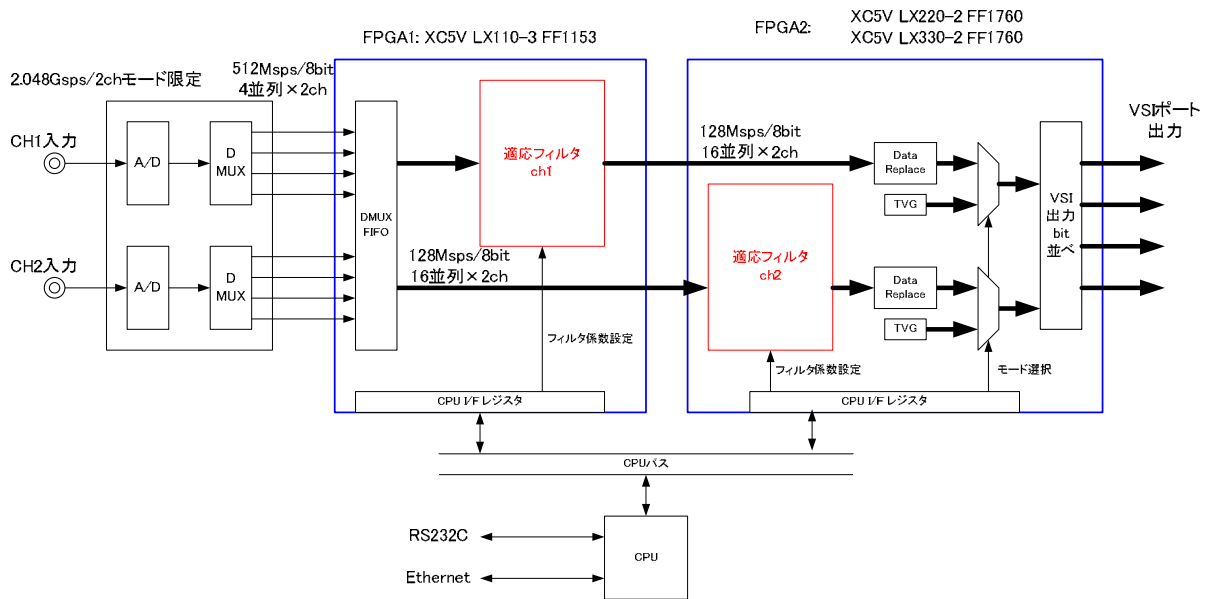


図1 適応フィルタ FPGA ブロック図

適応フィルタ条件

モード名	BEF	バンドエリミネーションフィルタ
帯域幅 BW		遮断周波数帯域: 856MHz - 903MHz
FilterLength	65tap	
フィルタ係数	別紙『BEF フィルタ特性_係数 8bit.xls』を参照下さい	
MATLAB 設定		
係数ビット数	8bit (入力データビット幅=8bit)	

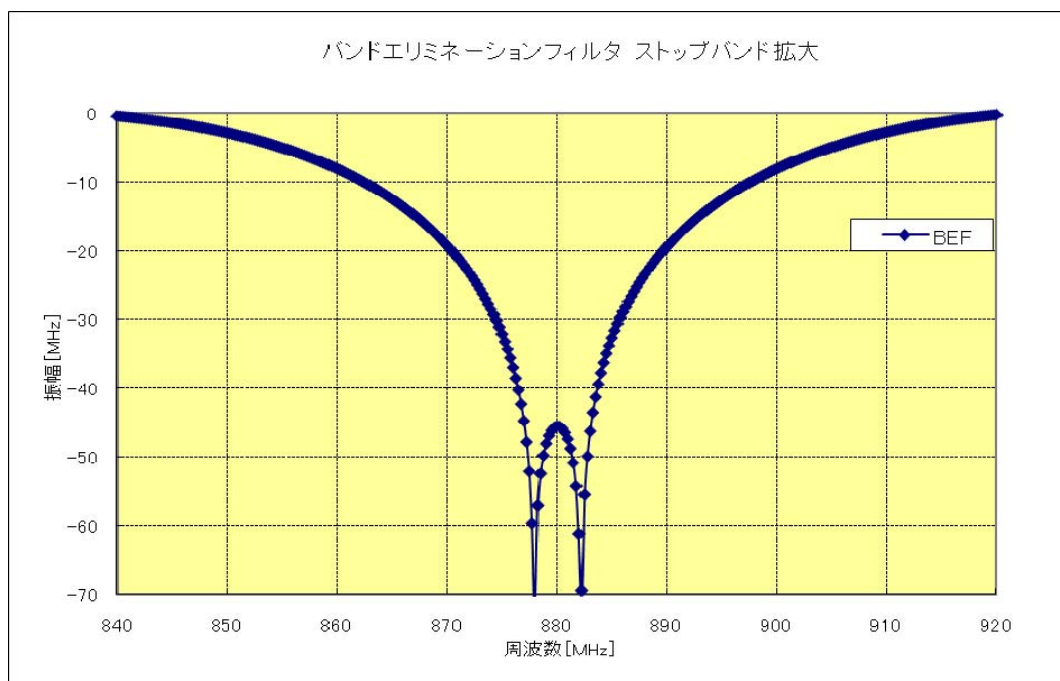
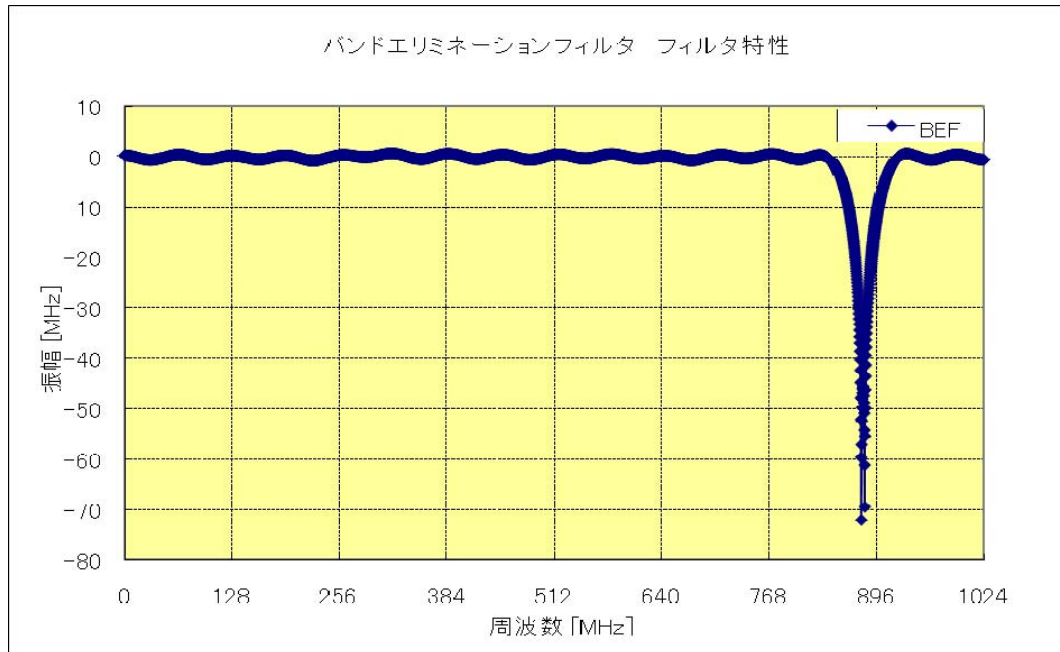


図2 適応フィルタ特性

## 1.2. DBBC 16 チャンネル版デザインの概要

DBBC16 チャンネル版デザインは A/D コンバータのモードが 1.024Gsps/4 チャンネル入力に対応しています。それ以外の構成 (2.048Gsps/2 チャンネル, 4.096Gsps/1 チャンネル) には現在対応しておりません。

このデザインは下図の FPGA 構成になっており、図 4 に示す DBBC 回路が FPGA1 に 5 チャンネル、FPGA2 に 11 チャンネルが搭載されております。

DBBC はそれぞれ個別に A/D コンバータの入力チャンネルの選択と周波数の設定ができます。サンプルレートも個別に設定できますが、**VSI ポート出力が 1 ポートに 1 クロック出力であるため、DBBC 回路のチャンネル 1 で設定されたサンプルレートのクロックが VSI ポートに出力されます。**

DBBC 機能のほかに、A/D コンバータでサンプリングした 1.024Gsps のデータを DBBC 処理せずにそのまま出力する 1GspsX4ch モードがあり、コマンド“**vsisel**”によって選択することができます。

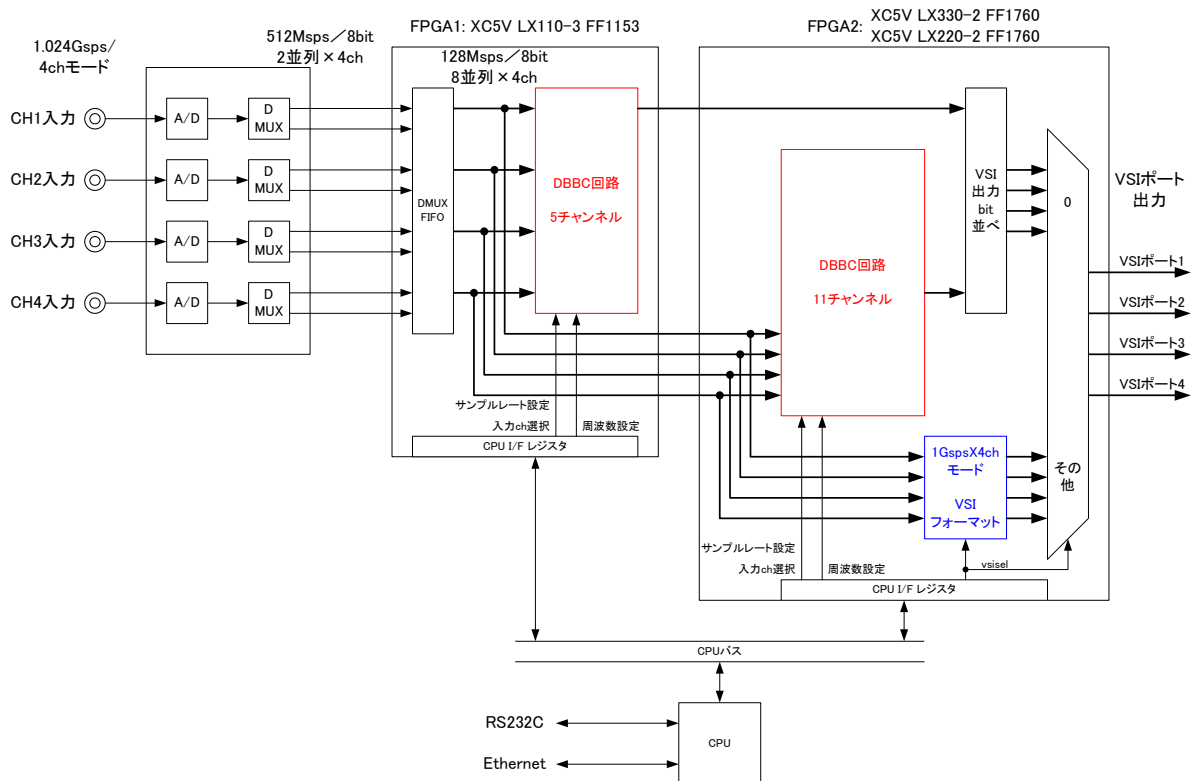


図3 DBBC16 チャンネル FPGA ブロック図



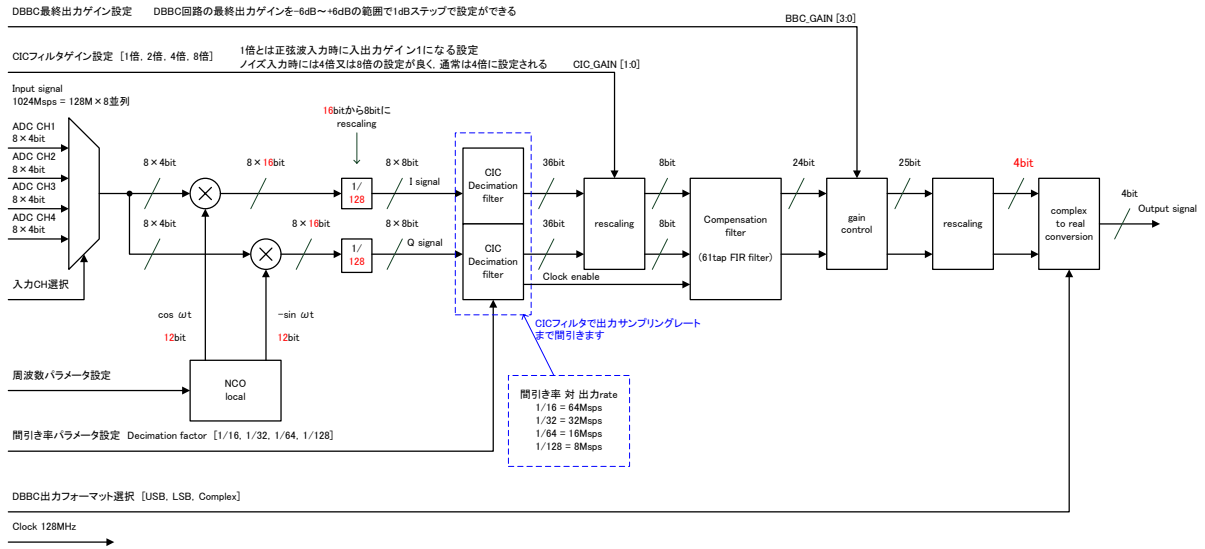


図4 DBBC 1チャンネルの回路構成

CIC フィルタのデシメーション率を選択することでサンプリングレートと帯域幅が変わります。

DBBC 回路のフィルタ条件

CIC フィルタ：セクション数 4，デシメーション率 1/16， 1/32， 1/64， 1/128

FIR フィルタ：61tap， 係数 10bit 幅

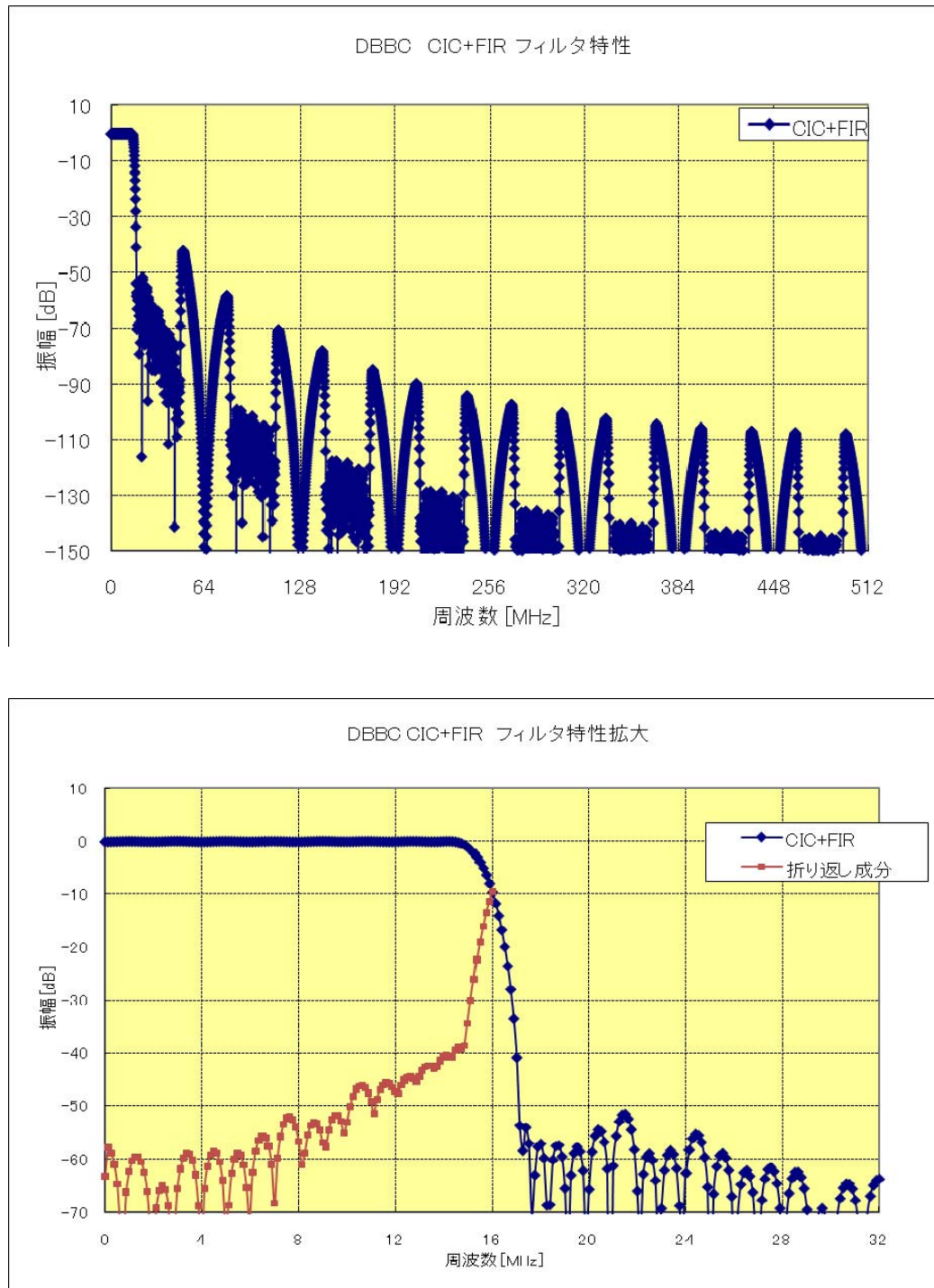


図5 DBBC フィルタ特性

## 2. デザインの管理

今回は適応フィルタ版 (2.048Gsps/2ch) と DBBC16ch 版 (1.024Gsps/4ch) の 2 つのデザインがあります。

FPGA デザインのバージョン番号は以下のように規定しており、このうちメジャーバージョン番号によって表 1 に示すように FPGA 機能を分けて管理を行います。

管理対象は信号処理 FPGA1 と信号処理 FPGA2 とします。

コンフィグレーション管理 FPGA とソフトウェアはこの管理の対象には含みません。

rev aabb\_yymmdd

aa : メジャーバージョン

bb : マイナーバージョン

yy : 更新年

mm : 更新月

dd : 更新日

表3 FPGA デザイン バージョン番号対応表

メジャーバージョン	FPGA 機能
00	基本サンプリングモード 2009年3月 4.096Gsps/1ch モード追加版までのデザイン
10	メジャーバージョン 00 から今後変更がある場合に使用する予約番号
11	2.048Gsps/2ch, 適応フィルタ
12	1.024Gsps/4ch, DBBC 16ch 化
13~1F	NICT 様用 予約番号
20~2F	JAXA 様用 予約番号
30~FF	その他 予約番号

今後デザインのアップデートがある場合には、この規則にのっとり行われる予定です。

### 3. デザインの更新方法

FPGA デザインとソフトウェアの更新方法について説明します。

より詳しい内容は『高速 A/D サンプラ ADS3000+取扱説明書 付属書 B Rev.2』をご覧ください。

#### 3.1. FPGA デザインの更新方法

FPGA デザインは FTP を使用して更新を行います。ここでは FTP サーバーアプリケーション “NekosogiFTPd” を使用した更新方法について説明しています。

Windows PC 側に FTP サーバーアプリケーション “NekosogiFTPd” をインストールし、ユーザー名、パスワード、ホームディレクトリの設定などを行います。

ADS3000+には “sethost” コマンドで FTP サーバの情報や FPGA デザインのファイル名を設定します。

それぞれの設定ができましたら、“ftpfpga” コマンドを入力すると “sethost” コマンドで設定した FPGA デザインファイルを PC から ADS3000+本体にダウンロードし、FPGA デザインを格納しているフラッシュメモリを更新します。

“ftpfpga” コマンドが完了しましたら、装置を再起動して頂くか、“conffpga” コマンド+ “reset” コマンドを入力することで更新されたフラッシュメモリのデザインで FPGA のコンフィグレーションが行われ、FPGA が更新されます。

#### 3.2. ソフトウェアの更新

ADS3000+の RS232C シリアルポートまたは LAN ポートから “updfirm” とコマンド入力します。

Load firmware と表示されたら、Motorola S format のプログラムファイルをターミナル画面にドラッグ&ドロップして下さい。# 表示に戻るとダウンロードが完了です。

#### 4. 追加機能の操作と変更内容の説明

##### 4.1. 1PPS 信号の LED 表示

適応フィルタと DBBC16ch デザインから、1 PPS の表示内容が変更になりました。下記対応表をご覧ください。

旧 LED 点滅色	旧 ステータス内容	新 LED 点滅色	新 ステータス内容
緑	外部入力 1PPS に正常同期	緑	外部入力 1PPS に正常同期
黄	外部1PPS が入力されているが同期していない	赤	同期していない
赤	外部 1PPS が入力されていない	黄	同期しているが外部 1PPS が入力されていない
		赤	同期していない

変更になった点として、外部入力 1PPS に 1 度同期をとったら、外部 1PPS 入力を取り外しても同期したという情報を保持するように致しました。

注意点として、外部 1PPS を取り外した後に 10MHz 基準信号を外したりすることで同期が外れた場合、同期したという情報を保持し続けているため同期はずれが判別できなくなります。

”1pps\_sync”コマンドが入力されたとき、保持していた同期情報をクリアして再同期を行います。

10MHz 基準信号を外したりした場合は、”1pps\_sync”コマンドで再同期を行ってください。

##### 4.2. ステータスチェックコマンド signalcheck

コマンド入力によって 10MHz 基準信号と 1PPS の状態確認ができるようになりました。

“signalcheck” コマンドを入力すると、OK、NG と表示します。

```
# signalcheck
10MHz sync OK
1PPS sync NG
```

#### 4.3. A/D コンバータ サンプリングモードの設定

適応フィルタ版デザインでは 2.048Gsp/s/2 チャンネル入力、DBBC16 ch 版デザインでは 1.024Gsp/s/4 チャンネル入力とモードが異なるため、使用するデザインに合わせて A/D コンバータのサンプリングモードを設定する必要があります。

ここではその設定方法について説明します。

“setapp” とコマンドを入力すると以下のように表示されます。

channel mode(1,2,4) の行が A/D サンプリングモードの設定項目で 1, 2, 4 の数値を設定します。数値の対応は以下の通りです。

1 = 4.096Gsp/s/1 チャンネルモード

2 = 2.048Gsp/s/2 チャンネルモード

4 = 1.024Gsp/s/4 チャンネルモード

```
# setapp
channel mode (1,2,4) [2]:
VSI ID for CH1 [0001]:
VSI ID for CH2 [0002]:
VSI ID for CH3 [0003]:
VSI ID for CH4 [0004]:
VSI text 1 for CH1 [ch1]:
VSI text 2 for CH1 [ch1-b]:
VSI text 1 for CH2 [ch2]:
VSI text 2 for CH2 [ch2-b]:
VSI text 1 for CH3 [ch3]:
VSI text 2 for CH3 [ch3-b]:
VSI text 1 for CH4 [ch4]:
VSI text 2 for CH4 [ch4-b]:
```

← A/D チャンネルモード設定  
← これ以下は VSI ポートに出力する PDATA の ID,text 設定項目なので何も入力せず Enter KEY を押して抜けて下さい

#### 4.4. 適応フィルタ係数の設定

まず、以下のようにフィルタ係数が書かれたテキストファイルを用意します。

このテキストファイルは MATLAB/Simulink の Filter Realization Wizard を使用してフィルタ設計を行い、フィルタ係数をエクスポートしたときに出力されるフォーマットです。

適応フィルタで使用する 880MHz 帯遮断フィルタ係数は別紙『BEF\_Hex16bit\_scaling\_100125.fcf』のテキストファイルに記載されています。

行の先頭に%がある箇所はコメント文で無視され、分子係数 (Numerator) と書かれた行の下から記載されている 4 ケタの 16 進数の羅列がフィルタ係数で、この数値が FPGA に設定されることとなります。

フィルタ係数を格納するレジスタは 16bit 幅で用意されていますが、実際に使用される係数は 8bit であり、テキストに記載された 4 ケタの 16 進数のうち上位 2 ケタの値が使用されます。

テキストを編集して 16 進数で 4 ケタの係数を 65 タップ分記載して下さい。

係数の記載されたテキストファイルの準備ができましたら、制御 PC のハイパーターミナル等の端末ソフトから “wtcoeff” とコマンドを入力して下さい。するとデータ待ち状態になりますので端末ソフトへ係数の書かれたテキストファイルをドラッグ&ドロップして下さい。

これで係数の設定が完了です。

設定した係数を確認するには、“rdcoeff” とコマンドを入力して下さい。現在 FPGA に設定されている係数が読み出されます。係数レジスタは 128 ワードの領域が用意されており、使用しているのはそのうちの先頭から 65 ワードです。

『BEF\_Hex16bit\_scaling\_100125.fcf』ファイルの内容

```
%  
% Generated by MATLAB(R) 7.5 and the Signal Processing Toolbox 6.8.  
%  
% Generated on: 21-Dec-2009 21:00:19  
%  
  
% Coefficient Format: Hexadecimal  
  
% Discrete-Time FIR Filter (real)  
% -----  
% Filter Structure : Direct-Form FIR  
% Filter Length   : 65  
% Stable          : Yes  
% Linear Phase    : Yes (Type 1)  
% Arithmetic      : fixed  
% Numerator       : s16,15 -> [-1 1)  
% Input           : s8,7 -> [-1 1)  
% Filter Internals : Full Precision  
% Output          : s25,22 -> [-4 4) (auto determined)  
% Product         : s23,22 -> [-1 1) (auto determined)  
% Accumulator     : s25,22 -> [-4 4) (auto determined)  
% Round Mode      : No rounding  
% Overflow Mode   : No overflow
```

```
分子係数(Numerator):  
0200
```

0200  
FE00  
0200  
FE00  
0200  
FF00  
0000  
0100  
FE00  
0300  
FD00  
0300  
FE00  
0000  
0100  
FD00  
0400  
FC00  
0400  
FD00  
0100  
0100  
FD00  
0500  
FB00  
0500  
FD00  
0100  
0100  
FD00  
0500  
7200  
0500  
FD00  
0100  
0100  
FD00  
0500  
FB00  
0500  
FD00  
0100  
0100  
FD00  
0400  
FC00  
0400  
FD00  
0100  
0000  
FE00  
0300  
FD00  
0300  
FE00  
0100  
0000  
FF00  
0200  
FE00  
0200  
FE00  
0200  
0200



#### 4.5. 適応フィルタ OFF 機能

適応フィルタを通らずにバイパスさせることができる機能です。  
 適応フィルタの効果を確認するために使用します。

以下のコマンドで設定できます。

adpflt off                      ←適応フィルタを OFF する (バイパスさせる)  
 adpflt on                      ←適応フィルタを ON する

#### 4.6. DBBC16ch NCO 周波数の設定変更

NCO 周波数の設定を Hz 単位で設定できるように変更いたしました。  
 DBBC に関連する設定項目として以下があります。  
 関連コマンドに関する詳細は、『コマンド詳細』 を参照して下さい。

液晶画面 表示項目	項目	関連コマンド	設定内容
ADC CHANNEL	使用しません	-	1 固定にして下さい。
BAND_No	バンド番号	-	DBBC のチャンネル番号を設定します
BW	バンド幅	bbc_bw	バンド幅=サンプルレート(64M, 32M, 16M, 8Msp) を設定します
NCO_d0	周波数の 初期位相	bbc_d0	使用しません。0 固定にして下さい。
NCO_d1	周波数の 角速度	bbc_d1	周波数を設定します。100MHz ならば $100 \times 10^6$ の 16 進数表記 0x05F5E100 を設定します。
NCO_d2	周波数の 角加速度	bbc_d2	加速周波数を設定します。Dt 時間ごとに 10KHz 加速 (増加) するならば $10 \times 10^3$ の 16 進数表記 0x00002710 を設定します。
NCO_dt	加速度の 加速単位時間	bbc_dt	加速する単位時間を (1/128MHz) 単位で設定します。 1 秒に設定するなら $128 \times 10^6$ の 16 進数表記 0x07A12000 を設定します。

ADS3000+の前面パネルのスイッチで設定する場合

Menu ボタンから以下の画面を選び Enter ボタンを押すと、BBC モードの各種パラメータの設定ができます。

上下ボタン $\Delta\nabla$ で ADC CHANNEL, バンド番号 (BAND\_No), バンド幅 (BW), NCO 周波数の初期位相 (NCO\_d0), NCO 周波数の角速度 (NCO\_d1), NCO 周波数の角加速度 (NCO\_d2), NCO の角加速度の単位時間 (NCO\_dt) の 7 項目のうち、設定したい項目を選択し Enter ボタンを押すと、その項目が設定可能になります。

ADC CHANNEL は 1 固定として下さい。

NCO\_D0 は 0x00000000 固定として下さい。

バンド番号とは DBBC 回路のチャンネル番号のことを意味します。1～16 の範囲で選択が可能です。

バンド幅 BW は上下ボタン $\Delta\nabla$ で 4, 8, 16, 32 MHz の 4 種類から選択します。

NCO パラメータ d0, d1, d2, dt は、左右ボタン $\Leftarrow\Rightarrow$ で桁を選び、上下ボタン $\Delta\nabla$ で 0～F の 16 進数で設定します。

どの項目も Enter ボタンを押すことで設定が反映されます。Cancel ボタンで通常画面に戻ります。

Enter ボタンを押さずに Cancel ボタンを押すと、Menu を選択する状態に戻ります。

1	5	10	15	20	25	30	35	40
DIGITAL BBC MODE SETTING								
ADC CHANNEL = 1			BAND_No = 00			BW = 16 MHz		
NCO_d0 = 0x00000000			NCO_d2 = 0x00000000					
NCO_d1 = 0x00000000			NCO_dt = 0x07A12000					

図6

注意点：

~~前面パネルの液晶画面とスイッチで NCO\_d0, d1, d2, dt を変更した場合、制御インターフェース (RS232C シリアルまたは Ethernet インターフェース) のターミナルから ncaset コマンドを実行しないと設定値が反映されません。設定を変更した場合は必ず ncaset コマンドを実行して下さい。~~

ソフトウェアバージョン 0018 以降から、前面パネルスイッチで NCO\_d0, NCO\_d1, NCO\_D2, NCO\_Dt の設定を変更したとき、自動で ncaset コマンドを実行するように変更いたしましたので、別途 ncaset コマンドを実行する必要はありません。

#### 4.7. DBBC 入力の A/D チャンネル選択

コマンド “dbbcin” を使用します。

- dbbcin -c 10 1 ← DBBC チャンネル 10 の入力を A/D チャンネル 1 に設定  
dbbcin 0000111122223333 ← DBBC16 チャンネルすべてを一度に設定します。  
左側から ch1, ch2, ch3, ... ch16 の順番です。

A/D コンバータのチャンネル 1 入力を使用

- 引数 0=A/D コンバータのチャンネル 1  
引数 1=A/D コンバータのチャンネル 2  
引数 2=A/D コンバータのチャンネル 3  
引数 3=A/D コンバータのチャンネル 4

#### 4.8. DBBC 出力モードの選択

コマンド “dbbcout” を使用します。

- dbbcout -c 10 1 ← DBBC チャンネル 10 の出力を LSB モードに設定  
dbbcout 0123012301230123 ← DBBC16 チャンネルすべてを一度に設定します。  
左側から ch1, ch2, ch3, ... ch16 の順番です。

- 引数 0=USB 出力  
引数 1=LSB 出力  
引数 2=複素数(complex)出力

#### 4.9. DBBC VSI 出力フォーマットの選択

コマンド “dbbcvsi” を使用します。

- dbbcvsi 0 ← ビット分割モードでクロック固定出力  
dbbcvsi 1 ← ビット分割 クロック可変モード  
dbbcvsi 2 ← チャンネル分割 クロック固定モード  
dbbcvsi 3 ← チャンネル分割 クロック可変モード

各モードの VSI ポート出力フォーマットについては、6. DBBC16ch VSI ポート出力を参照下さい。

#### 4.10. DBBC CIC フィルタゲイン設定

cicgain コマンドを使用して、CIC フィルタ出力を 4 段階あるゲインから選択することができます。

cicgain 3333222211110000 ← DBBC16 チャンネルすべてを一度に設定します。

左側から ch1, ch2, ch3, ... ch16 の順番です。

引数値 0 = ゲイン 1 倍 : 正弦波入力の場合に CIC フィルタの入出力ゲイン比が 1 倍になる設定

引数値 1 = ゲイン 2 倍

引数値 2 = ゲイン 4 倍 : 初期設定値

引数値 3 = ゲイン 8 倍

VLBI 観測ではゲイン 4 倍または 8 倍が適しています。

引数-c オプションを付けることで、DBBC チャンネルを指定して個別に設定することもできます。

cicgain -c 8 2 ← DBBC チャンネル 8 をゲイン 4 倍に設定します。

#### 4.11. DBBC 出力ゲインの調整

bbcgain コマンドを使用して、DBBC 回路の出力ゲインを -6dB (1/2 倍) ~ +6dB (2 倍) の範囲内で、1dB ステップでゲインを微調整することができます。

bbcgain 0012345600FEDCBA ← DBBC 全 16 チャンネルをまとめて設定

下記に設定値とゲインの対応を示します。

設定値	ゲイン	設定値	ゲイン	設定値	ゲイン	設定値	ゲイン
7	+6 [dB]	3	+3 [dB]	F	-1 [dB]	B	-5 [dB]
6	+6 [dB]	2	+2 [dB]	E	-2 [dB]	A	-6 [dB]
5	+5 [dB]	1	+1 [dB]	D	-3 [dB]	9	-6 [dB]
4	+4 [dB]	0	0 [dB]	C	-4 [dB]	8	-6 [dB]

引数-c オプションを付けることで、DBBC チャンネルを指定して個別に設定することもできます。

bbcgain -c 5 6 ← 個別設定する場合 例 : ch5 を +6dB に設定

#### 4.12. DBBC の設定例

DBBC の使用方法の例をあげます。

##### ①使用する A/D コンバータ チャンネルを指定

まず、DBBC 回路 16 回路 (16 チャンネル) ありますが、それぞれ A/D コンバータのどのチャンネルの入力信号を使うかを選択します。A/D コンバータのチャンネルを選択するには `dbbcin` コマンドを使用します。

```
dbbcin 0000111122223333
```

コマンドの意味： DBBC ch1~ch4 が A/D コンバータのチャンネル 1 入力を使用します。

DBBC ch5~ch8 が A/D コンバータのチャンネル 2 入力を使用します。

DBBC ch9~ch12 が A/D コンバータのチャンネル 3 入力を使用します。

DBBC ch13~ch16 が A/D コンバータのチャンネル 4 入力を使用します。

##### ②DBBC の周波数を設定

続いて、DBBC の周波数を設定します。

```
bbc_d1 1 1 05F5E100
```

コマンドの意味： DBBC ch1 を 100MHz に設定します。周波数を 16 進数表記で設定します。

$f=100 \times 10^6 [\text{Hz}] = 0x05F5E100$  hex 表示です。

コマンドの最初の引数は 1 固定にして下さい。

```
bbc_d1 1 2 00000001 ←DBBC ch2 を 1Hz に設定します。
```

```
bbc_d1 1 3 0000000A ←DBBC ch3 を 10Hz に設定します。
```

```
bbc_d1 1 4 00000064 ←DBBC ch4 を 100Hz に設定します。
```

```
bbc_d1 1 5 0000003E8 ←DBBC ch5 を 1KHz に設定します。
```

```
bbc_d1 1 6 00002710 ←DBBC ch6 を 10KHz に設定します。
```

```
bbc_d1 1 7 000186A0 ←DBBC ch7 を 100KHz に設定します。
```

...

```
bbc_d1 1 16 0EEB4660 ←DBBC ch16 を 250.3MHz に設定します。
```

DBBC の周波数を固定の場合は D1 のみ設定し、Dt と D2 は '0' とします。

DBBC の周波数を固定ではなく、ある時間毎に変化させる場合、ある時間 Dt と周波数変化量 D2[Hz] を設定します。

Dt は 128MHz 1 周期の時間 ( $1/128e6=7.8125$  ナノ秒) を単位として設定します。

つまり、Dt = 希望する時間(秒)  $\times 128 \times 10^6$  となります。

例

DBBC チャンネル 1 に対して、1 秒毎に+1Hz ずつ周波数を増加させる場合：

bbc\_dt 1 1 07A12000 ←1 秒の設定：1 秒×128×10<sup>6</sup>

bbc\_d2 1 1 00000001 ←1 [Hz]

DBBC チャンネル 2 に対して、1 マイクロ秒毎に 1[KHz]ずつ周波数を増加させる場合：

bbc\_dt 1 2 00000080 ←1 マイクロ秒の設定 1\*10<sup>^(-6)</sup>×128×10<sup>6</sup>

bbc\_d2 1 2 000003E8 ← 1 [KHz]

周波数が減少していく方向に変化させる場合は、D2 に設定する値を 2 の補数でマイナス値にします。

DBBC チャンネルに 3 対して、1 ミリ秒毎に 1[KHz]ずつ周波数を減少させる場合：

bbc\_dt 1 3 0001F400 ←1 ミリ秒の設定 1\*10<sup>^(-3)</sup>×128×10<sup>6</sup>

bbc\_d2 1 3 FFFFFFFC18 ← -1 [KHz] 2 の補数表現

### ③DBBC サンプリングレートを設定

dbbc のサンプリングレート (=帯域幅) を設定します。bbc\_bw コマンドを使用し、DBBC16 チャンネルを個別に設定することも、まとめて設定することも可能です。

bbc\_bw 1 6 3 ← DBBC チャンネル 6 を 64Msps に設定

最初の引数は '1' 固定

2 番目の引数で DBBC チャンネルを指定 1~16

3 番目の引数でサンプリングレートを設定 設定値は以下

3 : 64 Msps (帯域幅= 32 MHz)

2 : 32 Msps (帯域幅= 16 MHz)

1 : 16 Msps (帯域幅= 8 MHz)

0 : 8 Msps (帯域幅= 4 MHz)

bbc\_bw -a 1 3333222211110000 ← ch1(左側) ~ ch16(右側)まで 16 チャンネル分をまとめて設定します。

-a オプションで全 16 チャンネルをまとめて設定します。

-a の次の引数 '1' は固定値

最後の引数で全 16 チャンネル分のサンプリングレートを並べて記載します。

### ④DBBC 出力モード設定

次に ddbc の出力モードを選択します。dbbcout コマンドを使用します。

dbbcout 0000001111112222

コマンドの意味：DBBC ch1~ch6 が USB 出力モード。

DBBC ch7~ch12 が LSB 出力モード。

DBBC ch13~ch16 が複素数(complex)出力モード。

#### ⑤ゲイン設定

CIC フィルタのゲイン設定と、DBBC 回路の最終出力信号のゲインを微調整することができます。  
CIC フィルタゲインは `cicgain` コマンドで設定できます。

`cicgain 3333222211110000` ← DBBC 全 16 チャンネルをまとめて設定  
`cicgain -c 6 3` ← 個別設定する場合 例：ch6 を 3 に設定

引数の値は 3 がゲイン大、0 がゲイン小です。初期状態は 2 に設定されています。

dbbc 最終出力のゲインは-6dB (1/2 倍) ~+6dB (2 倍) の範囲で 1dB ステップでの設定が可能です。

`bbcgain 0012345600FEDCBA` ← DBBC 全 16 チャンネルをまとめて設定  
`bbcgain -c 5 6` ← 個別設定する場合 例：ch5 を+6dB に設定

引数の値は 4 ビット 2 の補数で表現し、16 進数で設定します。6=+6dB で最大ゲイン、A=-6dB で最小ゲインです。

#### ⑥VSI ポート出力フォーマット選択

最後に VSI ポートへの出力方法を選びます。dbbcvsi コマンドを使用します。

`dbbcvsi 0` ← ビット分割 クロック固定モードで VSI ポートに出力します。  
`dbbcvsi 1` ← ビット分割 クロック可変モード  
`dbbcvsi 2` ← チャンネル分割 クロック固定モード  
`dbbcvsi 3` ← チャンネル分割 クロック可変モード

dbbc の周波数の設定ができましたら、ncoset コマンドを実行して下さい。

ncoset コマンド入力後の 1PPS のタイミングから設定が反映されます。

ncoset コマンドを実行して頂かないと周波数の設定 (D1,D2,Dt の設定) が反映されませんのでご注意ください。

1.024GspsX4ch モードに設定したあと DBBC16ch モードに戻す場合には、以下のコマンドを実行して下さい。

`vsisel 1 0` ←VSI ポート出力を DBBC16ch 出力にします。

#### 4.13. 1GspX4ch モードの設定

1GspX4ch モードとは、A/D コンバータでサンプリングした 1.024Gsp のデータを、DBBC 処理をしないで、サンプリングデータをそのまま VSI ポートに出力するモードです。

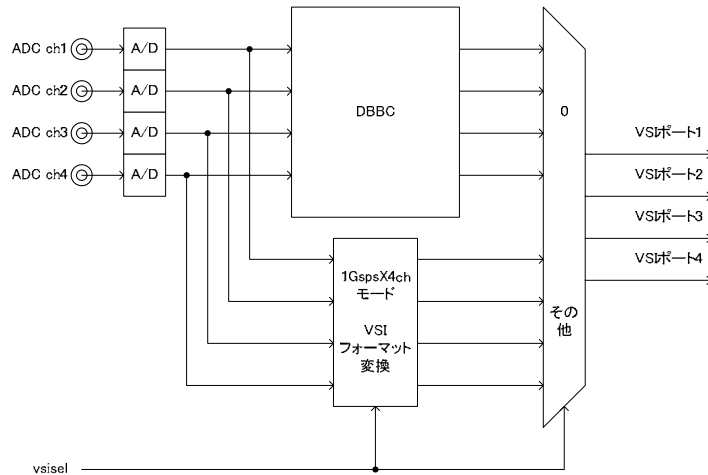


図7 DBBC 回路と 1GspX4ch モード

VSI ポートに出力するときのフォーマットとして 3 種類があります。VSI 出力ポート 1 ポートに対して A/D コンバータ 1ch のサンプリングデータを出力する基本モード。A/D 2ch 分のデータを 8 ビット区切りで並べて VSI1 ポートに出力する 8 ビット区切りモード。A/D 2ch 分のデータを 32 ビット区切りで並べて VSI1 ポートに出力する 32 ビット区切りモードがあります。

DBBC16ch モードと 1GspX4ch モードの切り替えや、1GspX4ch モードの VSI 出力フォーマットの選択は、コマンド “vsisel” を使用します。以下にコマンド例を示します。

- vsisel 1 0                      ←DBBC16ch のデータを VSI ポートに出力します。
- vsisel 1 1                      ←1.024GspX4ch の基本モードで VSI ポートに出力します。
- vsisel 1 2                      ←1.024GspX4ch の 8 ビット区切りモードで VSI ポートに出力します。
- vsisel 1 3                      ←1.024GspX4ch の 32 ビット区切りモードで VSI ポートに出力します。

1 番目の引数は 1 にして下さい。

3 番目の引数で DBBC16ch モードか、1GspX4ch モードかを選択します。

VSI ポート出力フォーマットについては、6.4. 1GspX4ch モード 基本モード、6.5. 1GspX4ch モード 8 ビット区切りモード、6.6. 1GspX4ch モード 32 ビット区切りモード を参照下さい。



#### 4.14. DBBC 2ch, 4ch, 8ch モードの設定

DBBC 2ch, 4ch, 8ch モードとは、DBBC16 チャンネルの中から決められたチャンネル数のデータのみを低速で出力するモードです。このモードを使用する場合は DBBC のサンプルレート[帯域幅]は 64Msps [32MHz 帯域] 限定となります。

DBBC 2ch モードは、DBBC16 チャンネルのうちチャンネル 1 とチャンネル 2 のデータを 1/8 の速度 (8Msps) で VSI ポートに出力します。

DBBC 4ch モードは、DBBC16 チャンネルのうちチャンネル 1 からチャンネル 4 のデータを 1/4 の速度 (16Msps) で VSI ポートに出力します。

DBBC 8ch モードは、DBBC16 チャンネルのうちチャンネル 1 からチャンネル 8 のデータを 1/2 の速度 (32Msps) で VSI ポートに出力します。

各モードの VSI ポート出力フォーマットには、チャンネル分割モード、ビット分割モードがあります。また、VSI 出力クロックはクロック固定モード、クロック可変モード (dbbcvsi コマンド) の設定にかかわらず下表に記載のクロックが出力されます。VSI ポート出力フォーマットについては、6.7 章～6.9 章を参照下さい。

表4 DBBC 2ch/4ch/8ch モード仕様

モード名	レート[帯域幅]	出力 ビット数	DBBC ch 数	VSI 出力 クロック	VSI ポート数	モード設定 コマンド
2ch mode	64Msps [32MHz]	4	2	8 MHz	2	vsisel 2 3
4ch mode	64Msps [32MHz]	4	4	16 MHz	2	vsisel 2 2
8ch mode	64Msps [32MHz]	4	8	32 MHz	2	vsisel 2 1

このモードを使用するには、まず DBBC のサンプルレートを 64Msps に設定します。

```
bbc_bw -a 1 3333333333333333
```

次に vsisel コマンドで使用するモードを選択します。

```
vsisel 2 0      ←DBBC16ch モード/1GspsX4ch モードを使用する場合
vsisel 2 1      ←DBBC 8ch モード
vsisel 2 2      ←DBBC 4ch モード
vsisel 2 3      ←DBBC 2ch モード
```

dbbcvsi コマンドで VSI 出力フォーマットを選択して下さい。

```
dbbcvsi 1      ←チャンネル分割モード
dbbcvsi 3      ←ビット分割モード
```

通常の DBBC16ch モードや 1GspsX4ch モードを使用する場合は、vsisel 2 0 のコマンドを実行して下さい。

4.15. コマンド一覧

表5 コマンド一覧

コマンド	設定	クエリ	機能
settime	○	○	現在の日時設定
reset	○	-	FPGA、CPU のリセット
setapp	○	○	本装置の基本設定
setnet	○	○	ネットワーク関係の設定
setinet	○	○	telnet サービスの設定
sethost	○	○	Firmware 及び FPGA アップデートの設定
lpps_sync	○	-	外部入力 1pps に同期し内部カウンタをリセット
mode	○	○	モード設定
offs	○	○	オフセット設定
gain	○	○	ゲイン設定
ncoset	○	-	NCO パラメータ有効
bbc_bw	○	○	BBC モード フィルタ帯域設定
bbc_d0	○	○	BBC モード NCO 周波数初期位相設定
bbc_d1	○	○	BBC モード NCO 周波数角速度初期値設定
bbc_d2	○	○	BBC モード NCO 周波数角速度設定
bbc_dt	○	○	BBC モード NCO 周波数角加速度単位時間設定
rev	-	○	FPGA リビジョン表示
version	-	○	FPGA リビジョン&ソフトウェアバージョン表示
mon_pdata	-	○	PDATA モニター出力
pdata_on	○	-	PDATA 出力 ON 設定
pdata_off	○	-	PDATA 出力 OFF 設定
bit_hist	○	-	ヒストグラム情報の出力設定
cap	○	-	モニターメモリキャプチャー
cap_rd	○	-	モニターメモリファイル保存
adcsave	○	-	ADC レジスタ設定の保存
adcontrol	○	○	ADC コントロールレジスタ設定
adctest	○	○	ADC テストモード ON/OFF
adchsel	○	○	ADC レジスタ用チャンネル選択
adccal	○	○	ADC キャリブレーション制御
adcoffs	○	○	ADC オフセット調整
adegain	○	○	ADC ゲイン調整
ftpfpga	○	-	FPGA データファイルダウンロード
conffpga	○	-	FPGA の再コンフィグレーション実行
wtcoeff	○	-	適応フィルタ係数の設定
rdcoeff	-	○	適応フィルタ係数の参照
adpflt	○	○	適応フィルタ制御の参照と設定
dbbcin	○	○	DBBC チャンネル入力選択の参照と設定
dbbcout	○	○	DBBC チャンネル出力選択の参照と設定
dbbcvsi	○	○	VSI フォーマット選択の参照と設定
cicgain	○	○	DBBC CIC フィルタゲインの参照と設定
bbegain	○	○	DBBC 出力ゲインの参照と設定
signalcheck	-	○	同期状態の参照
vsisel	○	○	VSI 出力フォーマット選択の参照と設定
regs	-	○	現在のレジスタ設定情報を表示

#### 4.16. コマンド詳細

---

##### settime

---

[機能]

現在の日時設定

[形式]

settime YYYYMMDDhhmmss

[パラメータ]

YYYY	(%d)	年 4 桁(西暦)
MM	(%d)	月 2 桁
DD	(%d)	日 2 桁
hh	(%d)	時 2 桁
mm	(%d)	分 2 桁
ss	(%d)	秒 2 桁

[説明]

本コマンド設定後の内部カウンタ 1pps に同期して、日時設定が行われます。

---

##### reset

---

[機能]

FPGA・CPU のリセット

[形式]

reset

[パラメータ]

なし

[説明]

本コマンド設定後に、FPGA・CPU のリセットが行われます。

---

---

## setapp

---

### [機能]

本装置の基本設定

### [形式]

setapp

### [パラメータ]

なし

### [説明]

コマンド送信後、下記設定値が[]内に表示されます。

基本設定変更があれば設定値を入力し、必要がなければ<CR><LF>を送信します。

- 1) **ADC** チャンネルモード [1,2,4]から選択をします。  
—(ソフトウェアに対するの設定で、液晶表示、各種コマンド制御において  
—チャンネル数を把握するためのものです。)—
- 2) CH1 の VSI ID
- 3) CH2 の VSI ID
- 4) CH3 の VSI ID
- 5) CH4 の VSI ID
- 6) CH1 の VSI text1
- 7) CH1 の VSI text2
- 8) CH2 の VSI text1
- 9) CH2 の VSI text2
- 10) CH3 の VSI text1
- 11) CH3 の VSI text2
- 12) CH4 の VSI text1
- 13) CH4 の VSI text2

---

---

## setnet

---

### [機能]

ネットワーク関係の設定

### [形式]

setnet

### [パラメータ]

なし

### [説明]

コマンド送信後、下記設定値が[]内に表示されます。

ネットワーク関係の設定変更があれば設定値を入力し、必要がなければ<CR><LF>を送信します。

- 1) DHCP 設定
- 2) IP アドレス設定
- 3) サブネットマスク設定
- 4) デフォルトゲートウェイアドレス設定
- 5) DNS サーバ設定

---

## setinet

---

### [機能]

telnet サービスの設定

### [形式]

setinet

### [パラメータ]

なし

### [説明]

コマンド送信後、下記設定値が[]内に表示されます。

telnet サービスの設定変更があれば設定値を入力し、必要がなければ<CR><LF>を送信します。

1) inet サービスの設定 (1:OFF/2:ON)

inet サービスを有効にするとリモートから telnet でログインできるようになります。

注意：telnet を有効に設定しインターネットに公開するとセキュリティー上危険を伴いますのでご注意ください。

---

## sethost

---

### [機能]

Firmware 及び FPGA アップデートの設定

### [形式]

sethost

### [パラメータ]

なし

### [説明]

リモートによる Firmware アップデート及び FPGA アップデートのホストの設定を行います。

コマンド送信後、下記設定値が[]内に表示されます。

設定変更の必要があれば設定値を入力し、必要がなければ<CR><LF>を送信します。

- 1) Firmware アップデート用 FTP サーバのアドレス設定
- 2) Firmware アップデート用 FTP サーバのユーザ設定
- 3) Firmware アップデート用 FTP サーバのパスワード設定
- 4) Firmware アップデート用 FTP サーバのディレクトリ設定
- 5) FPGA アップデート用 FTP サーバのアドレス設定
- 6) FPGA アップデート用 FTP サーバのユーザ設定
- 7) FPGA アップデート用 FTP サーバのパスワード設定
- 8) FPGA アップデート用 FTP サーバのファイル設定

注意：FPGA アップデート用 FTP サーバのファイルは ZIP 形式で圧縮する必要があります。

---

### 1pps\_sync

---

[機能]

外部入力 1pps に同期し内部カウンタをリセット

[形式]

1pps\_sync

[パラメータ]

なし

[説明]

本コマンド設定後の外部入力 1pps に同期し、内部カウンタをリセットします。

---

### mode

---

[機能]

モード設定

[形式]

mode CH num

[パラメータ]

CH	(%d)	ADC チャンネル選択 : 1~4
num	(%d)	モード番号 (10 進数) : 0~12, 128~255
	(%x)	(16 進数) : 0x0~0xC, 0x80~0xFF

[説明]

引数の指定が無い場合は、チャンネル毎に現在のモードを出力します。

チャンネルおよびモード番号を指定するとレジスタに設定します。(→正常応答:done)

※0x86~0xFF は今後の拡張機能用にあらかじめ設けてある予約または予備で、現時点では対応していません。

---

### offs

---

[機能]

オフセット設定

[形式]

offs CH num

[パラメータ]

CH	(%d)	ADC チャンネル選択 : 1~4
num	(%x)	オフセット値(16 進数) : 0x00~0xFF

[説明]

引数の指定が無い場合は、チャンネル毎に現在のオフセット値を出力します。

チャンネルおよびオフセット値を指定するとレジスタに設定します。(→正常応答:done)

---

---

## gain

---

### [機能]

ゲイン設定

### [形式]

gainCH num

### [パラメータ]

CH (%d) ADC チャンネル選択 : 1~4  
num (%d) ゲイン(2 のべき乗単位  $2^{\text{num}}$ ) : 0~7

### [説明]

引数の指定が無い場合は、チャンネル毎に現在のゲインを出力します。  
チャンネルおよびゲインを指定するとレジスタに設定します。(→正常応答:done)

---

---

## ncoset

---

### [機能]

NCO の各種パラメータの設定を有効

### [形式]

ncoset

### [パラメータ]

なし

### [説明]

本コマンド入力後の内部カウンタ 1pps に同期して、NCO の各種パラメータ(周波数初期値、1 回微分値、2 回微分値)の設定が NCO に反映されます。

---

---

## bbc\_bw

---

### [機能]

BBC モード フィルタ帯域設定

### [形式]

bbc\_bw CH BN n : DBBC チャンネル個別設定  
または  
bbc\_bw CH nnnnnnnnnnnnnnnn : DBBC16 チャンネルを一度に設定

### [パラメータ]

CH (%d) ADC チャンネル選択 : 1 固定にして下さい  
BN (%d) バンド番号=DBBC チャンネル番号 : 1~16  
n (%d) n=0 帯域 4 MHz (8 Msps)  
n=1 帯域 8 MHz (16 Msps)  
n=2 帯域 16 MHz (32 Msps)  
n=3 帯域 32 MHz (64 Msps)

### [説明]

引数の指定が無い場合は、チャンネル毎に現在のフィルタ帯域を出力します。  
チャンネル、バンドおよびフィルタ帯域を指定するとレジスタに設定します。(→正常応答:done)

---

---

## bbc\_d0

---

### [機能]

~~BBC モード NCO 周波数初期位相を設定~~ **使用しません 0x00000000 固定にして下さい**

### [形式]

bbc\_d0 CH BN d0

### [パラメータ]

CH	(%d)	ADC チャンネル選択 : <b>1 固定して下さい</b>
BN	(%d)	バンド番号= <b>DBBC</b> チャンネル番号 : 1~16
d0	(%x)	初期位相 (16 進数) 32bit 幅 設定範囲=0x00000000~0xFFFFFFFF

### [説明]

~~引数の指定が無い場合は、チャンネル毎に現在の NCO 初期位相を出力します。  
チャンネル、バンドおよび NCO 初期位相を指定するとレジスタに設定します。(→正常応答:done)  
2048MHz サンプリングの角速度にあたり、以下の式で計算します。ここで f は NCO で発  
生する周波数です。~~

$$d_0 = \frac{f}{(2048 \times 10^6)} \times 2^{32}$$

---

---

## bbc\_d1

---

### [機能]

BBC モード **NCO 周波数を設定**

### [形式]

bbc\_d1 CH BN d1

### [パラメータ]

CH	(%d)	ADC チャンネル選択 : <b>1 固定して下さい</b>
BN	(%d)	バンド番号= <b>DBBC</b> チャンネル番号 : 1~16
d1	(%x)	角速度 (16 進数) 32bit 幅 設定範囲=0x00000000~0xFFFFFFFF

### [説明]

引数の指定が無い場合は、チャンネル毎に現在の NCO 角速度を出力します。  
チャンネル、バンドおよび NCO 角速度を指定するとレジスタに設定します。(→正常応答:done)  
**周波数をそのままヘルツ単位で 16 進表記した値を設定して下さい。**



---

---

## bbc\_d2

---

### [機能]

BBC モード **NCO 周波数の加速する周波数を設定**

### [形式]

bbc\_d2 CH BN d2

### [パラメータ]

CH (%d) ADC チャンネル選択 : **1 固定して下さい**  
BN (%d) バンド番号=**DBBC** チャンネル番号 : 1~16  
d2 (%x) 角加速度 (16 進数) 32bit 幅 設定範囲=0x00000000~0xFFFFFFFF

### [説明]

引数の指定が無い場合は、チャンネル毎に現在の NCO 角加速度を出力します。  
チャンネル、バンドおよび NCO 角加速度を指定するとレジスタに設定します。(→正常応答:done)  
**加速する周波数をそのままヘルツ単位で 16 進表記した値を設定して下さい。**

~~bbc\_dt とは以下の式の関係があります。~~

$$dt = \left\{ \frac{T \times 2048 \times 10^6}{\left( \frac{Fa}{2048 \times 10^6} \times 2^{32} \right)} \times d_2 \right\} - 1$$

Fa は変化する周波数[Hz]、T は Fa に到達するまでの時間[秒]を表し、例えば 1 時間後に +100KHz になるような角加速度を与えるときは T=1×60×60=3600[秒]、Fa=100×10<sup>3</sup>[Hz] となります。

---

---

## bbc\_dt

---

### [機能]

BBC モード NCO 周波数の角加速度 d2 の単位時間を設定

### [形式]

bbc\_dt CH BN dt

### [パラメータ]

CH (%d) ADC チャンネル選択 : **1 固定して下さい**  
BN (%d) バンド番号=**DBBC** チャンネル番号 : 1~16  
dt (%x) 単位時間 (16 進数) 32bit 幅 設定範囲=0x00000000~0xFFFFFFFF

### [説明]

引数の指定が無い場合は、チャンネル毎に現在の NCO 角加速度単位時間を出力します。  
チャンネル、バンドおよび NCO 角加速度単位時間を指定するとレジスタに設定します。  
(→正常応答:done)

~~コマンド bbc\_d2 で説明される関係があります。~~

---

rev

---

[機能]

全 FPGA のリビジョン番号&日付を表示

[形式]

rev

[パラメータ]

なし

[説明]

FPGA1~3 のリビジョン番号&日付をを出力します。

- 1) FPGA1 の日付、リビジョン
- 2) FPGA2 の日付、リビジョン
- 3) FPGA3 の日付、リビジョン(コンフィグ管理 FPGA)

---

version

---

[機能]

FPGA リビジョン&ソフトウェアバージョン表示

[形式]

version

[パラメータ]

なし

[説明]

rev コマンドの内容に加え、ソフトウェアのバージョンを出力します。

- 1) FPGA1 の日付、リビジョン
- 2) FPGA2 の日付、リビジョン
- 3) FPGA3 の日付、リビジョン(コンフィグ管理 FPGA)
- 4) ソフトウェアの日付、リビジョン

---

### mon\_pdata

---

[機能]

PDATA モニター出力

[形式]

mon\_pdata CH

[パラメータ]

CH (%d) ADC チャンネル選択 : 1~4

[説明]

VSI インターフェースの PDATA 出力信号を RS-232C へ出力し、確認することができます。  
FPGA 内にある 4 チャンネルの UART 回路で出力している PDATA の中から、選択したチャンネルの PDATA が出力されます。  
再度“mon\_pdata”と入力すると、モニター出力を終了します。

---

### pdata\_on

---

[機能]

PDATA 出力 ON 設定

[形式]

pdata\_on CH

[パラメータ]

CH (%d) ADC チャンネル選択 : 1~4

[説明]

選択されたチャンネルの PDATA 出力を有効とします。  
“pdata\_on”と CH を入力しない場合は 4 チャンネルすべてが有効になります。

---

### pdata\_off

---

[機能]

PDATA 出力 ON 設定

[形式]

pdata\_off CH

[パラメータ]

CH (%d) ADC チャンネル選択 : 1~4

[説明]

選択されたチャンネルの PDATA 出力を無効とします。  
“pdata\_off”と CH を入力しない場合は 4 チャンネルすべてが無効になります。

---

## bit\_hist

---

[機能]

ビットヒストグラム情報の出力設定

[形式]

bit\_hist CH

[パラメータ]

CH (%d) ADC チャンネル選択 : 1~4

[説明]

選択されたチャンネルのビットヒストグラム情報を LAN ポートへ出力します。  
本コマンド設定後、Ctrl+C キーを設定すると出力が停止します。

---

## cap

---

[機能]

モニターメモリキャプチャー

[形式]

cap

[パラメータ]

なし

[説明]

このコマンド直後の 1pps 割り込みタイミングで、モニターメモリに A/D サンプリングデータなどを格納します。

---

## cap\_rd

---

### [機能]

モニターメモリ読み出し

### [形式]

cap\_rd FPGA FORM NUM

### [パラメータ]

FPGA (%d) FPGA 選択 : 1,2

FORM (%c) ファイルフォーマット d : 10 進数で読み出し

h : 16 進数で読み出し

NUM (%d) リードデータ数 : 1~65536 未入力の場合は全データを読み出す

### [説明]

選択された FPGA (FPGA1 または FPGA2) からデータを読み出します。

フォーマット d のときは、メモリ幅 16 ビットのうち、上位 8 ビット、下位 8 ビットに分けて 10 進数に変換して csv 形式で出力されます。

例:

アドレス 上位 8 ビット 下位 8 ビット

0	127	, 128
2	64	, 192
4	2	, 251
...	...	, ...

フォーマット h のときは、16 進表記で出力されます。

例:

アドレス 16 ビット

0	7F80
2	40C0
4	02FB
...	...

cap\_rd コマンドを実行すると、データが LAN ポートもしくは RS232C シリアルポートに出力されますので、PC 側でログをとってデータを保存してください。

cap\_rd コマンド実行例を以下に示します。

```
cosmo login: root
Password:

BusyBox v1.2.1 (2008.07.15-14:29+0000) Built-in shell (ash)
Enter 'help' for a list of built-in commands.

#
# cap
done.
#
# cap_rd 1 d 32
251,248
249,250
246,248
236,241
227,231
208,217
188,198
161,173
136,147
109,121
88,96
66,74
50,55
33,39
23,25
13,16
11,9
8,8
14,9
21,16
35,27
50,41
70,60
90,79
114,101
136,124
161,148
181,171
205,193
220,211
236,228
244,240
#
```

読み出したデータは、A/D コンバータ 2 チャンネルモード 2.048Gsps のときは下記のように下位側がチャンネル 1、上位側がチャンネル 2 となります。

上位 8bit チャンネル 2	↓	,	↓	下位 8bit チャンネル 1
249				250
246				248
236				241
227				231
208				217
188				198

A/D コンバータ 1 チャンネルモード 4Gsps のときは、サンプリングデータは①、②、③…という順番になります。

上位 8bit	↓	,	↓	下位 8bit
②				①
④				③
⑥				⑤
⑧				⑦
⑩				⑨
⑫				⑪

A/D コンバータ 1 GspsX4 チャンネルモードのとき、サンプリングデータはチャンネル毎に①、②、③…という順番になります。

上位 8bit	↓	,	↓	下位 8bit
ch3 ①				ch1 ①
ch4 ①				ch2 ①
ch3 ②				ch1 ②
ch4 ②				ch2 ②
ch3 ③				ch1 ③
ch4 ③				ch2 ③

---

adcsave

---

[機能]

ADC レジスタ設定の保存

[形式]

adcsave

[パラメータ]

なし

[説明]

現在の ADC レジスタに設定されている情報を Flash メモリに保存します。  
(→正常応答:done)



---

## adcontrol

---

### [機能]

ADC コントロールレジスタ設定

### [形式]

adcontrol -tTEST -fFS -bBDW -gB/G -dDMUX -sSTDBY -mADCMD

### [パラメータ]

TEST	(%d)	TEST モード : 0,1
FS	(%d)	FS モード : 0,1
BDW	(%d)	BDW<1:0>モード : 0~3
B/G	(%d)	B/G モード : 0,1
DMUX	(%d)	DMUX モード : 0,1
STDBY	(%d)	STDBY<1:0>モード : 0~3
ADCMD	(%d)	ADC モード (10 進数) : 0~15
	(%x)	(16 進数) : 0x0~0xF

### [説明]

ADC コントロールレジスタへ、指定された値を書き込みます。  
変更不要なパラメータは、省略が可能です。

例 : adcontrol -f1 -s2 ←FS と STDBY のみ変更  
引数の指定が無い場合は、現在のレジスタ内容を出力します。

---

## adetest

---

### [機能]

ADC テストモード ON/OFF

### [形式]

adetest num

### [パラメータ]

num	(%d)	0,1 : テストモード ON
		-1 : テストモード OFF

### [説明]

指定したパラメータ値に従い、ADC テストモードの ON/OFF を行います。  
引数の指定がない場合は、現在のテストモードが表示されます。

---

## adcchsel

---

[機能]

ADC レジスタ用チャンネル選択

[形式]

adcchsel num

[パラメータ]

num (%d) 0 : チャンネル選択を無効にする  
1,2,3,4 : 設定されたチャンネルを選択する

[説明]

指定したパラメータ値に従い、ADC レジスタ用チャンネルが選択されます。  
引数の指定がない場合は、現在のチャンネルが表示されます。

---

## adccal

---

[機能]

ADC キャリブレーション制御

[形式]

adccal -pP -gG -oO -iINL

[パラメータ]

P (%d) 0,1,2,3 : PCALCTRL <1:0>設定  
G (%d) 0,1,2,3 : GCALCTRL <1:0>設定  
O (%d) 0,1,2,3 : OCALCTRL <1:0>設定  
INL (%d) 0,1,2,3 : INL\_CALCTRL <1:0>設定

[説明]

指定したパラメータ値に従い、ADC キャリブレーション制御が行われます。  
変更不要なパラメータは、省略が可能です。  
引数の指定がない場合は、現在の設定値が表示されます。

---

## adcoffs

---

[機能]

ADC オフセット調整

[形式]

adcoffs num

[パラメータ]

num (%x) 0x00~0xFF : EXTERNAL OFFSET <7:0>設定

[説明]

指定したパラメータ値に従い、ADC オフセット調整値が設定されます。  
引数の指定がない場合は、現在のオフセット値が表示されます。

---

## adcgain

---

[機能]

ADC ゲイン調整

[形式]

adcgain num

[パラメータ]

num (%x) 0x00~0xFF : EXTERNAL GAIN <7:0>設定

[説明]

指定したパラメータ値に従い、ADC ゲイン調整値が設定されます。  
引数の指定がない場合は、現在の値が表示されます。  
事前に `adcchsel` にて選択されたチャンネルに対して設定値が反映される。

---

## ftpfpga

---

[機能]

FPGA データファイルの更新

[形式]

ftpfpga

[パラメータ]

なし

[説明]

予め `sethost` で指定した FPGA 用 FTP サーバから FPGA データファイルをダウンロードし Flash メモリに書き込みます。  
ファイルは `zip` 形式で圧縮する必要があります。  
このコマンドでは Flash メモリの内容を書き換えるだけであり、FPGA がすぐに更新されるわけではありません。  
更新した Flash メモリの内容で FPGA を再起動するには、装置の電源を切り、装置を再度起動させるか、`"confppga"` コマンドを実行してください。

---

## confppga

---

[機能]

FPGA の再コンフィグレーション実行

[形式]

confppga

[パラメータ]

なし

[説明]

信号処理 FPGA を再コンフィグレーション（再起動）します。  
`ftpfpga` で Flash メモリの内容を更新した後、`confppga` コマンドを実行することで FPGA が更新されます。

---

### wtcoeff

---

[機能]

適応フィルタ係数の設定

[形式]

wtcoeff

[パラメータ]

なし

[説明]

適応フィルタの係数を書き換えます。

コマンドを実行すると端末からのデータ待ちになりますので **teraterm** 等の端末ソフトへデータファイルをドラッグ&ドロップしてください。

---

### rdcoeff

---

[機能]

適応フィルタ係数の参照

[形式]

rdcoeff

[パラメータ]

なし

[説明]

現在登録されている適応フィルタ係数を出力します。

---

### adpflt

---

[機能]

適応フィルタ制御の参照と設定

[形式]

adpflt MODE

[パラメータ]

MODE (%)	適応フィルタ制御	on : 適応フィルタ制御オン
		off : 適応フィルタ制御オフ

[説明]

適応フィルタ制御レジスタに対し設定と読み出しを行います。

引数なしで適応フィルタ制御の状態を読み出します。

引数に **on** または **off** を指定すると適応フィルタ制御を指定の状態に設定します。

---

---

## dbbcin

---

---

### [機能]

DBBC 回路入力の A/D チャンネル選択の参照と設定

### [形式]

dbbcin -c CH NUM : 個別設定 または  
dbbcin ALL : 一括設定

### [パラメータ]

CH	(%d)	1~16 : DBBC チャンネル
NUM	(%d)	0,1,2,3 : A/D チャンネル 0=A/D CH1 , 1=A/D CH2, 2=A/D CH3, 3=A/D CH4
ALL	(%s)	チャンネル 1~16 まで順に各桁 0,1,2,3 より選択した 16 桁の文字列 : 全 A/D チャンネル 例) 0123012301230123

### [説明]

DBBC チャンネルの入力選択の参照及び設定を行います。  
引数を指定しない場合は現在の入力選択状況を出力します。  
引数を指定すると入力選択を設定します。  
入力選択は-c オプションを付けて特定のチャンネルを選択することも、全てのチャンネルを選択することも可能です。

---

---

## dbbcout

---

---

### [機能]

DBBC 出力モード選択の参照と設定

### [形式]

dbbcout -c CH NUM : 個別設定 または  
dbbcout ALL : 一括設定

### [パラメータ]

CH	(%d)	1~16 : DBBC チャンネル
NUM	(%d)	0 : USB (Upper side band) 出力モード 1 : LSB (Lower side band) 出力モード 2 : Complex (複素数) 出力モード 3 : reserve
ALL	(%s)	チャンネル 1~16 まで順に各桁 0,1,2,3 より選択した 16 桁の文字列 : 全 A/D チャンネル 例) 0123012301230123

### [説明]

DBBC チャンネルの出力選択の参照及び設定を行います。  
引数を指定しない場合は現在の出力選択状況を出力します。  
引数を指定すると出力選択を設定します。  
出力選択は-c オプションを付けて特定のチャンネルを選択することも、全てのチャンネルを選択することも可能です。

---

## dbbcvsi

---

### [機能]

DBBC 回路の VSI 出力フォーマット選択の参照と設定

### [形式]

dbbcvsi NUM

### [パラメータ]

NUM	(%d)	0	: ビット分割	—	クロック固定モード
		1	: ビット分割	—	クロック可変モード
		2	: チャンネル分割	—	クロック固定モード
		3	: チャンネル分割	—	クロック可変モード

### [説明]

DBBC VSI フォーマット選択の参照と設定を行います。  
引数を指定しない場合は現在の設定を参照します。  
引数を指定すると指定した値を設定します。

---

## cicgain

---

### [機能]

DBBC 回路の CIC フィルタゲイン設定

### [形式]

cicgain -c CH NUM : 個別設定            または  
cicgain ALL : 一括設定

### [パラメータ]

CH	(%d)	1~16	: DBBC チャンネル
NUM	(%d)	0,1,2,3	: CIC フィルタゲイン 0= 1 倍, 1= 2 倍, 2= 4 倍, 3= 8 倍
ALL	(%s)	DBBC チャンネル ch1~ch16 まで順に各桁 0,1,2,3 より選択した 16 桁 の文字列: 全 DBBC チャンネル 例) 0123012301230123	

### [説明]

DBBC 回路の CIC フィルタゲインの参照及び設定を行います。  
引数を指定しない場合は現在の CIC フィルタゲイン設定状況を出力します。  
引数を指定すると CIC フィルタゲインを設定します。  
入力選択は-c オプションを付けて特定のチャンネルを設定することも、全てのチャンネルをまとめて設定することも可能です。

---

## bbcgain

---

### [機能]

DBBC 回路 最終出力ゲイン設定

### [形式]

bbcgain -c CH NUM : 個別設定 または  
bbcgain ALL : 一括設定

### [パラメータ]

CH	(%d)	1~16 : DBBC チャンネル
NUM	(%d)	0~F : 16 進表記によるゲイン設定
		7 : +6dB
		6 : +6dB
		5 : +5dB
		4 : +4dB
		3 : +3dB
		2 : +2dB
		1 : +1dB
		0 : 0dB
		F : -1dB
		E : -2dB
		D : -3dB
		C : -4dB
		B : -5dB
		A : -6dB
		9 : -6dB
		8 : -6dB

ALL (%s) DBBC チャンネル ch1~ch16 まで順に各桁 0~F より選択した 16 桁の文字列 :  
例) 0123012301230123

### [説明]

DBBC 回路の最終出力ゲインの参照及び設定を行います。

引数を指定しない場合は現在のゲイン設定状況を出力します。

引数を指定するとゲインを設定します。

入力選択は-c オプションを付けて特定のチャンネルを設定することも、全てのチャンネルをまとめて設定することも可能です。

---

## signalcheck

---

[機能]

同期状態の参照

[形式]

signalcheck

[パラメータ]

なし

[説明]

10MHz と 1PPS 信号の同期状態を参照します。  
正常であれば"OK"を、同期外であれば"NG"を出力します。

---

## vsisel

---

[機能]

VSI 出力フォーマット選択の参照と設定  
DBBC16ch 版では DBBC モードか 1GspX4ch モードかを選択します

[形式]

vsisel VSIO FORMAT

[パラメータ]

VSIO	(%d)	設定範囲 1~8 1,2 DBBC16ch 版のモードを選択します 3~8 予約
FORMAT	(%d)	0,1,2,3 : VSI フォーマット

---

[DBBC16ch 版の設定説明]

vsisel 2 0	以下の vsisel 1 0~3 で選択する DBBC16ch, 1GspX4ch モードを使用する場合にこの設定にします。
vsisel 2 1	DBBC 8ch モードで VSI ポートに出力します。
vsisel 2 2	DBBC 4ch モードで VSI ポートに出力します。
vsisel 2 3	DBBC 2ch モードで VSI ポートに出力します。
vsisel 1 0	DBBC16ch のデータを VSI ポートに出力します。
vsisel 1 1	1GspX4ch モードのデータを基本モードで出力します。
vsisel 1 2	1GspX4ch モードのデータを 8 ビット区切りで出力します。
vsisel 1 3	1GspX4ch モードのデータを 32 ビット区切りで出力します。

[説明]

引数を指定しない場合は、現在の VSI 出力フォーマット選択を参照します。  
引数を指定した場合は、指定した VSI 出力に対し指定した値を設定します。



---

regs

---

[機能]

レジスタ設定情報の表示

[形式]

regs [cpu | adc | fpga1 | fpga2 | config]

[パラメータ]

cpu	CPU が使用するレジスタ一覧表示
adc	A/D コンフィグレーションレジスタの設定情報一覧を表示
fpga1	FPGA1 制御レジスタの設定情報一覧を表示
fpga2	FPGA2 制御レジスタの設定情報一覧を表示 (一部省略)
config	FPGA コンフィグレーション管理レジスタの設定情報一覧を表示

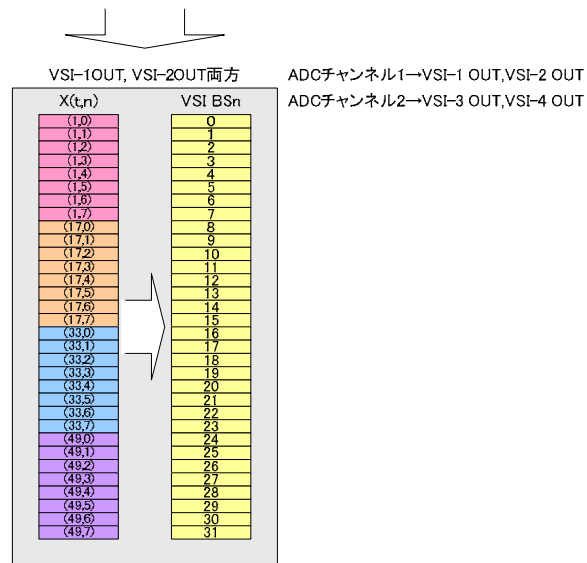
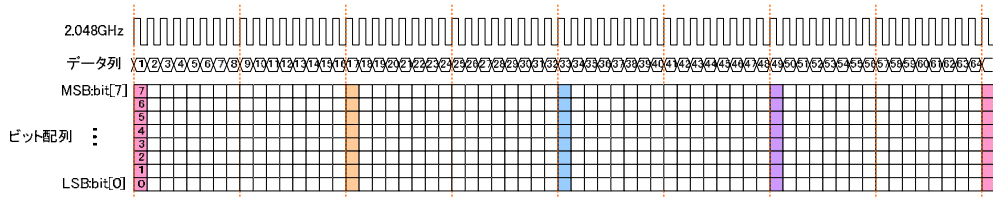
[説明]

各種レジスタに現在設定されている情報を一覧表示します。

## 5. VSI ポート出力

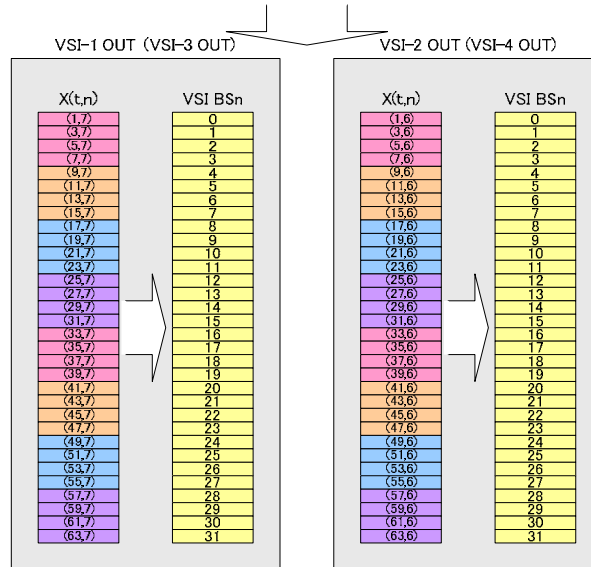
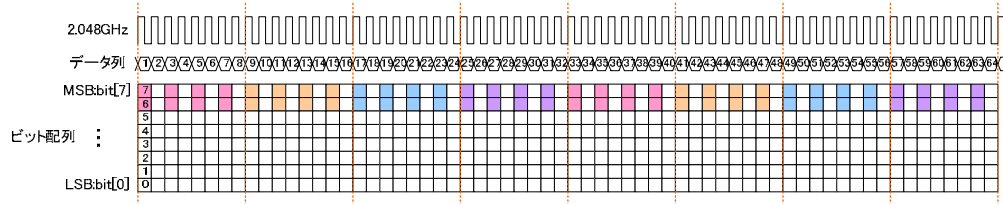
以下にサンプリングモード A~F の VSI 出力のビット並びを図示します。

### 5.1. モード A



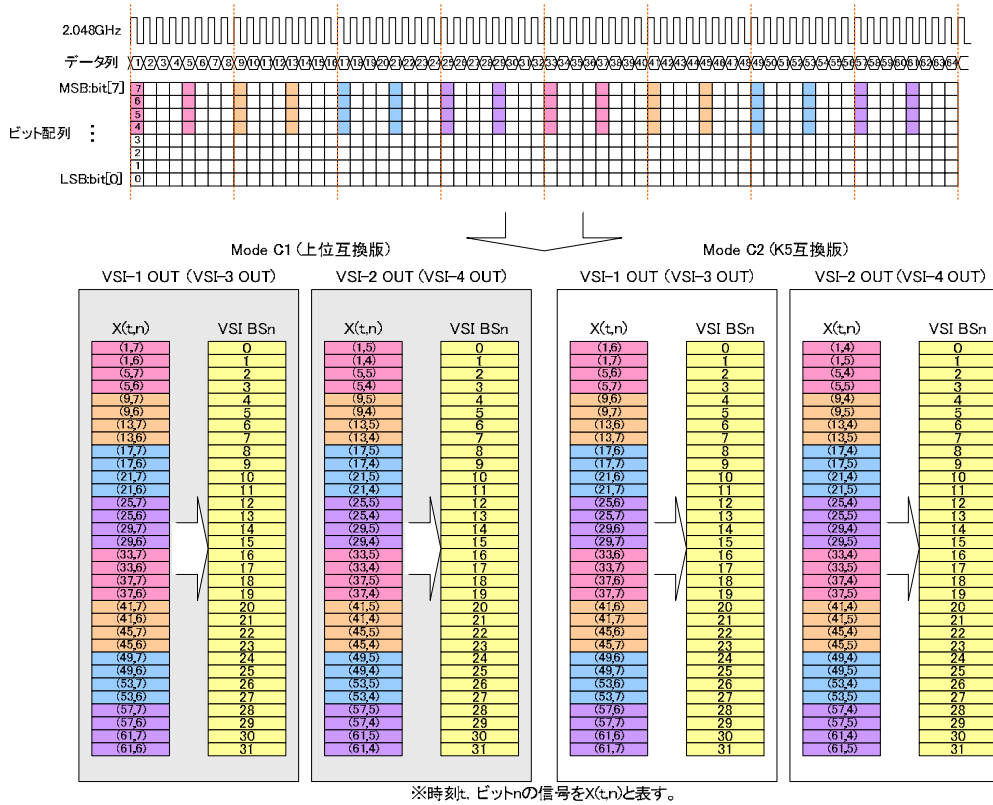
※時刻t, ビットnの信号をX(t,n)と表す。

## 5.2. モード B

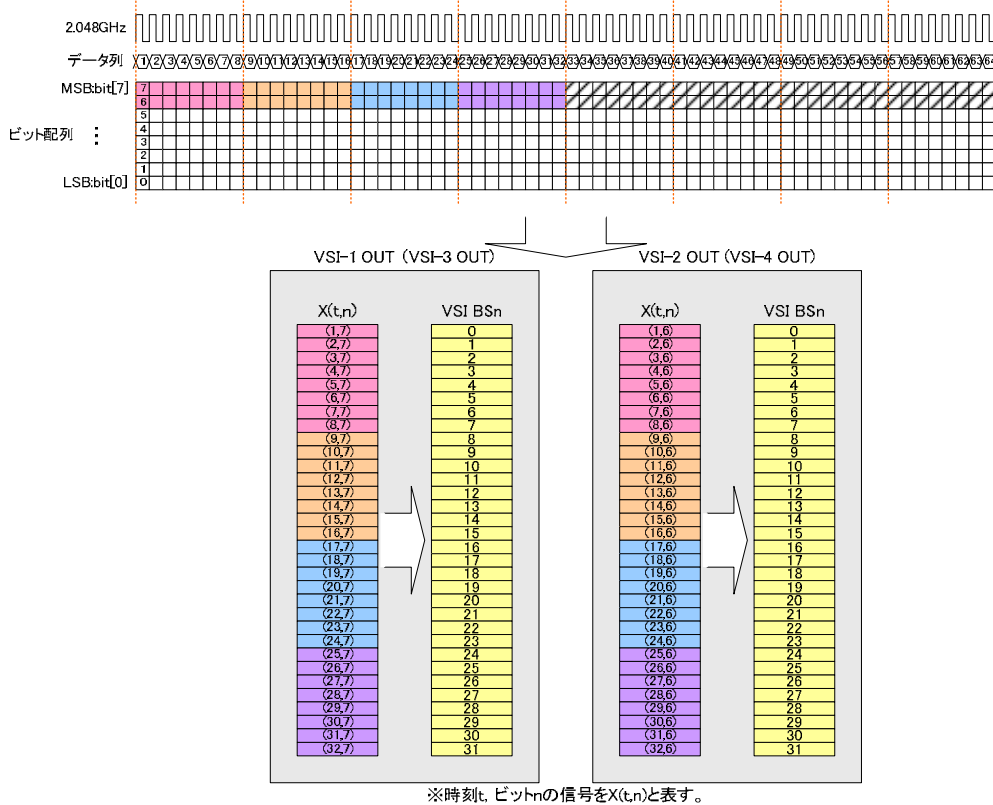


※時刻t, ビットnの信号を $X(t,n)$ と表す。

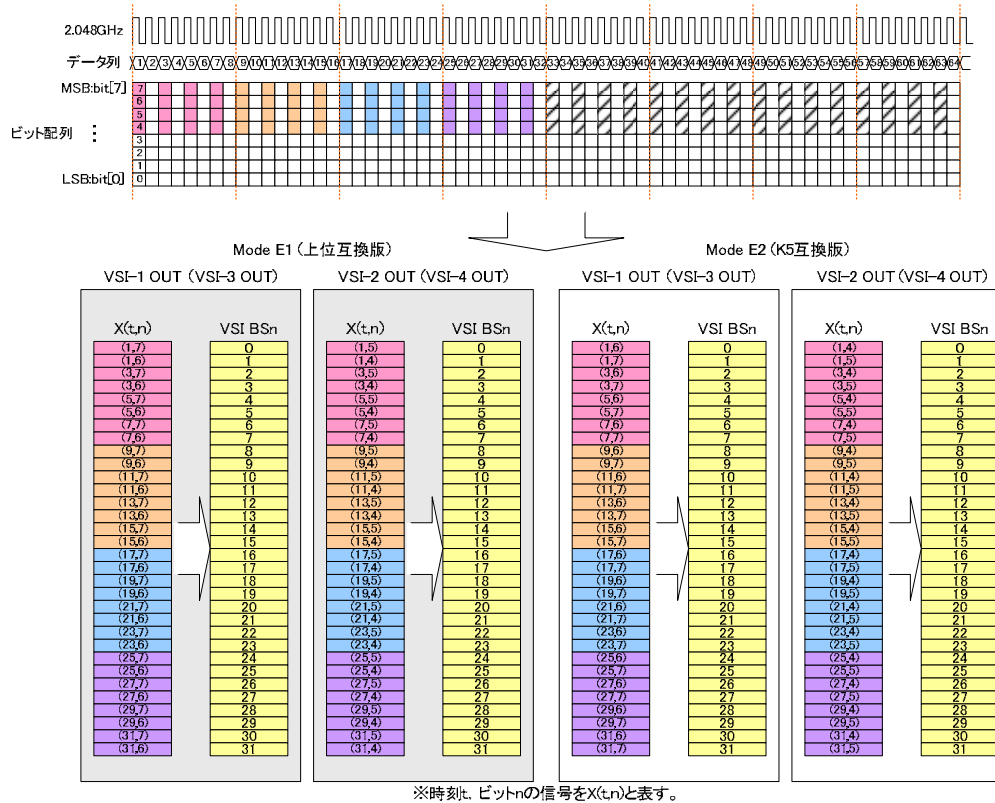
### 5.3. モード C



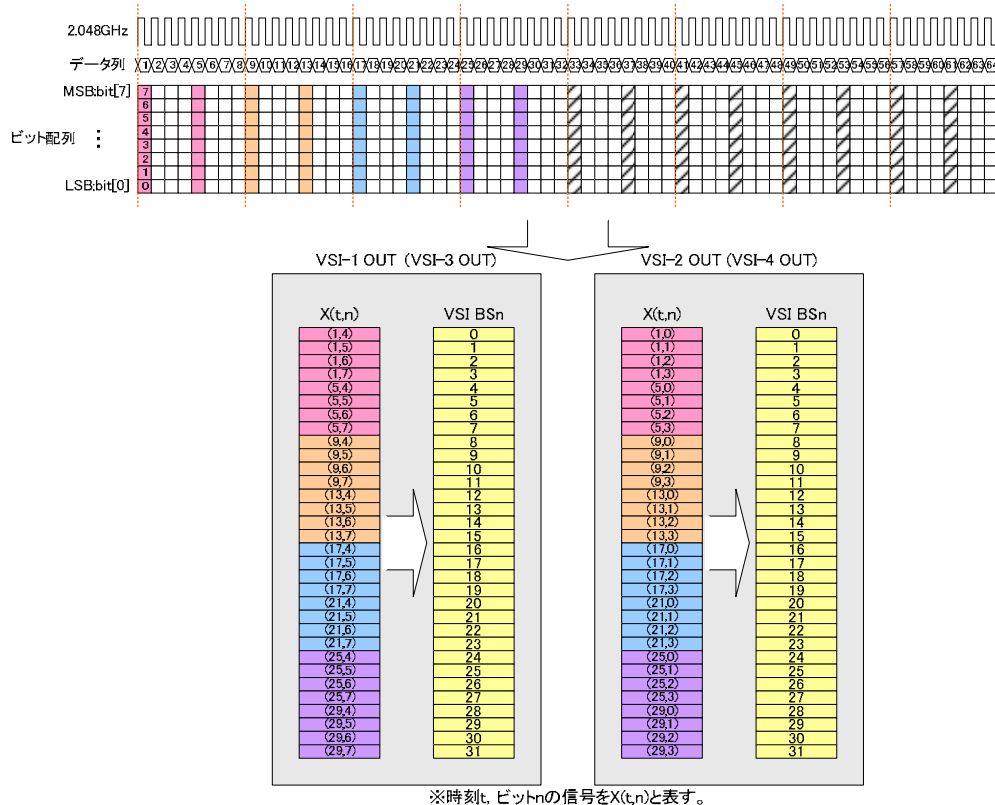
### 5.4. モード D



### 5.5. モード E



### 5.6. モード F



## 6. DBBC16ch VSI ポート出力

DBBC16 チャンネル版の VSI 出力のビット並びを図示します。

DBBC の VSI 出力フォーマットには 2 つのデータデータモードと 2 つのクロックモードがあります。

1GspX4ch モードの VSI ポート出力フォーマットは 3 種類あります。

表6 DBBC VSI 出力モード

VSI 出力モード	内容
ビット分割	VSI ポートの 1 ポートに 16 チャンネルの量子化ビット 2 ビットを出力する。 2 ポート合わせて量子化ビット 4 ビットを出力する。
チャンネル分割	VSI ポートの 1 ポートあたり 8 チャンネル分を出力し、2 ポートで 16 チャンネル分を出力する。
クロック固定	VSI ポートに出力するクロックを 64MHz 固定にする。
クロック可変	VSI ポートに出力するクロックをサンプルレートに合わせて 64, 32, 16, 8MHz と変える。

表7 1GspX4ch VSI 出力モード

VSI 出力モード	サンプルレート MSPS	量子化 ビット数 bit	VSI 出力 クロック MHz	VSI 出力 port 数	VSI 出力 1 port 当たり の ADC ch 数
基本モード	1024	2	64	4	1
8 ビット区切りモード	1024	1	64	2	2
32 ビット区切りモード	1024	1	64	2	2

### 6.1. DBBC ビット分割モード

1 チャンネルの DBBC 出力 4 ビットを 2 つの VSI ポートに分けて出力するモードです。

16 チャンネルを並列にし、DBBC 出力 4 ビット [3:0] のうち、**VSI ポート 1 に上位ビット [3:2]**を、**VSI ポート 2 に下位ビット [1:0]**を出力します。

#### VSIポート1

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	
DBBC ch番号	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15																	
Data bit [3:0]	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	
LSB/MSB		M		M		M		M		M		M		M		M		M		M		M		M		M		M		M		M	

#### VSIポート2

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	
DBBC ch番号	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15																	
Data bit [3:0]	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	
LSB/MSB	L		L		L		L		L		L		L		L		L		L		L		L		L		L		L		L		

## 6.2. DBBC チャンネル分割モード

2つの VSI ポートに 16 チャンネルの DBBC を 8 チャンネル毎に分けて出力するモードです。

### VSIポート1

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
DBBC ch番号	0				1				2				3				4				5				6				7			
Data bit [3:0]	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
LSB/MSB	L			M	L			M	L			M	L			M	L			M	L			M	L			M	L			M

### VSIポート2

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
DBBC ch番号	8				9				10				11				12				13				14				15			
Data bit [3:0]	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
LSB/MSB	L			M	L			M	L			M	L			M	L			M	L			M	L			M	L			M

## 6.3. DBBC VSI 出力クロック

クロック固定モードとクロック可変モードがあります。

クロック固定モードではDBBCのサンプリングレートに関係なく 64MHzのクロックを出力します。

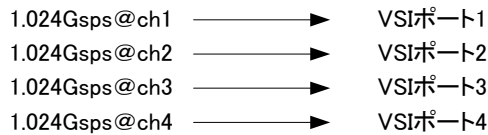
クロック可変モードでは DBBC のサンプリングレートのクロックを出力します。

表8 DBBC VSI 出力クロック対応表

サンプリング レート [Msps]	帯域幅 [MHz]	量子化 ビット数 [bit]	DBBC チャンネル数	VSI 出力 クロック [MHz]	VSI 出力 port 数
64	32	4	16	64	2
32	16	4	16	64 or 32	2
16	8	4	16	64 or 16	2
8	4	4	16	64 or 8	2

#### 6.4. 1GspX4ch モード 基本モード

基本モード出力では、ADC チャンネル番号に対応した VSI ポートにサンプリングデータを出力します。サンプリングデータのビット数は 2 ビットです。



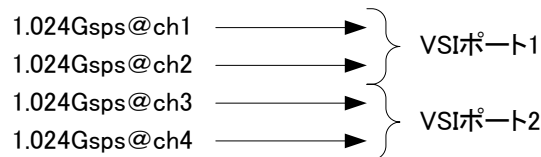
##### 1. 024Gsp/4ch VSI出力 1ポート1チャンネル出力

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31		
チャンネル番号	1																																	
Sample Time	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15																		
Data bit [1:0]	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
LSB/MSB	L	M	L	M	L	M	L	M	L	M	L	M	L	M	L	M	L	M	L	M	L	M	L	M	L	M	L	M	L	M	L	M	L	M

#### 6.5. 1GspX4ch モード 8ビット区切りモード

8ビット区切りモードでは、ADC チャンネル 1, 2 のサンプリングデータを VSI ポート 1 に、ADC チャンネル 3, 4 のサンプリングデータを VSI ポート 2 に出力します。サンプリングデータのビット数は 1 ビットです。8ビット区切りでチャンネルが変わります。

VSI ポート 3, 4 は VSI ポート 1, 2 と同じデータが出力されます。



##### 1. 024Gsp/4ch VSI出力 1ポート2チャンネル出力 8ビット区切りモード 1サンプルのデータは1ビットまで

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
チャンネル番号	1							2							1							2										
Sample Time	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	8	9	10	11	12	13	14	15

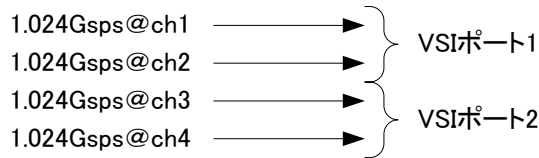


### 6.6. 1GspsX4ch モード 32 ビット区切りモード

32 ビット区切りモードでは 8 ビット区切りモードと同じように 1 つの出力ポートに対して 2 チャンネル分のサンプリングデータを出力しますが、32 ビット区切りでチャンネルが変わります。

サンプリングデータのビット数は 1 ビットです。

VSI ポート 3, 4 は VSI ポート 1, 2 と同じデータが出力されます。



1. 024Gsps/4ch VSI出力 1ポート2チャンネル出力ド 32ビット区切りモード  
 1サンプルのデータは1ビットまで

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	VSIポート出力 Sample Time
チャンネル番号	1																															0	
Sample Time	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30		31
チャンネル番号	2																															1	
Sample Time	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30		31
チャンネル番号	1																															3	
Sample Time	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62		63
チャンネル番号	2																															4	
Sample Time	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62		63

## 6.7. DBBC 2ch モード

### 6.7.1. チャンネル分割

64Msps【帯域32MHz】4bit, DBBC 2ch, VSI出カクロック8MHz, 出力ポート数2ポート

#### VSIポート1

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
DBBC ch番号	1																															
Sample Time	0			1			2			3			4			5			6			7										
Data bit [3:0]	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
LSB/MSB	L			M	L			M	L			M	L			M	L			M	L			M	L			M	L			M

#### VSIポート2

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
DBBC ch番号	2																															
Sample Time	0			1			2			3			4			5			6			7										
Data bit [3:0]	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
LSB/MSB	L			M	L			M	L			M	L			M	L			M	L			M	L			M	L			M

### 6.7.2. ビット分割

64Msps【帯域32MHz】4bit, DBBC 2ch, VSI出カクロック8MHz, 出力ポート数2ポート

#### VSIポート1

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
DBBC ch番号	1															2																
Sample Time	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Data bit [3:0]	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3
LSB/MSB		M		M		M		M		M		M		M		M		M		M		M		M		M		M		M		M

#### VSIポート2

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
DBBC ch番号	1															2																
Sample Time	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Data bit [3:0]	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
LSB/MSB	L		L		L		L		L		L		L		L		L		L		L		L		L		L		L		L	

## 6.8. DBBC 4ch モード

### 6.8.1. チャンネル分割

64Msps【帯域32MHz】4bit, DBBC 4ch, VSI出カクロック16MHz, 出力ポート数2ポート

#### VSIポート1

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
DBBC ch番号	1												2																			
Sample Time	0			1			2			3			0			1			2			3										
Data bit [3:0]	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
LSB/MSB	L			M	L			M	L			M	L			M	L			M	L			M	L			M	L			M

#### VSIポート2

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
DBBC ch番号	3												4																			
Sample Time	0			1			2			3			0			1			2			3										
Data bit [3:0]	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
LSB/MSB	L			M	L			M	L			M	L			M	L			M	L			M	L			M	L			M

### 6.8.2. ビット分割

64Msps【帯域32MHz】4bit, DBBC 4ch, VSI出カクロック16MHz, 出力ポート数2ポート

#### VSIポート1

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
DBBC ch番号	1				2				3				4																			
Sample Time	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
Data bit [3:0]	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3
LSB/MSB		M		M		M		M		M		M		M		M		M		M		M		M		M		M		M		M

#### VSIポート2

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
DBBC ch番号	1				2				3				4																			
Sample Time	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
Data bit [3:0]	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
LSB/MSB	L		L		L		L		L		L		L		L		L		L		L		L		L		L		L		L	

## 6.9. DBBC 8ch モード

### 6.9.1. チャンネル分割

64Msps【帯域32MHz】4bit, DBBC 8ch, VSI出カクロック32MHz, 出力ポート数2ポート

#### VSIポート1

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
DBBC ch番号	1				2				3				4																			
Sample Time	0			1			0			1			0			1			0			1										
Data bit [3:0]	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
LSB/MSB	L			M	L			M	L			M	L			M	L			M	L			M	L			M	L			M

#### VSIポート2

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
DBBC ch番号	5				6				7				8																			
Sample Time	0			1			0			1			0			1			0			1										
Data bit [3:0]	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
LSB/MSB	L			M	L			M	L			M	L			M	L			M	L			M	L			M	L			M

### 6.9.2. ビット分割

64Msps【帯域32MHz】4bit, DBBC 8ch, VSI出カクロック32MHz, 出力ポート数2ポート

#### VSIポート1

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
DBBC ch番号	1		2		3		4		5		6		7		8																	
Sample Time	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
Data bit [3:0]	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3	2	3
LSB/MSB		M		M		M		M		M		M		M		M		M		M		M		M		M		M		M		M

#### VSIポート2

VSIポート Bit Number (RBSn)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
DBBC ch番号	1		2		3		4		5		6		7		8																	
Sample Time	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
Data bit [3:0]	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
LSB/MSB	L		L		L		L		L		L		L		L		L		L		L		L		L		L		L		L	

改版履歴

版	日付	記事	作成	承認
1.00	2010.1.29	初版 平成 21 年度追加機能に関する説明と操作方法についてまとめた。	佐藤	佐藤
1.01	2010.2.1	bbc_d2,bbc_dt コマンド詳細に、コマンド例を追記した。 4.10 項として DBBC の設定例を追加した。	佐藤	
1.02	2010.3.10	VSI ポート出力について記載した。	佐藤淳	
1.03	2010.3.16	1GspsX4ch モードを追加し、モードの設定方法、VSI ポート出力のビット配列を記載した。	佐藤淳	
1.10	2010.3.24	別紙としてあった『DBBC16ch 版取扱説明書』の内容を盛り込み平成 21 年度追加機能の取扱説明をまとめた。	佐藤淳	佐藤淳
1.20	2010.4.27	DBBC 回路に出力ゲイン調整機能を追加したので、それに関する以下の記載を追加した。 1. 平成 21 年度追加機能 DBBC 出力ゲイン調整機能について記載。 1.2 DBBC16 チャンネル版デザインの概要 図4DBBC1 チャンネルの回路構成 に gain control ブロックを追加。 4.10 DBBC CIC フィルタゲイン設定 追加 4.11 DBBC 出力ゲインの調整 追加 4.12 DBBC の設定例 cicgain, bbcgain コマンドによるゲイン調整について追加。 4.14 コマンド一覧 表 4 コマンド一覧 に cicgain コマンド, bbcgain コマンドを追加。 4.15 コマンド詳細 cicgain コマンド, bbcgain コマンドの詳細を追加。  4.6 DBBC16ch NCO 周波数の設定変更 ADS3000+の前面パネルスイッチで設定する場合について、前面パネルで周波数の設定を行った場合には必ず ncaset コマンドを実行する記載をしていたが、ソフトウェアバージョンの更新により、自動で ncaset コマンドを実行するようになったので、手動でコマンドを実行する必要がない旨を記載した。	佐藤淳	
1.21	2010.5.7	1. 平成 21 年度追加機能 DBBC16ch 機能に CIC フィルタゲインを 4 種類から選択できることを追記した。 4.15 コマンド詳細 vsisel コマンドの“現在未使用”という記述を削除した。	佐藤淳	

次ページに続く

前ページからの続き

版	日付	記事	作成	承認
1.30	2010.5.27	6. DBBC16ch VSI ポート出力 6.1. DBBC ビット分割モード の VSI ポート 1 と VSI ポート 2 の出力データを入れ替えた。 VSI ポート 1 には DBBC 出力 4 ビット[3:0]のうち上位 2 ビット[3:2]を、VSI ポート 2 には下位 2 ビット[1:0]を出力する。  4.14 コマンド一覧 表 4 コマンド一覧に regs コマンドを追加。 4.15 コマンド詳細 vsisel コマンドに DBBC16ch 版の設定説明を追加した。 regs コマンドを追加し説明を記載した。	佐藤淳	
1.40	2010.6.30	DBBC 2ch,4ch,8ch モードを新規追加したので、以下の追加を行った。 4.14. DBBC 2ch,4ch,8ch モードの設定 を追加。 4.16. コマンド詳細 vsisel コマンドに DBBC2ch,4ch,8ch モード選択の設定説明を追加した。  6. DBBC16ch VSI ポート出力 以下の VSI 出力フォーマットを追加した。 6.7. DBBC 2ch モード 6.8. DBBC 4ch モード 6.9. DBBC 8ch モード	佐藤淳	
1.41	2010.12.15	4.16 コマンド詳細 cap_rd コマンドに、コマンド実行時の出力例を記載。また、2.048Gsps/2ch モード,4.096Gsps/1ch モード,1GspsX4ch モードの cap_rd出力のチャンネルとデータ順序の説明を追加した。	佐藤淳	