

VLBIサンプラーユニットK5/VSSP32の現状

情報通信研究機構
日本通信機(株)

近藤哲朗、小山泰弘、市川隆一
大久保 寛

1. はじめに

情報通信研究機構(NICT)が開発してきたVLBIサンプラーK5/VSSP32は、2005年秋に試作版が完成し、フリジテストと呼ばれる実際のVLBI観測にも成功した。その後、長時間運用試験を通して装置の信頼性向上や観測ソフトの改良を行い、今年の5月からは国土院においてそれまでのK5/VSSP(旧称IP-VLBIボード)の後継機として開発され、チャンネルあたりのサンプリング周波数の上限は16MHzから64MHzに拡大されている。PCとのインターフェースにそれまでのPCIバスではなくUSB2.0を採用したことにより、使用できるホストPCの制限は大幅に緩和された。本報告ではVSSPとVSSP32で計測した相対遅延およびクロックの再現性の結果を報告する。

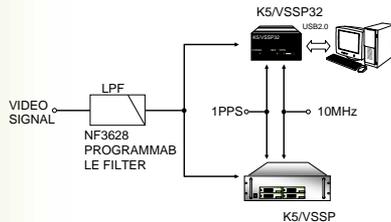


図1 接続図

2. K5/VSSPとVSSP32間の相対遅延計測

図1に示される接続にて、実際にデータを取得し相関処理することにより、VSSPとVSSP32間の相対遅延を測定した。その結果、VSSP32では、FPGAによるデジタル信号処理に起因する内部遅延のあることが確認された。そこで、この遅延を相殺すべく改修を行った。その結果、図2に示されるように未改修機で生じていた大きな遅延が改修後にはサンプリング周期の半分以下となり、更に内蔵フィルター(LPF)使用時と未使用時で遅延差が生じなくなった。図3にVSSP32の改修機と未改修機間の遅延の測定結果を示す。ただし、こうした内部遅延は変動がなければクロックオフセットとして扱われるので、改修前の状況でも測地精度に影響を及ぼすことはない。

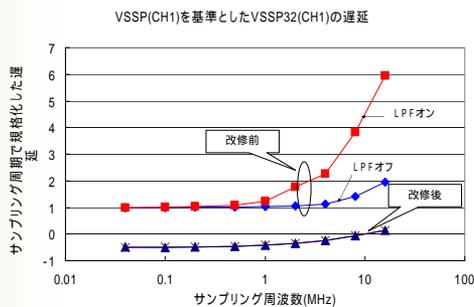


図2 K5/VSSPとVSSP32間の遅延(1ビットサンプリング)

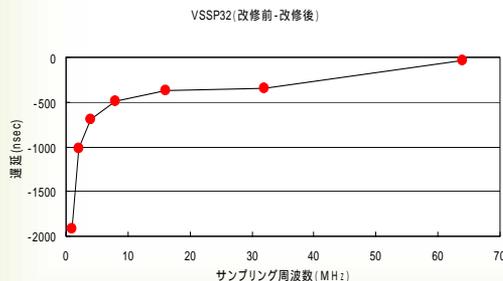


図3 VSSP32未改修機と改修機間の遅延

3. クロックの再現性

VSSP32に供給している10MHz信号を測定の度に抜き差しし、その都度時刻をセットしなおして遅延を測定することにより、クロックの再現性を調べた。サンプリングクロックがずれるなら、遅延の変動として計測されることになる。図4に32MHzサンプリング時にこうした計測を50回行った結果を示すが、遅延が離散的な値で変動している。つまり、VSSP32の観測時に10MHzケーブルを抜き差しし、時刻を再セットすると時系には飛びが生じる可能性が大きいと言える。なお、離散値のステップは約1.5nsec、変動の幅(P-P値)は約6nsecである。VSSP32の内部PLLモジュールで使用しているVCOの周波数が768MHz(周期1.3nsec)とのことであり、この飛びはPLLモジュールで発生していると言える。なお、VSSPでは回路構成の違いによりこうした飛びは発生しない(図5)。

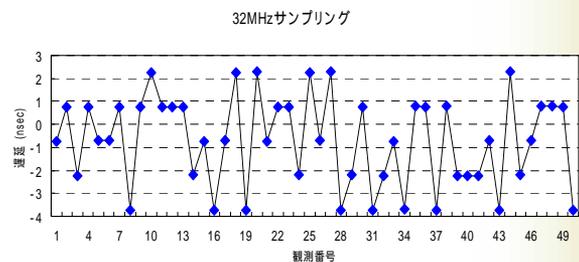


図4 VSSP32のクロック再現性計測結果, 32MHz x 1ビット x 1chモード。

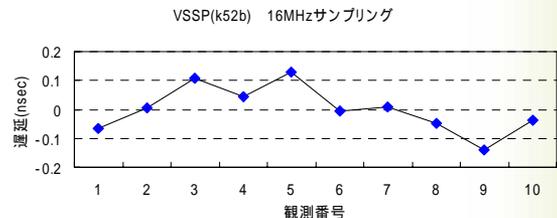


図5 VSSPのクロック再現性計測結果, 16MHz x 1ビット x 4chモード。

4. 終わりに

K5/VSSPとVSSP32間の遅延計測を実際のビデオ信号のサンプリングおよび相関処理により行った。その結果VSSP32で明らかとなっていた大きな遅延オフセットを確認した。更にこのオフセットを補償したVSSP32改修機では遅延オフセットが補償されていることを確認した。

クロックの再現性計測では、VSSP32では予測していた通りの離散的なクロックの飛びが認められたが、VSSPではクロックの飛びは認められなかった。この違いは内部でクロック信号を発生している回路構成の違いによる。今まで、VSSPにおいて、実際のクロック再現性計測を行っていなかったため確かなことが言えなかったのであるが、今回の計測により、VSSPに限って言えば観測中に10MHzケーブルが外れたとしても、再接続し時刻を再セットすることにより、時系の連続性を保つことができると言える。ただし、再時刻セットに使用する1PPSの連続性は保たれていなければならない。一方、VSSP32では、従来考えられていたように、10MHz信号の抜き差しは、クロックの飛びを生じるため、今までと同様に観測中はこうした操作は避けなければならない。