

令和 4 年度研究開発成果概要書

採 択 番 号 05301

研究開発課題名 高精度時刻同期に基づく超低遅延デジタルツイン処理基盤の研究開発

(1) 研究開発の目的

ネットワーク上の離れた複数地点に設置された原子時計間で、無線・有線により高精度なクロック周波数の同期を行う分散型時刻同期システムを構築する。分散型時刻同期システムを構成する各ノードは小型原子時計等からなる計時機能を備えており、自ノードと他ノードがそれぞれ保持する時計の間の時刻差を比較し、これらの時刻差情報を集約することで、最も確からしい時刻を推定し、各ノード間の時刻同期を行う。上記実現により、Beyond 5G における大容量通信や、自動運転・移動体制御や産業 IoT 応用等に資する超低遅延データ通信の基盤技術を確立する。これにより、サイバー空間とフィジカル空間が高度かつリアルタイムに連携する Society 5.0 に資する時空間デジタルツイン基盤を実現する。

(2) 研究開発期間

令和 4 年度から令和 7 年度 (4 年間)

(3) 受託者

日本電気株式会社<代表研究者>
株式会社スペクトラ

(4) 研究開発予算 (契約額)

令和 4 年度 250 百万円 ※百万円未満切り上げ

(5) 研究開発項目と担当

研究開発項目 1 有無線シームレス時刻同期基盤の研究開発

1-a) 有線/無線互換型時刻同期システムの研究開発 (日本電気株式会社)

1-b) 無線時刻同期プロトコルの研究開発 (日本電気株式会社)

研究開発項目 2 時刻・データ連携処理基盤の研究開発

2-a) 時刻に同期したデータ通信の研究開発 (日本電気株式会社)

2-b) 時刻・データ連携処理最適化プロトコルの研究開発 (株式会社スペクトラ)

(6) 特許出願、外部発表等

		累計 (件)	当該年度 (件)
特許出願	国内出願	0	0
	外国出願	0	0
外部発表等	研究論文	0	0
	その他研究発表	0	0
	標準化提案・採択	0	0
	プレスリリース・報道	0	0
	展示会	0	0
	受賞・表彰	0	0

(7) 具体的な実施内容と成果

研究開発項目1：有無線シームレス時刻同期基盤の研究開発

1-a) 有線/無線互換型時刻同期システムの研究開発

本項目における本年度の目標は、「有線ノードのハードウェア・ソフトウェア方式設計・基本設計を行い、時刻差計測/補正精度が、シミュレーション上、30 ps 以下であることを確認すること」である。この30 ps 以下の時刻差計測精度を実現するための方法として、D-DMTD (Digital Dual Mixer Time Difference)に着目した。D-DMTDでは、主尺クロックと副尺クロックの周期差の精度で時刻差計測が可能となるため、従来のシステムクロック周波数(125 MHz)の逆数である8 nsよりも高精度な時刻差計測が可能となる。本年度は、有無線シームレス時刻同期システムに組み込み可能なD-DMTD及び、有線ノードの基本設計を行った。例えば、主尺クロックを6.40000 ns (156.25 MHz)、副尺クロックを6.404942... ns(156.12943... MHz)とすることで、その周期差の4.94 psの精度で時刻差計測可能なD-DMTDのハードウェア・ソフトウェアの基本設計を完了した。そして、上記D-DMTDを搭載した有線ノードに対して、タイミングチャートを使ったシミュレーションを行い、時刻差計測の精度が30 ps以下であることを確認した。

1-b) 無線時刻同期プロトコルの研究開発

本項目における本年度の目標は、「無線ノードのハードウェア・ソフトウェア方式設計・基本設計を行い、時刻差計測/補正精度が、シミュレーション上、30 ps 以下であることを確認すること」である。ここで、有無線ノードでシームレスな時刻同期を実現するために、無線ノードのハードウェア設計は、有線ノードと同様とした。したがって、無線ノードにおける時刻差計測の精度は、有線ノードにおけるタイミングチャートを使ったシミュレーションと同様の議論から、30 ps以下である。さらに本年度は、来年度に計画していた、無線ノードに実装される無線時刻同期アルゴリズムに含まれるPDV (Packet Delay Variation) フィルタの詳細設計も行った。このPDVフィルタについて、オシロスコープを使用して原理検証実験を行い、無線ノード間で概ね500 nsの精度で時刻同期できることを確認した。また、この実験から、統計処理方法や学習時間を最適化することで、時刻同期精度の向上が期待されるという知見が得られた。

研究開発項目2：時刻・データ連携処理基盤の研究開発

2-a) 時刻に同期したデータ通信の研究開発

本項目における本年度の目標は、「時刻同期スイッチカードのハードウェア・ソフトウェア詳細設計・基本設計を行い、簡易評価で、伝送遅延が1 ms 以下であることを確認すること」である。本年度は、スイッチノード内の基本設計を完了させた。また、スイッチノード内の各機能ブロックにおける処理時間を積み上げることで、伝送遅延時間が最大71 μ s となることを算出した。その際、特に優先度フィルタとパケットバッファでの遅延時間が支配的となることを見出した。さらに、スイッチノード内には伝送遅延の異なるパスを複数用意し、各データに送信優先度情報を持たせ、高優先データの遅滞を抑制し送信できるようにした。また、今後の目標となるデモンストレーション実施に向け、各ノードに接続したLCDに、パケットの送受信時刻や伝送遅延時間を表示することとした。

2-b) 時刻・データ連携処理最適化プロトコルの研究開発

本項目における本年度の目標は、「ネットワークの同期性能を担保するプロトコルを構築する上で必要な情報の抽出と、これらをリアルタイムに取得、処理する手法の検討」である。本年度は、従来の高精度時刻同期プロトコルでネットワーク同期を行う際、同期性能の劣化につながる課題点を抽出し、それを改善しうる時刻補正機能の基本設計を完了した。時刻補正機能の改良の実装に必要な情報として各々の隣接ノード間の時刻差情報を収集し、これらの情報とその履歴から合成時刻を決定し、時刻補正に使うことを基本方針とした。更に、来年度に計画しているネットワークシミュレータを使った同期性能評価のための、シミュレータの選定を完了した。

(8) 今後の研究開発計画

研究開発項目1：有無線シームレス時刻同期基盤の研究開発

1-a) 有線/無線互換型時刻同期システムの研究開発

今後の計画としては、まず本年度作成した有線ノードの基本設計を元にして、有線ノードのハードウェア・ソフトウェア詳細設計・製造に取り組む。そして2023年度終了までに、有線ノードにおける時刻差計測/補正精度が、簡易評価で、30 ps 以下であることを確認する。その後、有線ノードのハードウェア・ソフトウェア単体評価・詳細評価(改良を含む)に取り組む。そして2024年度終了までに、有線ノードにおける時刻差計測/補正精度が、あらゆる条件下で、30 ps 以下であることを確認する。そして最終年度終了までに、本項目で開発した有線ノードと、他実施項目で開発した無線/スイッチノードおよび時刻生成アルゴリズムと統合した上で、有線ネットワークを介して隣接するノード間が30 ps 以下の精度で時刻同期していることを実証する。

1-b) 無線時刻同期プロトコルの研究開発

今後の計画としては、1-a)と同様に、2023年度中に、無線ノードのハードウェア・ソフトウェア詳細設計・製造を行い、時刻差計測/補正精度が、簡易評価で、30 ps 以下であることを確認する。そして2024年度中に、無線ノードのハードウェア・ソフトウェア単体評価・詳細評価(改良を含む)を行い、時刻差計測/補正精度が、あらゆる条件下で、30 ps 以下であることを確認する。それに加えて、上り・下りの無線パケット伝送遅延が非対称であることに起因する固定遅延差を数百 ns 以下に抑制できることを複数方式で確認する。そして最終年度中に、本項目で開発した無線ノードと、他実施項目で開発した有線/スイッチノードおよび時刻生成アルゴリズムと統合した上で、無線ネットワークを介して隣接するノード間が数百 ns 以下の精度で時刻同期していることを実証する。

研究開発項目2：時刻・データ連携処理基盤の研究開発

2-a) 時刻に同期したデータ通信の研究開発

2023年度中に、2022年度に設計を行ったスイッチノードの詳細設計及び製造を完了させる。また、製造したスイッチノードを用い、伝送遅延時間計測のための簡易実験を行い、伝送遅延が1 ms 以下であることを確認する。さらに2024年度以降、開発したスイッチノードと、他の研究開発項目で開発された有線/無線ノードを結合し、時刻同期基盤システム全体の検証を行う。

2-b) 時刻・データ連携処理最適化プロトコルの研究開発

2023年度中に、合成時刻に基づく時刻補正機能を組み込んだ、有無線通信で構成されたネットワークモデルを構築し、ネットワークシミュレータ上での同期性能の評価を完了する。2024年度以降、有無線通信で構成された試験用ネットワークを構築し、設計した時刻補正機能の検証を行う。各々のノードで生成した同期時刻に基づく時刻補正と、優先度制御されたデータ送信処理が、トポロジー変化が生じる有無線通信ネットワーク上で実現されることを確認する。