

令和 4 年度研究開発成果概要書

採 択 番 号 05901

研究開発課題名 単原子長ゲートによる低環境負荷物質から成る高出力 THz 増幅器の創出

(1) 研究開発の目的

低環境負荷物質から成る高出力 THz 帯増幅器を創出することを目指す。

(2) 研究開発期間

令和 4 年度から令和 6 年度 (3 年間)

(3) 受託者

国立大学法人東北大学<代表研究者>  
国立研究開発法人産業技術総合研究所  
国立大学法人東京大学  
国立大学法人筑波大学  
国立大学法人広島大学

(4) 研究開発予算 (契約額)

令和 4 年度 78 百万円

(5) 研究開発項目と担当

研究開発項目 1 : ゲート構造の試作に関する研究  
研究開発項目 2 : 二次元半導体成長に関する研究  
研究開発項目 3 : ソース/ドレイン電極の接触抵抗の制御  
研究開発項目 3-1 ダメージレス金属電極堆積手法の確立 (東京大学)  
研究開発項目 3-2 接触抵抗の評価と電極の最適化 (東京大学)  
研究開発項目 5 : 界面準位の研究  
研究開発項目 5-1 物理的計測による界面状態・端面状態の研究 (筑波大学)  
研究開発項目 5-2 電気的計測による界面準位の研究 (筑波大学)  
研究開発項目 6 : デバイス・モデリング  
研究開発項目 6-1) デバイス・モデル構築 (広島大学)  
研究開発項目 6-2) デバイス・モデルの実証 (広島大学)  
※研究開発項目 4 は、2022 年度には実施しない。

(6) 特許出願、外部発表等

		累計 (件)	当該年度 (件)
特許出願	国内出願	0	0
	外国出願	0	0
外部発表等	研究論文	2	2
	その他研究発表	30	30
	標準化提案・採択	9	9
	プレスリリース・報道	0	0
	展示会	0	0
	受賞・表彰	0	0

## (7) 具体的な実施内容と成果

### 研究開発項目 1：ゲート構造の試作に関する研究

本研究で試作するトランジスタのゲート構造を試作した。その結果、目標とするゲート構造を作成されたことを示すデータが得られた。

### 研究開発項目 2：二次元半導体成長に関する研究

2-1) シミュレーション環境整備を行い、ゲート長 10 nm 以下の基本デバイス構造における特性検討を開始した。

2-3) 各種高誘電率絶縁膜上への二次元半導体へのガスソース CVD 成膜を実施し、いずれの絶縁上でも  $WS_2$  の合成が可能であることがラマン分光測定により確認された。現在、更なる条件最適化を進めているところである。

### 研究開発項目 3：ソース/ドレイン電極の接触抵抗の制御

3-1)  $1 \text{ \AA/s}$  程度の低レートで Bi を堆積させることで、二次元半導体上に表面粗さ 0.3 nm 程度の原子レベルで平坦な電極の作製に成功した。さらに、Bi/Au 極薄 2 層系電極堆積を試み、実効仕事関数が制御することにも成功した。

### 研究開発項目 5：界面準位の研究

5-1) 界面準位密度を導出するためにキャパシタ面積 ( $MoS_2$  膜面積) を規定するため、および電極形成用のメタルマスクを作製した。また、放電電流測定システムを構築した。試作した FET 構造を用いて本手法における、電圧パルス幅、電圧値などの各測定パラメータを決定する予定である。

5-2) ESR を用いた欠陥評価ではバックグラウンドを低減するために低不純物濃度 Si 基板が必須である。本年度は低不純物濃度 Si ウェハの購入、準備を行った。

### 研究開発項目 6：デバイス・モデリング

6-1) 二次元半導体素子の電気的動作を仮想的に計算機上で模擬するための商用ソフトウェアを選定し、保有の計算機環境に導入し、稼働開始した。さらには、二次元半導体素子向けコンパクトモデルの起点となる、シリコン素子向け現有コンパクトモデルにおいて、二次元半導体素子と関連深い項目に焦点を当ててコード精査を進めた。

※予定していた特許出願が、関係者間の調整の遅れのため、年度内に間に合わなかった。但し、本研究源の一つとなった SiC 基板上でのモノリシック集積回路に関する「台湾出願」「PCT 出願」を行った。

※研究開発項目 4 は、2022 年度には実施しない。

## (8) 今後の研究開発計画

### 【2023 年度】

- ・研究開発項目 1 では、ゲート端の化学結合状態を顕微分光法により解明する。
- ・研究開発項目 2 では、高周波動作を見据えた定量的シミュレーションを実施し、基本デバイス構造における各種構造パラメータや材料が与える影響を明らかにする。また、グラフェン・ゲート電極/ゲート絶縁膜の最終素子構造への適用性を実証する。
- ・研究開発項目 3 では、ダメージレス金属電極堆積手法を確立する。その上で、4 端子デバイスを作製し、コンタクト特性評価を試みる。
- ・研究開発項目 5 では、物理的計測による界面状態・端面状態の研究に不可欠な、超高速時間分解能を導入し、更に、容量-電圧特性や電子スピン計測法による界面欠陥の定量を目指す。
- ・研究開発項目 6 では、前年度の知見に基づき、あるべきコンパクトモデルの構築を、HiSIM-SOTB をベースにして進める。適宜、デバイスシミュレーションや他グループからもたらされる実測的・理論的知見を踏まえる。

※2022 年度内までに身に合わなかった国内特許出願を、急ぎ行う。

### 【2024 年度】

- ・研究開発項目 2 では、基本デバイス構造に対して寄生成分と成り得る配線等の周囲環境も考

慮した性能予測と構造最適化を行い、最終目標を達成し得る素子構造を提示する。また、プロセス最適化を行い、目標高周波特性を達成する高品質なゲート絶縁膜形成を実証する。そして、成膜条件最適化を行い、目標高周波特性を達成する高品質な二次元半導体チャネルを実証する。

- 研究開発項目 3 では、コンタクト抵抗  $1 \text{ k}\Omega \cdot \mu\text{m}$  以下を実現する。
- 研究開発項目 5 では、物理的計測による二次元半導体の超高速応答の評価を行う。更には二次元半導体デバイスの界面欠陥密度測定の高感度化（検出限界  $10^{11}/\text{cm}^2$ ）検出を実現する。
- 研究開発項目 6 では、開発したモデルが、回路シミュレーションでの実行に堪えるものであることを実証する。実証過程にて明らかになったモデル上の弱点を是正する。また、電気特性（仮想・現実）に対するモデル特性合わせ込み事例を拡充する。回路シミュレーションの安定実行に資する数値的挙動を実証する。