

1. 研究課題・受託者・研究開発期間・研究開発予算

- ◆研究開発課題名 単原子長ゲートによる低環境負荷物質から成る高出力THz帯増幅器の創出
- ◆実施機関 国立大学法人東北大学、国立研究開発法人産業技術総合研究所、国立大学法人東京大学、国立大学法人筑波大学、国立大学法人広島大学
- ◆研究開発期間 令和4年度～令和6年度(3年間)
- ◆研究開発予算(契約額) 令和4年度78百万円

2. 研究開発の目標

本研究開発では、低環境負荷物質から成る二次元半導体トランジスタを、THz帯で動作させることを目指す。

項目1. ゲート構造に試作に関する研究

研究開発目標の達成に資する、新規なゲート構造を試作し、実現する。

項目2. 二次元半導体成長に関する研究

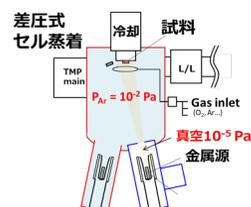
トランジスタの構成材料の配置構造とその構築プロセスをゲート絶縁膜と二次元半導体との界面特性、二次元半導体の品質・特性に着目し、目標達成を図る。

- 2-1 想定素子構造の検討
- 2-2 原子層堆積法によるゲート絶縁膜の成膜条件と膜特性の検討
- 2-3 ゲート絶縁膜上への二次元半導体の位置選択的三次元成長法の検討

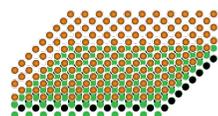
項目3. ソースドレイン電極接触抵抗の制御

二次元半導体上への新たな金属電極形成法を創出し、接触抵抗を制御

3-1 ダメージレス金属電極堆積手法の確立



原子レベルで平坦な電極-二次元半導体界面の形成



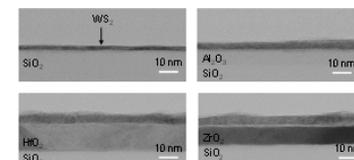
3. 研究開発の成果

本研究で試作するトランジスタのゲート構造を試作した。その結果、目標とするゲート構造を作成されたことを示すデータが得られた。

研究開発成果①：シミュレーション環境を整備し、特性検討を開始。

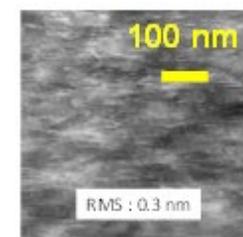
研究開発成果②：基板に顕著な変質を与えることなく、絶縁膜を設計通りの膜厚での成膜に成功。

研究開発成果③：様々なゲート絶縁膜候補 (Al_2O_3 、 Al_2O_3 、 ZrO_2)上へ二次元半導体 (WS_2 など)を大面積成膜することに成功(右図)。



研究開発成果①：1Å/sの低レート堆積を実現することで、 WSe_2 上への原子レベルで平坦なBi超薄膜形成(右図、表面粗さ(RMS):0.3 nmを実現。

研究開発成果②： WSe_2 上を完全にBiで覆った形で、Auを堆積することが可能となった。Biは低融点金属ゆえ熱的の安定性が問題となるが、Auを堆積し2層系の電極構造とすることで安定化を克服。研究開発成果③：Bi厚さを変化させ、Bi/Au2層系とすることで実効仕事関数の変調可能性をCV測定により検討中。



3. 研究開発の成果

研究開発目標

項目5. 界面準位の研究

界面欠陥の素性を明らかにし、トランジスタの高速スイッチング特性に及ぼす影響を抽出する。デバイスモデルに組み込む。

5-1 物理的計測による界面状態・端面状態の研究
超高速応答の評価

5-2 電気的計測による界面準位の研究
界面欠陥密度測定の高感度化

項目6. デバイス・モデリング

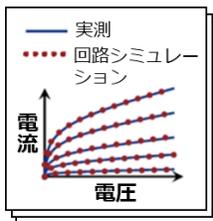
回路シミュレーションでの実行に堪えるモデルであることを実証する。

6-1 デバイス・モデルの構築

実証過程にて明らかとなったモデル上の弱点を是正する。

6-2 デバイス・モデルの実証

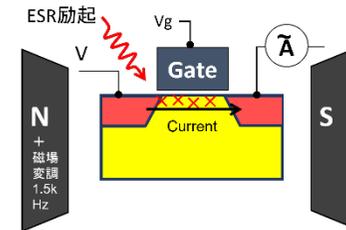
電気特性に対するモデル特性合わせこみ事例を拡充する。
回路シミュレーションの安定実効に資する数値的挙動を実証する。



研究開発成果①：界面準位の電気的評価手法の検討、および本手法の有効性評価用試作デバイスの準備

研究開発成果②：

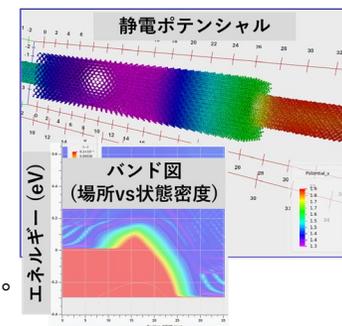
- ・電子スピン共鳴 (ESR) による欠陥評価に向けた高抵抗基板の準備
- ・走査型トンネル顕微鏡 (STM) を用いた二次元半導体材料の超高速応答評価系の構築



研究開発成果①：2次元半導体素子の電気的動作を仮想的に計算機上で模擬するための商用ソフトウェアを選定し、保有の計算機環境に導入、稼働開始した。

研究開発成果②：2次元半導体素子向けコンパクトモデルの起点となる、シリコン素子向け現有コンパクトモデルにおいて、2次元半導体素子と関連深い項目に焦点を当ててコード精査を進めた。

研究開発成果③：コンパクトモデル構築の起点と見立てている既存保有モデルの整備・改良を行い、6件標準化提案を行った。



研究開発成果

※項目4は、2022年度には実施しない。

4. 特許出願、論文発表等、及びトピックス

国内出願	外国出願	研究論文	その他研究発表	標準化提案・採択	プレスリリース 報道	展示会	受賞・表彰
0 (0)	0 (0)	2 (2)	30 (30)	9 (9)	0 (0)	0 (0)	0 (0)

※成果数は累計件数、()内は当該年度の件数です。

(1) 標準化提案

分担者である広島大学から、本研究開発に関連して、9件もの標準化に関する提案がなされた。提案内容は、極薄Si素子用コンパクト・モデル(HiSIM SOTB)を軸とするものであった。本研究開発における標準化戦略は、HiSIMの継続的改善提案を行いつつ、それを発展させた形で、将来的な二次元半導体コンパクトモデルの標準化に備えるというものである。本研究開発の開始と同時に行った、今回の標準化提案は、標準化戦略の実施に向けた大きな橋頭堡になったと言える。

(2) 関連する特許出願

本研究に関するデバイスに関する特許出願を、信越化学工業・NICT・東北大学とで出願草案を起稿した。残念ながら、各機関の調整に手間取り、2022年度中に出願には間に合わなかった。

ただし、本研究の成果としては挙げていないが、本研究に関連する特許の台湾出願ならびにPCT出願を、東北大学・信越化学工業・NICTと共同で行った。本特許は、GaN-HEMTおよびグラフェンのアンテナ・トランジスタのSiC上へのモノリシック集積化に関するものである。この特許と現在出願準備中の特許と戦略的に組み合わせて、例えばBeyond 5G用アナログFront End技術構築へ貢献していきたい。

(3) 基礎講座

Beyond 5Gの実現に向けては、研究開発そのものに加えて、人材育成も重要である。そこで、主に学生・若手研究者を対象として、2022年10月30日に応用物理学会関係の学協会ならびにNICTやIEEEの協賛を受けてBeyond 5G基礎講座「Beyond 5Gと表面物理の接点」を提案・企画・運営した。本基礎講座において、活発な質疑応答は今後のBeyond 5G研究の新たな方向性を打ち出すことができた。それだけでなく、複数の企業から問い合わせが来ていることから、本基礎講座の開催は産業界へも少なからず貢献できたと考えている。

5. 今後の研究開発計画

本年度は、契約書通りに研究計画を遂行できた。来年度以降も、計画通りに研究を進める。また、次の点に留意する；

- デバイス消費電力の予測：本研究で開発するトランジスタの複雑な動作機構を解明した上で、その消費電力を正確に予測できるようにして、既存のトランジスタ(例：InGaAs-HEMT)との性能比較を進めていきたい。
- モノリシック集積化：既存の特許と2023年に出願する特許を基盤としたアナログデバイス(トランジスタ、アンテナ、整合回路など)の集積化を、産業界からの協力を仰ぎつつ検討を進めていきたい。将来的に、資金が充当されれば、本課題で開発されるコンパクトモデルを活用した回路設計や試作まで行いたい。