

採 択 番 号 07201
研究開発課題名 Beyond 5G 基地局アレーアンテナ向けオールデジタルトランスミッタ回路技術の
研究開発

(1) 研究開発の目的

Beyond 5G の通信トラフィックは 5G の 10 倍から 100 倍になると見られており、5G からのさらなる高速・大容量化が求められている。一方、通信トラフィックが増大することで、それらを収容するための通信インフラの消費電力の増大も解決すべき重要な課題となっている。そのため、Beyond 5G の通信インフラでは、無線基地局のフロントエンド部の消費電力を大幅に削減する革新技術が求められる。ここで、フロントエンド部とは、アンプ、DAC/ADC、周波数変換器、PLL などを含んだ回路を意味する。

Beyond 5G の超高速・大容量化には、周波数利用効率を向上させる技術が必要となる。5G では、無線基地局にアレーアンテナを搭載し、ビームフォーミングを適用する技術が標準仕様となり、商用装置への適用が進んでいる。Sub6 周波数では、Massive MIMO と呼ばれるデジタルビームフォーミングが用いられ、TRX 数が 32 または 64 の Massive MIMO 基地局が製品化されている。Beyond 5G では、周波数利用効率をさらに向上させるため、TRX 数が 256～1024 程度の大規模アレーアンテナを搭載した基地局の実現が必要になる。このような大規模アレーアンテナ（大規模 Massive MIMO）では、フロントエンド回路の数が増大することに加え、周波数帯域幅が増大する傾向にある 5G/Beyond 5G では、フロントエンド部の中で DAC/ADC の消費電力が非常に大きくなるため、その実現は困難なものとなっている。したがって、フロントエンド部の大幅な消費電力削減は、大規模アレーアンテナの実現に不可欠であり、周波数利用効率の向上に寄与する重要な技術と言える。

本研究開発では、フロントエンド部をデジタル化することで消費電力を大幅に削減する要素技術を開発し、その有効性について検証する。また、本研究開発では、無線基地局で消費電力が支配的となるトランスミッタ回路のデジタル化（デジタル TX）について検討を行う。デジタル TX は、送信信号を位相情報と振幅情報に分け、位相情報を ADPLL（All Digital PLL）によってアナログ位相信号に変換する。ADPLL で生成された位相信号は、送信パワーアンプ（PA）で増幅されるが、この時 PA は、振幅情報をもとにした DPC（Digital Power Controller）によって制御される。この方式では、PA の入力信号は定包絡線となるため、従来の PA のようにバックオフを設ける必要がなく、アンプ効率の向上が期待できる。また、ADPLL の消費電力は従来の高速 DAC の 1/5 程度と予想されることから、PA を除いたフロントエンド部において、消費電力の大幅な削減が期待できる。

本研究開発では、オールデジタルトランスミッタ回路の実現に向けたシーズ研究として、デジタル TX の基本アーキテクチャの検討と、DPC や ADPLL などの主要回路の設計とモデル化ならびにシミュレーションによるフィジビリティ検証を行う。これにより、デジタル TX 回路において最適なパラメータを決定するとともに、消費電力削減量の見積りを行う。また、デジタル TX を Beyond 5G の大規模 Massive MIMO 基地局に適用した場合の基地局性能の見積りを行い、Beyond 5G におけるデジタル TX の最適なユースケースについて分析する。これにより、Beyond 5G に向けた革新技術として期待されるオールデジタルトランスミッタ回路の実現性と有効性を明らかにする。

(2) 研究開発期間

令和 4 年度から令和 6 年度（3 年間）

(3) 受託者

富士通株式会社<代表研究者>

(4) 研究開発予算（契約額）

令和4年度の総額 17 百万円

※百万円未満切り上げ

(5) 研究開発項目と担当

研究開発項目 1 オールデジタルトランスミッタ回路技術の研究開発

1-a) デジタル TX 回路の基本アーキテクチャ検討（富士通）

1-b) デジタル TX 回路のモデル化とシミュレーション検証（富士通）

(6) 特許出願、外部発表等

		累計（件）	当該年度（件）
特許出願	国内出願	0	0
	外国出願	0	0
外部発表等	研究論文	0	0
	その他研究発表	0	0
	標準化提案・採択	0	0
	プレスリリース・報道	0	0
	展示会	0	0
	受賞・表彰	0	0

(7) 具体的な実施内容と成果

研究開発項目 1：オールデジタルトランスミッタ回路技術の研究開発

1-a) デジタル TX 回路の基本アーキテクチャ検討（富士通）

トランスミッタ回路の消費電力を従来構成に対して8割低減するために、All-Digital 方式による送信構成の初期検討を実施した。その結果、下記3つの知見を得るとともに、今後具体的な構成を検討していくためのシミュレータテストベンチを作成した。

1. 変調波信号を位相と振幅に分離し、位相部は ADPLL によって、また振幅部は Digital 型パワーアンプ(DPA)によって構成するアーキテクチャを提案した。
2. ADPLL に関して文献などの既存報告結果を位相雑音と消費電力の観点でまとめた結果、位相変調部を 10mW 以下の消費電力で、256QAM などの多値変調に要する位相雑音 (110dBc/Hz) 以下が、汎用 Si-CMOS プロセスで得られる見込みを得た。
3. DPA の構成要素となる PA 部を半導体テクノロジーごとに分類した結果、Sub6 帯、もしくはそれに準じる高マイクロ波帯(6~10GHz)では GaN デバイスが有望であるとの見通しを得た。

ここまでの知見をもとに、今後ビヘイビアモデルベースでデジタル TX 構成をシステムシミュレーション検証していくためのツールを選定した。これにより、ADPLL および DPA ブロックについて、5G-NR 環境に基づき雑音や遅延等を取り込んだビヘイビアモデルを作成することが可能となった。

1-b) デジタル TX 回路のモデル化とシミュレーション検証（富士通）

この項目は、来年度以降実施予定

(8) 今後の研究開発計画

2023年度は、2022年度に開発したテストベンチを用いて、ADPLLとDPAを実現するための半導体テクノロジー選択に向けた検討を下記2点によって進める。

1. 候補となる半導体プロセスを使用したトランジスタ回路のシミュレーションモデルを用いて仮想ブロックを構成する。
2. 位相・振幅変換部の一部ブロックに対して、ツールを用いた送信機の性能検討を実施する。

2024年度は、前年度に検証したシステムブロックをさらに進展させて、実現性を想定した実装・組立技術を検討する。ADPLLやDPAをデジタルTXブロックとして実現するために、異種デバイス集積を想定した実装技術を検討する。具体的にはSi-CMOSで実現した位相・振幅比較部と、化合物半導体(GaN等)によるDPAをつなぐ構成を想定し、異なる半導体を組み合わせる協調シミュレーションを実施し、デジタルTXの性能を見積もる。