

# 「ユニバーサルリンク技術の研究開発」の開発成果について

## 1. 本研究の目標

複数の100ギガビット級信号(ハイビジョン映画2時間相当分を1秒で転送可能なデータ量)を、約1000km級(直線距離で東京から福岡程度)の範囲内のLAN内/LAN間で、自由に転送が可能となる電気信号基盤処理技術を2012年度までに確立する。

## 2. 本研究の背景

国内のブロードバンド契約者数は約3000万加入(2008年9月現在)となり、世界トップのブロードバンド環境を実現している。今後の持続的なブロードバンドの普及、発展には、LAN/WAN分野において、10Gbit/sを超える40/100Gイーサネット信号を代表する大容量信号をシームレスにネットワークに收容し、光ネットワークを介してに高品質に長距離伝送することが必須となる。

## 3. 研究開発の概要と期待される効果

本研究の概要は、以下に示す課題ア・イから構成される100GbE信号転送にかかわる電気信号処理技術の確立である。本分野において、日本としての積極的な国際標準化への貢献し、基盤技術開発を先行的着手ことにより市場の立ち上がりにより同期したタイムリーなプロダクト化を進め、日本の国際競争力強化を図る。

### 課題ア：LAN向け100GbE対応パラレルリンク技術

- インターネット・データセンタ内の伝送を10-100倍に高速化し、電力を1/10に低減する100ギガビットイーサネット向け回路技術
- 毎秒25ギガビットの光信号を4つ多重して一本の光ファイバに伝送(最大40km)
- イーサネットの国際標準をリード

### 課題イ：WAN向け100GbE信号トランスポート

- 長距離ネットワーク内の伝送を10倍に高速化し、高信頼に伝送する100ギガビット光ネットワーク向け回路技術
- 1波長あたり毎秒100ギガビットの光信号を複数多重して、一本の光ファイバで大容量伝送(最大1000km)
- 光ネットワークの国際標準をリード

インターネット  
データセンタ

光ネットワーク

放送局

放送局

インターネット  
データセンタ

## 4. 研究開発の期間及び体制

- ・平成20年度～平成24年度(5年間)
- ・NICT委託研究(日本電信電話株式会社; 幹事会社、株式会社日立製作所、三菱電機株式会社、富士通株式会社、日本電気株式会社、エヌ・ティ・ティ・コミュニケーションズ株式会社)

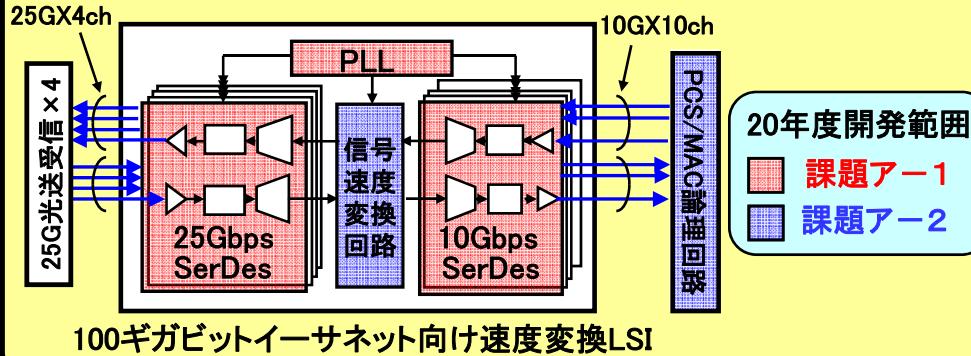
# ①LAN向け100GbE対応パラレルリンク技術の主な成果

## 課題ア-1 MAC・PCS間省電力・高速MLDインターフェースの開発

- ・25Gbpsと10Gbpsインターフェース向け要素回路

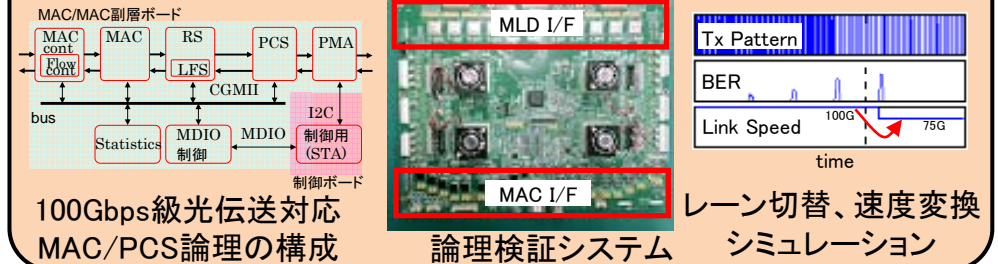
## 課題ア-2 MAC/PCS論理回路機能の開発

- ・10G/40G⇄100Gの速度変換、回線障害検出・復旧機能



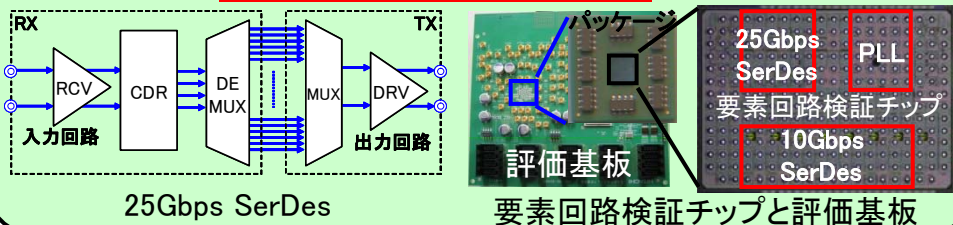
## C. MAC/PCS論理回路技術 (課題ア-2)

- 100GbE標準のMLD インターフェースは、100Gbps の構成と、40Gbps の構成が定められているが、両構成間の接続性に欠けることが課題。
- 本課題では、標準化規格品に付加価値を加える優位化技術として、MLD に対応しながらも、10GbE/40GbEから100GbEへの速度変換機構や、レーン障害検出・復旧機構を有した新しいMAC/PCSアーキテクチャを開発(左図、中図)し、レーン切替、速度変換方式のシミュレーションを実施(右図)。



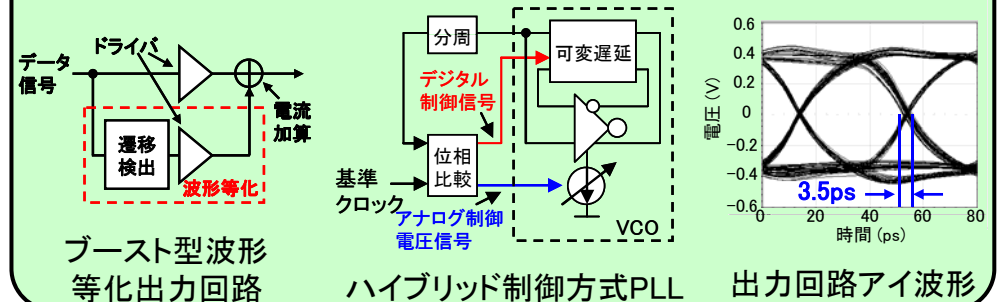
## A. 省電力・高速インターフェース技術 (課題ア-1)

- 100GbE対応MLDインターフェース技術の実現には、25Gbpsの高速動作と省電力を両立することが課題。
- 本研究開発では、MLDインターフェース回路の要素技術として、動作速度25Gbpsと10Gbpsの送受信回路(SerDes)(左図)と、原発振回路(PLL)を、65nm CMOSロジックプロセスを用いてチップ開発(右図)し、その動作を確認。
- CML回路のCMOS回路化、低電力回路方式(出力回路、PLL回路)の採用により、送受信器全体で10mW/Gbps/chの省電力性能を確認。



## B. 高品質信号伝送技術 (課題ア-1)

- 25Gbpsの高速伝送を実現するには、高品質な信号伝送が必須であり、そのため出力回路信号の低ジッタ化が課題。
- 本研究開発では、低ジッタ化技術として、ブースト型波形等化出力回路(左図)と、ハイブリッド制御方式PLL回路(中図)を開発。
- 上記回路技術により、送信器出力端でのジッタピーク値4ps以下を確認(右図)。

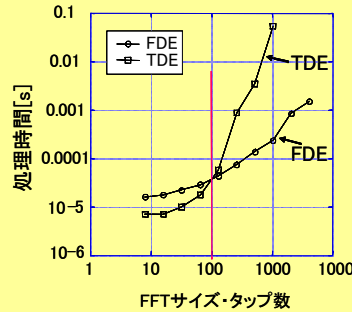


## ②WAN向け100GbE信号トランスポート対応デジタル信号波形歪補償技術の主な成果

### 課題イ-1 リアルタイムデジタル信号処理アルゴリズム

#### 課題イ-1-1 直交周波数多重分離信号処理アルゴリズム開発 (日本電信電話株式会社)

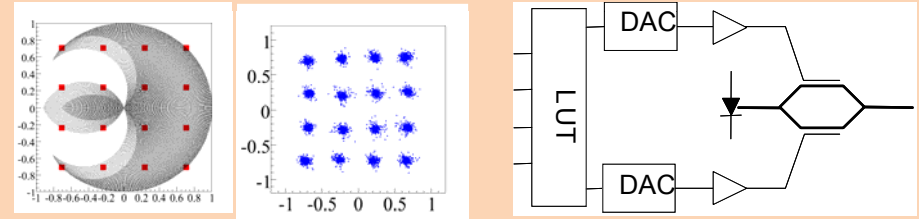
- 111Gbps-2サブキャリアOFDM方式のDSPアルゴリズムとして、オフライン処理におけるサブキャリア分離アルゴリズム技術を確立した。
- 上記方式のOSNR耐力が、シングルキャリアPDM-QPSK信号のOSNR耐力とほぼ同等であることを実験的に確認した。
- 波形歪補償アルゴリズムに関して、時間領域と周波数領域で等化技術を検討し、等化量が大きな領域で後者が優位であることを明確化した。
- ITU-T勧告G.709にて、100GbE信号のトランスペアレント伝送可能なOTU4ビットレートの合意を獲得した。勧告G.696.1にて100Gコードを追加することを合意した。



種別	ビットレート	トレランス
OTU1	2.666057Gbps	±20 ppm
OTU2	10.709225Gbps	±20 ppm
OTU3	43.018,413Gbps	±20 ppm
OTU4	111.809,973Gbps	±20 ppm

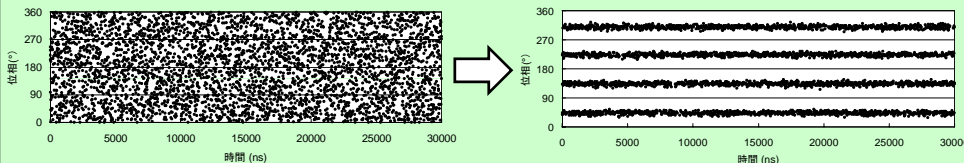
#### 課題イ-1-2 送信端デジタル信号処理アルゴリズム開発 (三菱電機株式会社)

- 受信端で歪みのない等化波形を得るプリディストーション回路について、計算機シミュレーションによる送信端デジタル信号処理の回路モデル化を実施、回路構成を明らかにした。(図: 16QAM実験結果とブロック図)
- FPGA評価ツールによる高速I/O評価を行い、10Gb/s程度のスループットで回路検証を行うことが可能である目処を得た。
- DACの回路実現性・回路見極めのため、半導体設計ツールによる、高速DACパラメータ抽出実施。



#### 課題イ-1-3 高安定デジタルコヒーレント検波偏波制御信号処理アルゴリズム開発 (富士通株式会社)

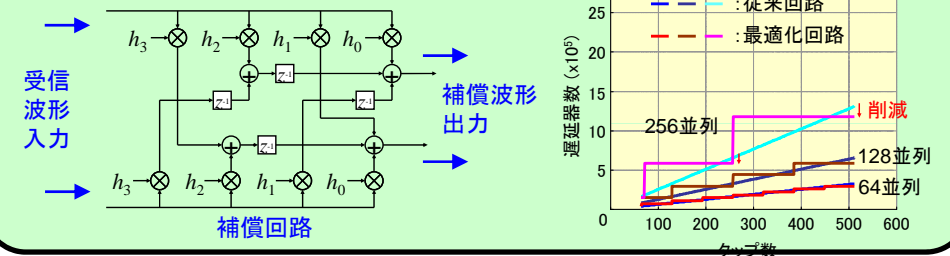
- 搬送波位相推定方式として、フィードバック型・フィードフォワード型の比較を行った結果、性能・回路実現性の観点から後者を選定した。
- 高安定周波数誤差補償方式として、周波数誤差推定範囲が広い(従来比4倍)新方式を提案した。
- 上記方式を、実回路への実装を意識して開発した数値シミュレーションモデルに実装し、想定される光源性能に対して十分な性能を実現できる見込みを得た。



搬送波位相推定処理による4値位相変調信号の復元結果例

#### 課題イ-1-4 受信端デジタル信号処理アルゴリズム開発 (日本電気株式会社)

- 100Gbps伝送の候補となる各種変調方式に対して、補償分散量10,000ps/nmを実現する時間領域等化FIRフィルタの所要規模を明確化
- FIRフィルタ構成における並列化方式の最適化(下図左)により、回路必要リソースを約15%削減できる可能性があることを確認した(下図右)。
- 受信分散補償のダイナミックレンジ拡張のための分散量変更アルゴリズムを提案。特定の分散ステップにて送受信の補償比率を変えることにより、係数変動を小さく抑えられることを明確化。



※エヌ・ティ・ティ・コミュニケーションズ株式会社はH22年度から参画

## 1. これまで得られた成果(特許出願や論文発表等)

	特許出願	論文	研究発表	報道発表	標準化提案
日立	2	収録論文1	外国発表予稿1 一般口頭発表4	0	0
NTT	1	収録論文1 学術解説等2	一般口頭発表2	0	1
三菱電機	3	学術解説等1	外国発表予稿1 一般口頭発表3	0	0
富士通	1	学術解説等1	外交発表予稿3 一般口頭発表1	0	0
NEC	0 (出願手続中3)	0	0	0	0

## 2. 研究成果発表会等の開催について

- (1) インターネットアーキテクチャ研究会にてユニバーサルリンク技術の研究計画概要を発表。
- (2) OPTRONICS特集号(2009年1月号)にて、光通信分野におけるデジタル信号処理技術に関する特集を企画・編集・発表
- (3) IEEE Journal of Lightwave Technologies 特集号 J-LT special issue on “Trends in signal processing for lightwave transmission”を企画・編集し、本分野における日本の先導性をアピール。