

## 成果概要書

### ユニバーサルリンク技術の研究開発

#### (1) 研究の目的

LAN 内又は LAN からの 100Gbps イーサネット信号 (100GbE) を伝送する省電力パラレルインタフェース (25Gbps×4) 用信号変換電気信号処理技術、ならびに、WAN において 100GbE 信号を光ネットワーク (OTN: Optical Transport Network) を介して長距離伝送するためのシリアルインタフェース用デジタル信号波形歪補償技術 (光ファイバ SMF 換算 1000km 以上の波長分散 (0-20000ps/nm) 及び、偏波モード分散 0-50ps をダイナミックに補償) を開発し、100GbE 信号を LAN から WAN までシームレスに伝送するための電気信号処理基盤技術を確立する。

#### (2) 研究期間 (全期間)

平成 20 年度から平成 23 年度 (4 年間)

#### (3) 委託先企業

日本電信電話 (株) <幹事>、(株) 日立製作所、三菱電機 (株)、富士通 (株)、日本電気 (株)、NTT コミュニケーションズ (株)

#### (4) 研究予算 (百万円)

平成 20 年度	300 (契約金額)
平成 21 年度	480 ( " )
平成 22 年度	265 ( " )
平成 23 年度	249 ( " )

## (5) 研究開発課題と担当

課題ア：LAN 向け 100GbE 対応パラレルリンク技術

(株式会社日立製作所)

ア-1 MAC・PCS 間省電力・高速 MLD インタフェースの開発

ア-2 論理回路機能の開発

ア-3 送受信器機能の試作評価検証

課題イ：WAN 向け 100GbE 信号トランスポート対応デジタル信号波形歪補償処理技術

イ-1 リアルタイムデジタル信号処理アルゴリズム

イ-1-1 直交周波数多重分離信号処理アルゴリズム開発

(日本電信電話株式会社)

イ-1-2 送信端デジタル信号処理アルゴリズム開発

(三菱電機株式会社)

イ-1-3 高安定デジタルコヒーレント検波偏波制御信号処理アルゴリズム開発

(富士通株式会社)

イ-1-4 受信端デジタル信号処理アルゴリズム開発

(日本電気株式会社)

イ-2 アルゴリズム実証のための回路試作と評価検証

イ-2-1 直交周波数多重分離信号処理回路試作と機能実証およびリアルタイム信号処理評価技術

(日本電信電話株式会社)

イ-2-2 送信端デジタル信号処理回路試作と機能実証

(三菱電機株式会社)

イ-2-3 高安定デジタルコヒーレント検波偏波制御信号処理回路試作と機能実証

(富士通株式会社)

イ-2-4 受信端デジタル信号処理回路試作と機能実証

(日本電気株式会社)

イ-2-5 フィールド運用・評価技術

(NTTコミュニケーションズ株式会社)

課題ウ：研究テーマ全体管理

(日本電信電話株式会社)

## (6) これまでの主な研究成果

特許出願：国内出願	27件	外国出願	16件		
外部発表：研究論文	32件	その他研究発表	53件		
報道発表	2件	展示会	3件	標準化提案	4件

### 具体的な成果

#### 課題ア：LAN 向け 100GbE 対応パラレルリンク技術

(株式会社日立製作所)

##### ア-1 MAC・PCS 間省電力・高速 MLD インタフェースの開発

- ・MLD インタフェース回路の要素技術として、動作速度 25Gbps と 10Gbps の送受信回路 (SerDes) と、原発振回路 (PLL) を、65nm CMOS ロジックプロセスを用いてチップ試作し、その基本動作を確認した。
- ・差動 CML 回路の CMOS 化や低電力回路方式 (出力回路、PLL 回路等) の採用により、単位チャンネル・単位伝送速度あたりの消費電力を入出力回路部で 3mW/Gbps/ch、送受信器全体で 10mW/Gbps/ch を実現できる見込みを得た。
- ・低ジッタ化技術として、ブースト型波形等化出力回路と、ハイブリッド制御方式 PLL 回路を開発し、送信器出力端のジッタピーク値 4ps 未満を達成する見込みを得た。

##### ア-2 論理回路機能の開発

- ・100GbE の PCS 標準機能として、25Gbps×4 レーンと 10Gbps×10 レーンとの間の信号速度変換、100GbE 向け符号/復号化処理、マルチレーン間スキュー調整方式の仕様を検討し、RTL 論理記述および FPGA での動作検証を実施した。
- ・100GbE の MAC 標準機能として、100GbE 信号フレーム処理、エラーチェックやレーン障害検出方式の仕様を検討し、RTL 論理記述および FPGA での動作検証を実施した。
- ・100GbE の標準外の機能として、レーン切替、速度変換方式の仕様を検討し、シミュレーションモデル上で動作確認を行った。

##### ア-3 送受信器機能の試作評価検証

- ・課題ア-1 の 2 つのインタフェース回路 (25Gbps×4ch、10Gbps×10ch) と課題ア-2 の論理回路のうち PCS 信号速度変換回路を集積搭載した MLD インタフェース対応速度変換 LSI の回路及び論理設計を実施し、LSI を試作してその動作を確認した。
- ・100GbE の拡張機能 (フレーミング、100GbE/40GbE/10GbE 速度変換、回線障害検出・復旧機能、及び符号/復号化処理、スキュー調整機能) に関し、回線障害検出機能は上記速度変換 LSI の論理回路として、RTL 論理記述、回路実装を実施し、実機検証を完了した。

## 課題イ：WAN 向け 100GbE 信号トランスポート対応デジタル信号波形歪補償処理技術

### イ-1 リアルタイムデジタル信号処理アルゴリズム

#### イ-1-1 直交周波数多重分離信号処理アルゴリズム開発

(日本電信電話株式会社)

- ・変調復調、多重分離では 111Gbps の 2 サブキャリア OFDM-PDM-QPSK 方式の検討を行い、受信部におけるサブキャリア分離アルゴリズム技術を確立し、OSNR 耐力測定により、本方式が長距離伝送可能な変調方式の候補であることを示した。
- ・波形歪補償アルゴリズムにて等化量が大きな領域で周波数領域等化アルゴリズムが優位であることを明確化した。また、デジタル信号処理により非線形光学効果 (SPM) により劣化した信号の受信特性が向上できることを実験的に示した。
- ・標準化関連では ITU-T 勧告 G. 709 (OTN インタフェース) において、100GbE 信号のトランスペアレント伝送が実現できるオーバクロック伝送速度にて OTU4 のビットレート (111.8Gbps) を標準化することを合意し、勧告 G. 709 に反映させた。また、勧告 G. 696.1 (ドメイン内 DWDM アプリケーション) にて 100G アプリケーションコードを追加することを合意した。

#### イ-1-2 送信端デジタル信号処理アルゴリズム開発

(三菱電機株式会社)

- ・送信端補償技術が周波数領域での補償にも活用できることを示し、アルゴリズム仕様の適用範囲を明確化した。
- ・DP-QPSK 変調のベースとなる QPSK 変調方式に対して、DDMZM の適用検討および低速での機能実証を行い、RZ 化を視野に入れた送信構成と制御アルゴリズムに関わる仕様の明確化した。
- ・課題イ-2-2 の送信端デジタル信号処理の機能設計と連携した検討によりアルゴリズム仕様の策定した。

#### イ-1-3 高安定デジタルコヒーレント検波偏波制御信号処理アルゴリズム開発

(富士通株式会社)

- ・高速偏波変動追従性を実現するための設計上のキーパラメータとして並列展開数、モニタ回路搭載率、遅延を特定した。これらのパラメータについて、50ps の一次偏波モード分散補償と 20kHz 以上の高速偏波変動追従性を実現するため条件を明らかにした上で、回路として実現可能なアルゴリズム仕様を決定した。
- ・1Gbps リアルタイム動作にて、搬送波位相推定アルゴリズム、周波数誤差補償アルゴリズムの検証を行い、正常動作することを確認した。

## イ-1-4 受信端デジタル信号処理アルゴリズム開発

(日本電気株式会社)

- ・歪補償の基本方式である時間領域等化技術と周波数領域等化技術の適用要件をまとめ、時間領域等化技術を詳細検討した。
- ・各種変調方式に対して総波長分散補償量 10,000ps/nm 以上の達成に必要な FIR フィルタの所要特性を明確化した。
- ・時間領域等化技術の回路実装により 100Gbps の高スループットを実現するのに必要な回路要件を導出した。
- ・分散変動に対応可能な補償分散量変更アルゴリズムを提案した。
- ・ダイナミックな適応等化に適した周波数領域技術の適用に対して総波長分散補償量 10,000ps/nm 以上を実現するための各種パラメータを抽出した。
- ・周波数領域等化技術において、周波数領域歪補償回路の詳細アルゴリズムを策定。回路規模に影響を与えるオーバーラップ追加・除去処理を最小化する設計手法を確立。システムシミュレーションにより具体的な量を明らかにした。
- ・分散変動情報を周波数領域等化で用いる周波数軸情報から抽出する方式を提案した。

## イ-2 アルゴリズム実証のための回路試作と評価検証

### イ-2-1 直交周波数多重分離信号処理回路試作と機能実証およびリアルタイム信号処理評価技術

(日本電信電話株式会社)

- ・送信部に伝送路推定用信号を挿入し、受信部にて周波数領域信号処理を施すことにより伝送路分散を推定する技術を確立し、アルゴリズム機能の設計を完了した。
- ・ビットレート 111.8Gbps (サンプリングレート 55.9Gb/s、ボーレート 28Gbaud) の偏波多重 QPSK 信号を前提に、192symbols の伝送路推定用信号を用いて、SMF1,000kmn までの伝送路に対し約 200ps/nm 以下の精度で分散推定が可能であることをシミュレーションにより示した。また、フィールド評価装置を試作し動作検証を行った。

### イ-2-2 送信端デジタル信号処理回路試作と機能実証

(三菱電機株式会社)

- ・機能設計に関して、課題イ-1-2 のアルゴリズム仕様に応じた機能部を想定し、回路規模の観点にも留意したデジタル処理機能部設計を完了した。
- ・半導体 TEG による 6bit D/A 変換回路の部分試作を実施し、その評価によって 50GS/s 級動作に対する半導体プロセス、回路規模、設計パラメータを明確化した。

### イ-2-3 高安定デジタルコヒーレント検波偏波制御信号処理回路試作と機能実証

(富士通株式会社)

- ・課題イ-1-3 のアルゴリズム仕様を基に 10Gbps 以上のスループットでリアルタイム動作可能な信号処理回路の機能モデルを作成し、機能設計を完了した。
- ・スループット 10Gbps 以上のリアルタイム信号処理評価系の基本設計を完了した。

### イ-2-4 受信端デジタル信号処理回路試作と機能実証

(日本電気株式会社)

- ・試作回路の全体アーキテクチャを選定した。
- ・周波数領域等化技術を実現する回路の各種パラメータを選定した。
- ・周波数領域等化技術を実現する基本回路ブロックを汎用 FPGA への実装を想定した回路の基本設計を完了した。
- ・動作速度 10Gbps 以上でのリアルタイム回路検証、とくに周波数領域等化回路を実装するための FPGA ボード製造を完了した。

### イ-2-5 フィールド運用・評価技術

(NTTコミュニケーションズ株式会社)

- ・H22 年度から実施のため、記載事項なし。

### 課題ウ：研究テーマ全体管理

(日本電信電話株式会社)

- ・全体の研究開発方針について、プロジェクト間連携会議 (1 回)、企画調整会議 (5 回)、個別打合せ、電子メールを通じて、情報共有し、適切に管理した。

### (7) 研究開発イメージ図

別紙参照