

# 平成23年度「究極立体映像用超高密度・超多画素表示デバイスの研究開発」の研究開発目標・成果と今後の研究計画

## 1. 実施機関・研究開発期間・研究開発費

- ◆実施機関 株式会社JVCケンウッド(単独)
- ◆研究開発期間 平成23年度から平成25年度(3年間)
- ◆研究開発費 総額678百万円(平成23年度 240百万円)

## 2. 研究開発の目標

- 電子ホログラフィ方式は、光の波面そのものを再現でき、自然な奥行き知覚が可能な究極の立体提示方式であるが、実用的な視域角と再生像サイズの実現には、空間光変調デバイスの画素密度、画素数が大幅に不足しており、超高密度・超多画素表示デバイスの実現が課題である。本研究開発は、反射型液晶表示デバイス技術をベースに、超高密度画素と超多画素を実現する上での課題を解決するための研究開発を行い、将来の電子ホログラフィ研究用に広く利用可能な**世界最高レベルの表示デバイスを実現**することを目標とする。最終年度(平成25年度)には、**画素ピッチ4μm未満、総画素数1億2千万画素以上**の超高密度、超多画素表示デバイスを製作し、電子ホログラフィ研究用に提供する。

## 3. 研究開発の成果

### 究極立体映像用超高密度・超多画素表示デバイスの研究開発

#### 研究開発目標

電子ホログラフィ方式の課題である**視域角と再生像サイズ拡大**に対し、反射型液晶表示デバイスの画素密度化、多画素化技術の研究開発を行う。研究成果による超高密度・超多画素表示デバイスを研究用に提供し、電子ホログラフィ技術の進展に貢献する。

#### 超高密度・多画素デバイス技術の開発

- 画素構造・駆動方式開発
- 半導体プロセス開発
- 液晶材料・配向技術開発

#### 超多画素表示システム開発

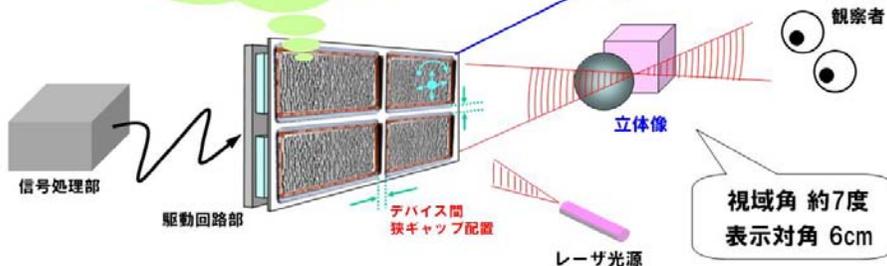
- 超項画素数デバイスの駆動方式・回路開発
- アライメント制御技術開発

#### 超高密度空間光変調デバイス

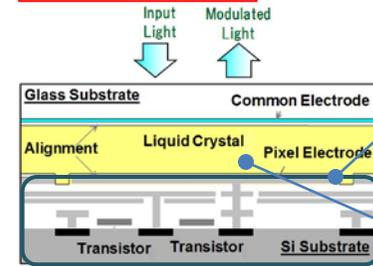
- 画素ピッチ 3.5 μm
- 画素数 3300万画素以上
- フレームレート 60fps

#### 超多画素表示システム

- 単体画素数3300万画素のデバイス×4並列配置で1億3200万画素の超多画素デバイスを構成



#### 研究開発成果



反射型液晶表示デバイス(LCOS)

LCOS方式による超高密度画素・超多画素化実現のための要素技術

#### ■半導体駆動基板(バックプレーン)の要素技術

- 低電圧動作の画素方式でトランジスタ、設計ルールを微細化。
- 低リーク電流プロセスと高耐光性構造の開発
- 超高画素数デバイス実現の課題である大容量・高レート駆動信号に対応したインターフェイス方式、ドライブ方式

#### ■画素の超高密度化に対応した液晶要素技術

- 微細過疎に対応可能な低駆動電圧液晶材料の開発
- 微細画素で良好な空間変調応答特性を得るための液晶ギャップ条件出し、配向条件の開発

#### 【H23年度実施内容と成果概要】

##### 1. 超高密度画素LCOSバックプレーン方式開発

- ①LCOS画素微細化に対応する低電圧駆動方式を開発し、画素ピッチ3.5 μmのレイアウト詳細設計を行い、画素構造を確定。
- ②D/A変換内蔵型ドライバ、駆動信号の高速データ入力可能なデータI/F構成を開発。⇒①②の開発を反映した実駆動評価可能な検証用小規模デバイスのウェハを製作

##### 2. 超高密度画素対応液晶技術開発

- ①低駆動電圧の液晶材料を検討し、高Δn系材料を中心に実デバイス材料候補を選定。
- ②液晶の空間変調特性をシミュレーションと実測で評価し、適正ギャップ条件範囲を設定。

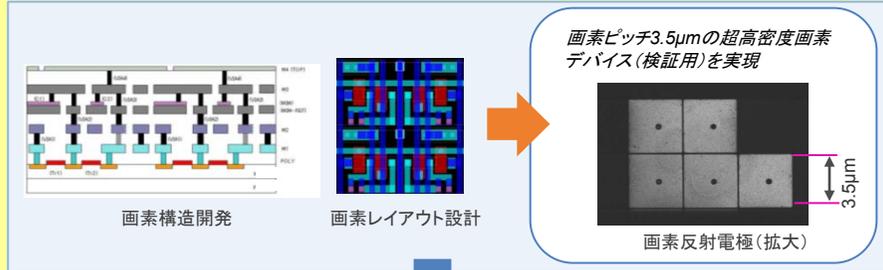
##### 3. 超多画素表示システムの要素開発

- ①新ドライブ方式、データI/F方式を採用した検証用デバイスの駆動・信号回路を開発
- ②複数デバイス配置のアライメント機構用の測定治具を開発、高精度の評価手段を構築。

# 究極立体映像用超高密度・超多画素表示デバイスの研究開発 主な成果

## 課題ア-1 超高密度・多画素LCOSバックプレーンの開発 ①

LCOS方式の画素高密度化の制約となっている画素回路動作電圧の低減を可能とする画素回路・駆動方式を提案し、**最終目標3.5 $\mu\text{m}$ 画素ピッチ**でのレイアウト、画素構造を適用した検証用小規模デバイス(画素数:885万画素)を開発した。

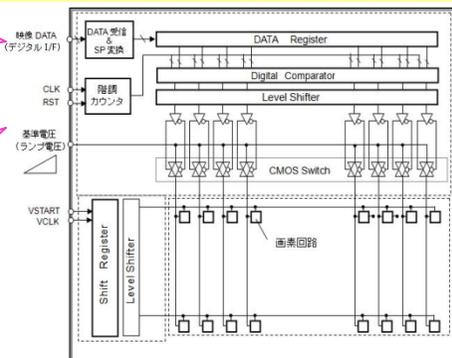


- ①低電圧動作対応の画素回路・駆動方式により、画素トランジスタサイズを小型化
- ②複数層MIM容量構造の採用により、信号保持特性、容量間信号転送効率を確保
- ③画素部に多重ウェル構造を適用、基板部の光キャリア吸収効果で耐久性を向上
- ④トランジスタのリーク電流評価を実施、常温でサブfAオーダーの低リーク特性を確認

## 課題ア-1 超高密度・多画素LCOSバックプレーンの開発 ②

超高画素数表示デバイス駆動の課題である映像信号の大容量化、駆動回路規模の大型化の課題に対し、D/A変換内蔵型ドライバの仕様設計、回路設計、レイアウト設計を完了し、方式検証用小規模デバイスの内蔵ドライバ構成に適用した。

- ①高速デジタルデータI/F回路  
SSTL(DDR2)規格で駆動用FPGAとの直接インターフェイスに対応。
- ②カラム比較型D/A変換方式  
超多画素デバイスに要求される高速変換レートD/A変換方式と回路を開発

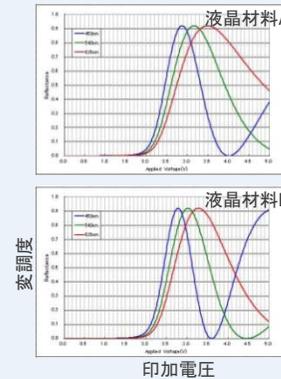


①②を適用したドライバ方式を開発、検証用小規模デバイス(885万画素)ドライバ設計に適用し、12Gbpsの高データレート駆動に対応。

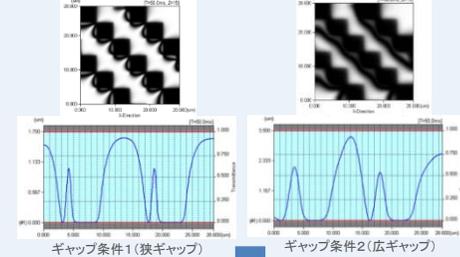
## 課題ア-2 超高密度画素対応 液晶技術の開発

超高密度画素実現の課題である液晶変調電圧の低電圧化、微小画素ピッチでの空間変調特性の向上を目的として、液晶材料候補、セルギャップ条件を検討。液晶材料候補を選定(複数)するとともに、適正ギャップ条件範囲を策定した。

### ①低駆動電圧液晶材料の検討



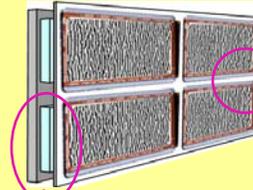
### ②液晶空間変調特性(ギャップ依存性)



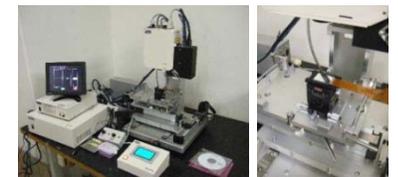
空間変調特性については狭ギャップ条件が有利。液晶ギャップ2 $\mu\text{m}$  高 $\Delta n$ 材料にて変調電圧レンジ3.5V以下実現の見通しを得た。

## 課題ア-3 デバイス並列配置による超高画素表示システム開発

最終年度目標の複数デバイス並列配置による超多画素化・大面積化の要素技術であるデバイス間アライメント機構開発について、アライメント機構精度の定量測定を可能とするための測定治具を開発した。



- ①複数配置デバイス間アライメント測定治具を製作し、制御精度の定量評価手段を構築



### ②小型実装対応駆動回路開発

新ドライバ方式を適用した検証用小規模デバイスの駆動、信号処理回路設計と基板製作を実施。設計回路などのリソースは、最終目標画素数デバイスの駆動部の開発に活用可能。

測定項目	変位(XYZ),チルト( $\chi$ $\psi$ ),回転( $\theta$ )
方式	レーザ光源 1次回折光検出方式
測定分解能1	変位(X-Y) 0.5 $\mu\text{m}$ 変位(Z) 5 $\mu\text{m}$
測定分解能2	チルト( $\chi$ $\psi$ ) 15秒 回転( $\theta$ ) 3分
可動ステージ	1 $\mu\text{m}/\text{step}$ , ストローク100mm

4. これまで得られた成果(特許出願や論文発表等) ※成果数は累計件数と( )内の当該年度件数です。

	国内出願	外国出願	研究論文	その他研究発表	プレスリリース	展示会	標準化提案
究極立体映像用超高密度・超多画素表示デバイスの研究開発	0 (0)						

5. 研究成果発表会等の開催について

(1) 産学官連携のための運営会議の主催

特になし。

(2) 国際会議の開催

特になし。

6. 今後の研究開発計画

- (1) 超高密度・超多画素表示デバイスを実現するための要素技術として、バックプレーン部の画素回路およびドライバの方式開発を行い、これを適用した方式検証用テストデバイスを製作した。合わせて同デバイスの実駆動評価を可能とする駆動・信号処理回路の設計と基板製作を実施した。来年度は、本テストデバイスを活用し、方式および設計、駆動特性の評価検証と課題抽出を行っていく。検証結果は来年度に予定しているフルスペック画素数のデバイス開発のバックプレーン設計、画素構造とプロセス条件にフィードバックし、最終目標仕様のデバイス開発を効率的に展開する。
- (2) また、本年度実施の液晶材料候補の選定、およびギャップと空間応答特性の解析により得られた指針は、テストデバイスの液晶部工程条件に反映し、実際の表示デバイス駆動条件での評価検証を継続的に実施していく。次年度には、液晶材料、工程条件の最終的な絞込みを行う予定である。
- (3) デバイス並列配置による超多画素デバイス実現(最終年度)に向け、アライメント制御機構精度の測定装置を製作し、定量測定環境を構築した。本測定装置を活用し、次年度より詳細設計に着手するアライメント制御機構の方式決定、機構精度の評価を行う。開発については、NICTで展開中の電子ホログラフィ自主研究テーマとも緊密に連携、情報交換を図っていく予定である。