

# 平成25年度「革新的光通信インフラの研究開発」の研究開発目標・成果と今後の研究計画

## 1. 実施機関・研究開発期間・研究開発費

- ◆実施機関 株式会社KDDI研究所(代表研究者)、日本電気株式会社
- ◆研究開発期間 平成23年度から平成27年度(5年間)
- ◆研究開発費 総額243百万円(平成25年度 49百万円)

## 2. 研究開発の目標

ファイバ当りの伝送容量300Tb/s級、伝送距離500km以上の大容量伝送を実現するための要素技術を確認すると共に、さらなる長距離・大容量化に向けた、マルチコアファイバ、マルチコア増幅技術、マルチコア接続技術、および、各種伝送要素技術に対する要求条件を明確化する。本課題で開発された技術、および課題ア、イで開発された技術により、上記目標が達成可能であることを示唆する合同実証実験を、他の課題ウの採択課題とも調整して実施する。

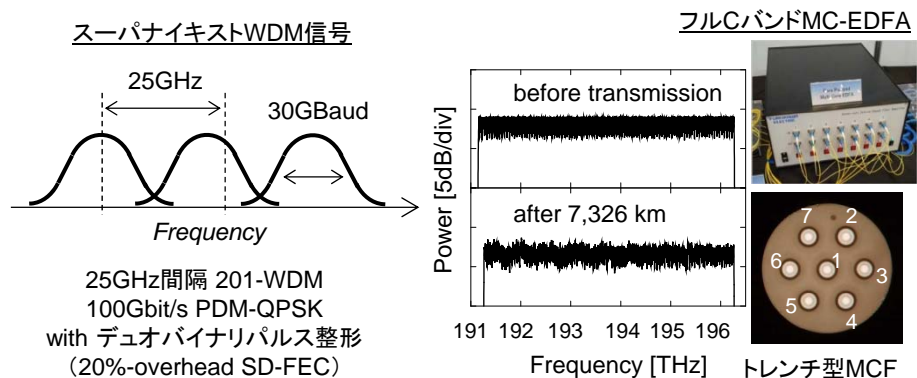
## 3. 研究開発の成果

### 課題ウ-1 個別コア伝送容量拡大技術(KDDI研究所)

目的: 高周波数利用効率を達成するために、変調方式や波形整形技術の検証を行い、マルチコアファイバ伝送路へ適用した場合の伝送特性を評価する。

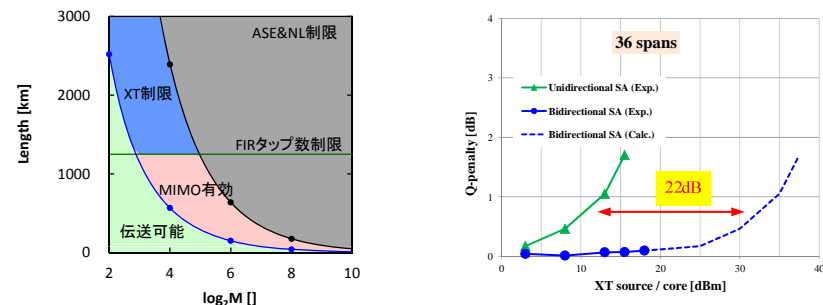
研究開発成果: 世界初の容量距離積1エクサビット/s × km伝送を達成

- PDM-QPSK信号をベースとしたスーパナイキストWDM信号(周波数利用効率4bit/s/Hz)と、トレンチ型7コアファイバとフルCバンド7コアEDFAにより構成されたマルチコアファイバ伝送路を用いて、古河電工と共同で長距離光伝送実験を実施。総容量140.7Tbit/sでの7,326km伝送に成功し、世界初となる1EXAbit/s × kmの容量距離積を達成。



### 課題ウ-2 マルチコア伝送における大容量伝送技術(NEC)

- コア間干渉起因劣化 把握,抑圧,補償技術
  - 「コア間干渉による信号品質劣化」および「それへの対応としてのMIMO補償技術の適用」まで考慮した、マルチコア光ファイバ伝送路における伝送距離限界の算出手法を開発し、性能限界の視覚化を行った。(下左図)
  - MIMO適用時の伝送距離限界の主要因となるコア間相対伝搬遅延への対策であるMIMOフィルタ拡張と周波数領域化、それを適用した際の過剰雑音発生緩和策として「時間領域での使用係数選択手法」を提案した。
- マルチコア光ファイバ伝送システム設計技術
  - コア間干渉起因劣化の低減技術としてH24年に提案した「隣接コア間逆方向割り当て」の有効性検証を目的に、評価伝送路として21力所/43kmの多段融着7コアMCFを作成し、伝送路損失増加時の同方式の効果に対する影響の解析、システム設計手法の開発を行った。偏波多重16QAM信号光を用いた長距離伝送実験を実施し、設計通りの有効性を確認した。(下右図)



コア間干渉劣化対策としてMIMO補償を適用した際の伝送距離限界

高損失,高コア間クロストーク伝送路における隣接コア間逆方向割り当ての有効性検証

4. これまで得られた成果(特許出願や論文発表等) ※成果数は累計件数と( )内の当該年度件数です。

	国内出願	外国出願	研究論文	その他研究発表	プレスリリース	展示会	標準化提案
革新的光通信インフラに関する研究開発	11 (4)	5 (4)	6 (4)	60 (31)	2 (1)	7 (4)	0 (0)

5. 研究成果発表会等の開催について

(1)産学官連携のための〇〇〇〇運営会議を毎年主催し、All Japanの取り組みを牽引

特になし

(2)国際〇〇〇〇会議を開催(共催:IPA、AIST)

特になし

6. 今後の研究開発計画

◆課題ウ-1 個別コア伝送容量拡大技術:

H25年度の評価結果を踏まえ、単一コアで周波数利用効率~8bit/s/Hz、700km以上の高QAM光信号伝送の実現可能性について検討を行う。さらに、マルチコアEDFAの高度化、マルチコアファイバのコア数拡大について検討を行い、システムの観点からビット単価・電力の低減の可能性について明らかにする。また、これまでのシステムとの比較を行い、優位性等の議論を通してマルチコア大容量長距離伝送システムの骨子を明確化する。

◆課題ウ-2 マルチコア伝送における大容量伝送技術:

超高密度大容量伝送とコア間クロストークマネジメントの両立を狙って平成25年度に開発を行った、16のコアを持つ新しいマルチコア光ファイバについて、そのコア間干渉起因劣化対策技術の有効性検証、最終ターゲット(2x200Tbps-700km伝送)に対する過不足の明確化、伝送路の各要素デバイスへの仕様反映と改良、試作を行う。更なる高密度空間多重に必要となる、MIMO技術をベースとしたコア間干渉起因劣化対策技術について、コア間相対遅延への耐力向上と回路リソース低減を実現する技術開発を行う。