

採 択 番 号 : 18901

課 題 名 : 光トランスポート NW における用途・性能に適應した通信処理合成技術の研究開発

副 題 : 再構成可能 100G 超級インタフェース・パケットオプティカルノード構成技術の研究開発

(1) 研究開発の目的

通信トラフィックの継続的な増大傾向により、現在 100G ビット/秒のリンクシステムの商用化が進展しており、最近では 400G Ethernet の標準化も IEEE において進捗している。このように、今後も堅調な通信トラフィックの伸びが予測され、通信サービスの大容量化が進むと考えられる。

一方、通信サービスの多様化も益々進展している。例えば、企業向けの通信サービスでは、低遅延・低パケットロス率を実現する高品質 Ethernet 伝送サービスが普及している一方で、メールや Web を中心に発展してきたベストエフォート型インターネット接続サービスが、固定系からスマートフォンの普及を原動力に移動系にまで広くコンシューマ(個人)・法人問わず幅広いユーザで利用されている。さらには、移動系ネットワークの 5G 化に伴い、通信サービスの大容量化と多様化がさらに進展するものと考えられる。

このような状況を鑑みると、通信サービスの大容量化と多様化の両者の進展に対応することが必要であり、従来のようにサービス毎に通信設備を設けるとネットワーク構築コスト及び維持コストが、ますます増大することが課題である。このため、再構成可能インタフェース技術により、同一の通信ハードウェアで、大容量でさまざまなサービスに対応しつつ、通信設備コスト及び通信設備の維持管理コストの増大をも抑制できる、光トランスポートネットワークにおける用途・性能に適應した通信処理合成技術の開発が必須となる。

本研究プロジェクトでは、システムベンダ、通信事業者、大学の 3 者がそれぞれの強みを持ちより、再構成可能インタフェース技術の研究開発を行い、10 倍を超える性能(一つの設備で提供する機能ごとの性能の和)の実現可能性と提供性能及びサービスを柔軟に変更可能なことを示す。

(2) 研究開発期間

平成 28 年度から平成 31 年度 (4 年間)

(3) 実施機関

アラクサラネットワークス株式会社<代表研究者>  
日本電信電話株式会社  
学校法人慶應義塾

(4) 研究開発予算(契約額)

総額 600 百万円(平成 29 年度 150 百万円)  
※百万円未満切り上げ

(5) 研究開発項目と担当

研究開発項目 A: 通信方式を再構成可能なハードウェア技術の研究開発  
研究開発項目 A-1 B100G 級通信方式を再構成可能なハードウェア技術の研究開発(アラクサラネットワークス株式会社)  
研究開発項目 Y: 再構成可能ハードウェアの監視技術の研究開発

(29-2)

- 研究開発項目イ-1 B100G 級再構成可能ハードウェア監視技術の研究開発  
(日本電信電話株式会社)
- 研究開発項目イ-2 B100G 級再構成可能ハードウェアリソース制御技術  
の研究 (学校法人慶應義塾)

(6) 特許出願、論文発表等

		累計 (件)	当該年度 (件)
特許出願	国内出願	6	3
	外国出願	1	1
外部発表	研究論文	0	0
	その他研究発表	19	13
	プレスリリース・報道	1	1
	展示会	9	6
	標準化提案	0	0

(7) 具体的な実施内容と成果

- 研究開発項目ア：通信方式を再構成可能なハードウェア技術の研究開発  
研究開発項目ア-1 B100G 級通信方式を再構成可能なハードウェア技術の研究開発 (アラクスネットワークス株式会社)

【目標】

100Gビット/秒～200Gビット/秒の性能を柔軟に変更可能とするボードの試作を行い、IP、MPLS、Ethernet の各種プロトコルパケットに柔軟に対応可能なハードウェアを実機動作確認することで、最終年度までに現状 (100G ビット/秒) と比較して 10 倍を超える転送性能 (一つの設備で提供する機能ごとの性能の和) が実現可能な見通しを得る。

【実施内容】

H28 年度に方式検討、設計、シミュレーションを行った検索振分けエンジン FPGA を用いて、100G ビット/秒を処理可能な転送エンジン LSI×2 個と、検索エンジン LSI×1 とを結合した、100G ビット/秒～200G ビット/秒の性能を変更可能にするボードの再構成可能通信処理モジュール (ボード) の試作を行った。

本試作ボードを用いて、200G ビット/秒のトラフィックを測定器から注入し、ノードを通過するトラフィック量を観測することで、現状 (100G ビット/秒) と比較して 2 倍の転送性能の性能が実現できていることを確認した。

また、同様の測定構成にて、検索振分けエンジン FPGA の回路イメージの書換えと、検索エンジン LSI のテーブル内容の書換えとの連携によるハードウェア再構成を実施することで、IP、MPLS、広域イーサネットである EoE (Ethernet over Ethernet) の 3 種プロトコルを処理可能であることを確認した。

【成果】

試作ボードにて再構成を行うことで、現状 (100G ビット/秒) と比較して、転送性能が 2 倍、1 つの設備で提供する機能が 3 倍となり、6 倍の性能和が実現可能なことを実機にて確認した。その結果、本方式を拡張して、転送性能を 400G ビット/秒とすることで、10 倍を超える性能和が実現可能な見通しを得た。

- 研究開発項目イ：再構成可能ハードウェアの監視技術の研究開発  
研究開発項目イ-1 B100G 級再構成可能ハードウェア監視技術の研究開発 (日本電信電話株式会社)

【目標】

B100G 級のハードウェア監視技術として、中間帯域リンクの状態監視を実現する監視バイト挿抜技術の動作検証を完了させ、基本機能に係る技術確認を完了する。また、B100G 級の領域

で再構成可能な B100G 級超高速リンク監視技術の実現見通しを得る。

【実施内容】

昨年度の基本設計の結果に基づき、Flex Ethernet (FlexE) ベースの中間帯域リンクの状態監視回路を作成、FPGA 評価ボードに実装し、イーサネット信号を流した環境下において実機動作確認を実施した。また、中長距離伝送も含めた E2E での中間帯域リンクの状態監視を強化する方式の基本検討を実施した。

【成果】

25G ビット/秒粒度での中間帯域リンクの生成・状態監視が可能であることを実機にて確認した。また、中間帯域リンクを B100G 級 OTN フレームへ収容し、E2E での中間帯域リンクの状態監視を強化する方式を考案した。

研究開発項目イ-2 B100G 級再構成可能ハードウェアリソース制御技術の研究（学校法人慶應義塾）

【目標】

B100G 級のサービス提供性能を柔軟に変更可能とするプログラマブル光エッジノードのアーキテクチャと 100 万加入者を収容可能なサービス網実現のためのアダプテーション及びアドレッシング手法の設計を完了する。また、複数ノードに跨ったサービス処理機能実現方式の部分設計を完了させ、6T ビット/秒クラスのリソースプール連携実現の見通しを得る。

【実施内容】

平成28年度に作成した再構成可能ハードウェアシミュレーション環境上に、通信処理モジュールシミュレータ、サービス処理モジュールシミュレータを作成し、アラクサラネットワークス製再構成可能サービス処理モジュールプロトタイプ及び、共通スイッチモジュールエミュレータ（10GbE スイッチ）と組み合わせて、マルチサービスシステムシミュレータを動作させた。モジュール間接続の IPv6 に基づいたアドレッシング手法の検討、複数ノードのシームレス接続手法の検討、サービスチェーンを提供するためのリソース割当アルゴリズムの検討を行った。

【成果】

市販 PC サーバー、市販 10GE 対応 L3 スイッチ、アラクサラネットワークス製 AX8608R ルータ搭載再構成可能サービスモジュールプロトタイプを組み合わせた再構成可能ハードウェアシミュレータを構築した。PC サーバー上の仮想マシンに Click モジュラールータを利用した再構成可能通信処理モジュールシミュレータ、再構成可能サービス処理モジュールシミュレータを動作させ、モジュール間通信を IP カプセリングで実現し、複数ノードに跨ったマルチサービスシステムシミュレータの動作を確認し、静的設計において6T ビット/秒クラスのリソースプール連携の可能性を示した。

IPv6 によるリソースに対するロケータと ID(モジュール種別、機能)割当設計を確定させた。また、サービス用仮想網をリソースに割り当てを、仮想空間上で動的最適化するための「ゆらぎ制御」を用いた準最適化アルゴリズムの適用性を示した。