

平成13年度 研究開発成果報告書

「携帯通信機器用低電力メモリ：ダイレクトトンネルメモリの研究開発」

目 次

- 1 研究開発課題の背景
- 2 研究開発分野の現状
- 3 研究開発の全体計画
 - 3-1 研究開発課題の概要
 - 3-2 研究開発目標
 - 3-2-1 最終目標
 - 3-2-2 中間目標
 - 3-3 研究開発の年度別計画
 - 3-4 研究開発体制
- 4 研究開発の概要（平成13年度）
 - 4-1 研究開発実施計画
 - 4-1-1 研究開発の計画内容
 - 4-1-2 研究開発課題実施計画
 - 4-2 研究開発の実施内容
- 5 研究開発実施状況（平成13年度）
 - 5-1 チップレベルのアーキテクチャ設計
 - 5-1-1 序論
 - 5-1-2 研究結果
 - 5-1-3 まとめ
 - 5-2 メモリセル単体設計試作
 - 5-2-1 序論
 - 5-2-2 研究結果
 - 5-2-3 まとめ
 - 5-3 総括

1 研究開発課題の背景

本研究では、ダイレクトトンネリング機構を利用した次世代 G-bit 低電力メモリの製造、設計およびアーキテクチャ技術を開発する。本次世代メモリでは、従来型の DRAM では形成が困難になりつつあるキャパシタを必要としない。さらに、リフレッシュ間隔を従来の DRAM より 4 桁以上長くすることができるため、待機時電力を 1/10000 以下に低減できる。また、このメモリは通常のロジック LSI プロセスラインで製造が可能であるため、良好な生産性が期待できるとともに、量産通信機器への迅速な搭載が可能である。

ネットワークを中心とするこれからの IT 社会では、情報データ量が増大するだけでなく、いつでもどこでもアクセスできる携帯性が通信機器に求められている。一方、DRAM に代表される従来の大容量メモリでは、データの有無に関係なく電力を消費しており、このことが通信機器の活用範囲を大幅に狭めている。このため、多量のデータを保持できる低消費電力で大容量のメモリが切望されており、IT 時代のキーデバイスとして各所で研究が進められている。このような状況から、本試験研究では、待機時の消費電力が従来の DRAM の 1/10000 以下の次世代 G-bit RAM を開発し、快適なネットワークコンピューティングを実現することを目的とする。

2 研究開発分野の現状

次世代を担うメモリとして幾つかの候補があり、基礎研究が行われているが、本提案のメモリは十分に競争力がある。その生産は、既存のロジックLSIの生産設備で可能なので、メモリチップの動作実証を行えば、各社一斉に行うことが出来る。ロジックプロセスのみで作るのであるから、ロジック混載の容易さは他の新規メモリの追随を許さない。この点は、携帯通信機器では特に重要となる。

他の新規メモリ開発としては、日立ケンブリッジで研究開発された Phase-state Low Electron-number Drive Memory (PLEDM) があげられる。(参考資料：ISSCC2000 p.132.) PLEDM ではキャパシタをトランジスタに置き換え、二つのトランジスタを基板に対して垂直方向に集積している。このメモリも DRAM のキャパシタが無く、DRAM に比べセルを小さく出来るという利点がある。トンネル電流を利用しているが、我々のダイレクトトンネルメモリでの利用の仕方と形成方法はかなり異なる。二つのうちの上部トランジスタにおいて、ポリシリコン中に 3 枚の窒化膜を挟み込んで、そこに電流を流すようになっている。ダイレクトトンネルメモリでは、トンネル絶縁膜として酸化膜を用いる。そして、その酸化膜を通常のトランジスタと同様にシリコン基板上に形成するので、信頼性や均一性に優れている。また、本メモリではセルあたり一つのトランジスタを用いる。トンネル電流もそのトランジスタ自身の浮遊ゲートに電荷を蓄積するために利用するので、素子構造が単純で小さく、設計が容易である。既に、我々はセルの試作と基礎実験も進めており、研究実績がある。

3 研究開発の全体計画

3-1 研究開発課題の概要

ダイレクトトンネルメモリの特色を簡単に述べる。本メモリは、Flash メモリと同様に浮遊ゲートを用いたメモリである。従ってメモリセルあたり一つのトランジスタで記憶が出来、DRAM 等に比べ高集積化に向く。但し、Flash メモリのような厚

い絶縁膜ではなくロジックトランジスタ用の薄膜を用いるので、ダイレクトトンネル現象が起こる。このトンネル電流を積極的に利用してメモリ素子の高速・低電圧動作・高耐久性を実現することが出来る。また、保持特性を向上させるため従来の浮遊ゲートメモリに無い様々な工夫を行うが、全て一般のロジックトランジスタで用いるプロセス技術を使用する。つまり、専門化されたロジック製造技術を先端のメモリ技術に取り入れたのがダイレクトトンネルメモリである。

当社では既に本メモリのセル基本動作の実証は行っている。これからは、最終的なチップ動作にむけて総合的な研究開発を行う必要がある。

開発目標を達成するための研究内容は、大きく以下の4つに分けることが出来る。

- ア. チップレベルのアーキテクチャ設計
- イ. メモリセル単体設計試作
- ウ. 回路設計
- エ. チップ試作

以下では、上記の各項目ごとに開発スケジュールもふくめて説明を行う。

ア. チップレベルのアーキテクチャ設計

ダイレクトトンネルメモリセルは従来の DRAM と異なり、セルの設計によって動作特性を大きく変化させることが出来る。例えば、酸化膜厚を変えることにより、書込み時間と保持時間を何桁も変更できる。この柔軟性は大きな特色である。

メモリセルの柔軟性を生かしながらメモリチップの性能を最大にするには、チップレベルのアーキテクチャも既存の DRAM から大胆に設計を変更していく必要がある。チップレベルのアーキテクチャとは、I/O を通して入力されたデータの処理の仕方や、セルアレイの制御方法等である。高速性を達成するためには、内部キャッシュの採用まで検討する必要がある。それが可能になるのもロジックとの親和性が良いからである。

研究開発では、ダイレクトトンネルメモリセルに適した独自のアーキテクチャを設計し、逆にアーキテクチャからの要請でセルの動作特性を変更することもありえる。従って研究のスタートから、アーキテクチャの設計を理論計算やシミュレーションにより開始し、セル試作にフィードバックをかける体制を整えておく必要がある。(13年度終わりから14年度前半)

イ. メモリセル単体設計試作

アーキテクチャ設計とともに、この項目も開発当初からスタートする。

セルの基本設計は明らかになっているが、実用化に向けて更に詳細な研究を行い、性能の向上を図る必要がある。特に、保持時間と書き込み時間の比をあげることと低電圧化を更に進める事が重要である。基本的には現試作段階のメモリセルでも実用化に十分な基本特性を示しているが、更なる特性向上でアーキテクチャ設計の自由度が高まるからである。(13年度終わりから14年度前半)

基本性能を高めつつ段階的に、セル間の特性ばらつきの解析や改善、セルアレイレベルでの信頼性試験の実施等、統計的な試験に重点をシフトさせていく。(14年度後半から15年度前半)

ウ. 回路設計

次に、具体的な周辺回路の設計を開始する。

まず、ワード線ドライバやビット線センスアンプの設計が重要となる。この部分の周辺回路はセルアレイ特性に深く関連するので、メモリセル単体試作評価の結果を検討して早めにスタートする。

15年度からは、既にアーキテクチャの仕様が固まっているので、それまでに検討した結果を基にアレイブロックに入出力するデータのコントローラーの設計やI/O関連の設計を具体的に行う。これらは、通常のロジック回路の開発である。(但し、その際に行うシミュレーションの結果によっては、この期間のアーキテクチャの修正もありうる。)

当社では、それぞれの分野の専門家がおおり、技術的な問題が起きた時点で協力が出来るグループを作ることが出来る。従って、ハードとソフトの同時開発というリスクの高い研究開発を推進することは十分に可能である。

エ. チップ試作

次に、アーキテクチャとセル特性の仕様が固まり、回路設計がある程度すすんだ時点で(15年度後半を予定)、チップ試作に取り掛かる。

試作は、1次試作と2次試作に分ける。1次試作では、プロセスのリスクを低くするために余裕を持ったルールでチップを試作し動作実証を目指す。(用途によっては十分に実用になるメモリを試作する。)

2次試作は、高集積化を意識した試作を目指す。メモリセルの大きさは $6F^2$ で行う予定である。但し、一部セルアレイ試作を進め、セルフアライン技術を多用して、 $4F^2$ のプロセス技術を開発する。これは、将来他のメモリ技術に対して十分なアドバンテージを保つためである。

以上で、研究終了時に DRAM に対して性能面やセルサイズの優位性を全て実証する予定である。

3-2 研究開発目標

3-2-1 最終目標

新しい動作原理に基づくメモリセルを用い1Gbit ランダムアクセスメモリの検証試作を行う。メモリ転送速度は10Gbps、大規模で高速であるにもかかわらず待機時消費電力は $1\mu W$ 以下を具体的な達成目標とする。しかも、これほど消費電力が低ければ、電源を切ってもバックアップバッテリーで長期間記憶を保持できる。また、セルサイズが $4F^2$ の微細セルの基本技術を立ち上げる。これにより更なる高集積化が約束される。

現在、携帯機器では大きなDRAM(或いはSRAM)とFlashメモリを内蔵しているが、新型メモリはこの二つのメモリを1chipで置き換え可能である。

3-2-2 中間目標

メモリセルの設計(構造の最適化)、試作、評価を終了する。更に、チップレベルでのアーキテクチャ基本設計とセルアレイの周辺回路設計を終了する。これらの結果を基にシミュレーションしてメモリチップの諸特性を予測する。ここで後半の計画の見直しを行う。

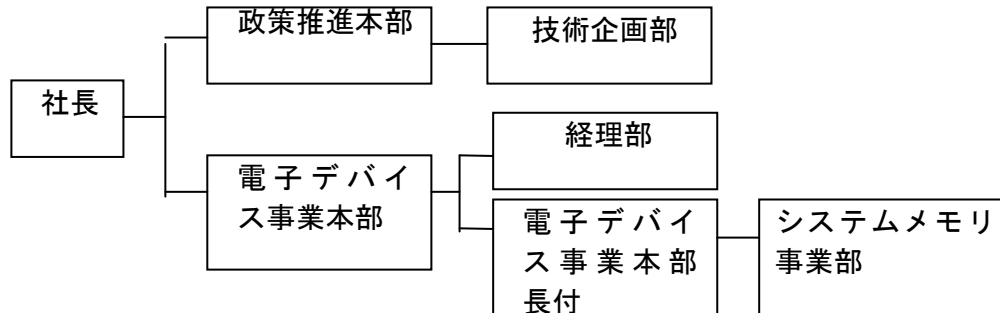
3-3 研究開発の年度別計画

(金額は非公表)

研究開発項目	13年度	14年度	15年度	16年度	17年度	計	備考
「携帯通信機器用低電力メモリ：ダイレクトトンネルメモリの研究開発」							
ア：チップレベルのアーキテクチャ設計		→					
イ：メモリセル単体設計試作		→					
ウ：回路設計			→				
エ：メモリチップ試作				→			
間接経費		→	→	→			
合計							

- 注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%で計上(消費税を含む)。
 2 備考欄に再委託先機関名を記載

3-4 研究開発体制



4 研究開発の概要（平成13年度）

4-1 研究開発実施計画

4-1-1 研究開発の計画内容

本研究で開発する次世代メモリは、電子のダイレクトトンネリング機構を利用している。このため、メモリセルの作製技術だけでなく、十分な動作マージンを得るための新しい設計技術、高速化・大容量化・低消費電力化を実現するためのアーキテクチャ技術が新たに必要となる。この広範な技術開発目標を達成するため、先ほども述べたように開発は大きく以下の4つに分けて行う。（「3-1 研究開発課題の概要」を参照。）

- ア. チップレベルのアーキテクチャ設計
- イ. メモリセル単体設計試作
- ウ. 回路設計
- エ. チップ試作

開発期間は4年3ヶ月を計画している。平成13年度は開発計画初年度であり、平成14年1月16日から平成14年3月31日までの3ヶ月間、開発を実施した。研究内容は上記の4つの内、「ア. チップレベルのアーキテクチャ設計」と「イ. メモリセル単体設計試作」を開始した。

4-1-2 研究開発課題実施計画

(金額は非公表)

研究開発項目	第1四半期	第2四半期	第3四半期	第4四半期	計	備考
「携帯通信機器用低電力メモリ：ダイレクトトンネルメモリの研究開発」						
ア. チップレベルのアーキテクチャ設計				→		
イ. メモリセル単体設計試作				→		
間接経費						
合計						

- 注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%で計上(消費税を含む)。
 (合計の計は、「3-1の研究開発課題必要概算経費」の総額と一致)
- 2 備考欄に再委託先機関名を記載。

4-2 研究開発の実施内容

「ア. チップレベルのアーキテクチャ設計」について、メモリのアドレスの与え方及び書込み並列処理技術のDTMへの応用を具体的に検討した。DTMのセル特性を活かすマクロなレベルからの検討課題である。

一方で、セル内部のミクロな検討課題を「イ. メモリセル単体設計試作」の平成13年度の開発項目として実施した。

上記2項目については、次章で詳細を説明する。

5 研究開発実施状況（平成13年度）

5-1 チップレベルのアーキテクチャ設計

5-1-1 序論

ダイレクトトンネルメモリセルは従来のDRAMと異なり、セルの設計によって動作特性を大きく変化させることが出来る。例えば、酸化膜厚を変えることにより、書込み時間と保持時間を何桁も変更できる。この柔軟性は大きな特色である。

メモリセルの柔軟性を生かしながらメモリチップの性能を最大にするには、チップレベルのアーキテクチャも既存のDRAMから大胆に設計を変更していく必要がある。

今回、新しいアーキテクチャの一つとして、メモリのアドレスの与え方及び書込み並列処理を行う際のメモリバンク数に関する技術をDTMに応用する為の具体的検討を行った。以下にその結論をまとめる。

5-1-2 研究結果

DTMの今までのセル特性から、書込み時間を1~10 μ secにすればリフレッシュ間隔を10⁴~10⁵secにすることが出来、今までの大容量RAMでは出来なかった低消費電力化を図ることが可能になる。メモリチップの処理サイクルを100nsecとするならば、10~100倍の書込み並列処理を行う必要がある。つまり、100バンク程度にメモリを分割すればよい。

しかし、いくらバンクごとに分けて書込みの並列化を進めても、メモリをアクセスするアドレスが周期的であると、並列化が有効に働かなくなる。例えば、一つ飛ばしにバンクをアクセスすると、バンク数N_Bが2nのような偶数であった場合、半分のバンクが利用されなくなる。一般的には、N_Bが約数の多い数であった場合、周期的なアドレス列に対して並列化が脆弱になる。従って、N_Bは素数である方がよい。

また、通常のメモリのように外部から与えるアドレスA_{out}とチップ内部で与えるアドレスA_{in}が等しい場合、バンクに対応したアドレスを固定したアクセスを行うと、1つのバンクにアクセスが集中してしまう。しかもN_Bが素数ならば、A_{out} = A_{in}ではA_{out}が扱いづらくなる。従って、外部から与えるアドレスA_{out}をチップ内部で与えるアドレスA_{in}に次式を用いて変換する。

$$A_{in} = A_{out} + 1 + (A_{out} \div N_B) \quad (1)$$

ここで、演算子 \div は整数同士の割り算で、小数点以下を切り捨てる。この場合、A_{out}は連続した値となる。そして、N_Bやその倍数の周期でアクセスしない限り、特定のバンクにアクセスが集中することは無くなる。更に、次に述べる工夫を加えるとN_Bやその倍数の周期でアクセスしても特定のバンクにアクセスが集中しにくくなる。N_Bは素数がよいが、その中でも特に“Mersenne Prime”を利用すると新たな利点が生まれる。

Mersenne Primeは次のようにあらわすことが来る。

$$N_B = 2^p - 1, \quad (2)$$

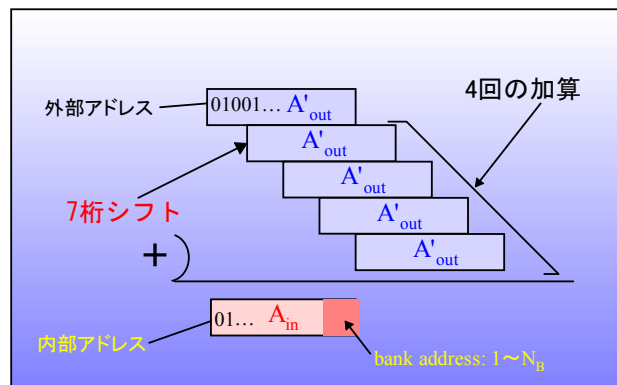
$$p = 2, 3, 5, 7, 13, 17, \dots$$

この素数は表式から分かるように二進法と相性が非常に良い。まず、外部アドレス A_{out} のビット数を L としたときに、最大の A_{out} は、

$$\max(A_{out}) = 2^L - 2^{L-p} - 1. \quad (3)$$

この数は上から p 番目の桁が 0 で他の桁は全て 1 である。つまり、一番上から $p-1$ 番目の桁までと $p+1$ 番目の桁から一番下の桁までのそれぞれの範囲内で、桁の順番を任意に入れ替えても最大値を超える事はない。この様な桁の入れ替えを行えば、外部アドレスが N_B やその倍数の周期でアクセスしても特定のバンクにアクセスが集中しにくくなる。式(1) ではアドレスを変換する際に割り算を行わなければならない。これは、I/O 部分の演算であるから出来る限り高速に行う必要がある。Mersenne Prime の場合、この計算も簡素化できる。DTM では、バンク数としてメルセンヌ素数 $127=2^7-1$ が適当である。このバンク数に対応した内部アドレスに変換する処理はアドレスが 27bit 必要だとしても、高々4回の加算で行うことが出来る。この計算の概略を図1に示す。

Address Converter の演算 ($N_B=127=2^7-1$ の場合)



A_{out} が一部の桁のみ変化しても
 A_{in} では広い範囲の桁が変化する。

アクセスの分散化

図1. 内部アドレスへの変換処理。Mersenne Prime ならば高速計算が可能。

この計算回路をクロックを用いない非同期ロジックでしかも並列処理を徹底すれば、かなりの高速化が期待出来る。また、完全にランダムな書込み処理を実現するには、書込み中のバンクに新たな書込み命令が入力されたときに命令を一時記憶させるバッファが必要となる。今回、それに関連する数値シミュレーションも開始した。14年度に詳細な検討を行う。

5-1-3 まとめ

DTM に適した独自のアーキテクチャ設計は、13年度の検討結果を更に具体化し、14年度前半に終了できるように計画を進める予定である。

5-2 メモリセル単体設計試作

5-2-1 序論

アーキテクチャ設計とともに、この項目も開発当初からスタートした。

この開発計画以前から試作を進めているセルの電氣的測定は一通り終了した。但し、プロセス条件や電氣的測定から、ゲート絶縁膜やコントロールゲート絶縁膜などの性質は間接的には分かるものの、更に詳細で直接的な観察が必要であった。そこで最後に、これら試料に関する透過型電子顕微鏡(TEM)によるデバイス断面形状の直接観察を行った。

5-2-2 研究結果

先ず、DTM セルトランジスタの構造について説明する。図2に示すのが断面構造である。チャンネル(基板)中央上部に浮遊ゲート(floating gate)があり、その両脇にセルフアラインプロセスで作製した制御ゲート(control gate)が配置されている。浮遊ゲートとチャンネルの間にダイレクトトンネルを起こす酸化膜がある。今回の試作セルではこの厚さが設計で 2.5nm である。また、浮遊ゲートと制御ゲートの間の酸化膜は 8nm の設計である。

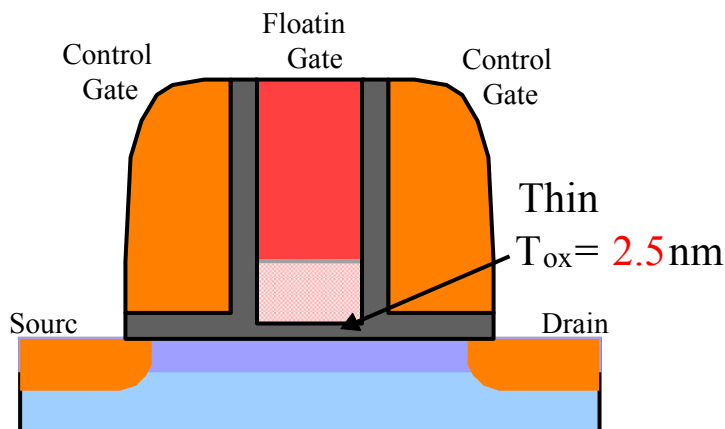


図2. DTMセルトランジスタ断面構造

酸化膜厚が約 0.3nm 変化するとトンネル電流は 1 桁変化する。従って、DTM では酸化膜厚をオングストロームのオーダーで管理しなければならない。(通常のロジックトランジスタでも同様である。)

透過型電子顕微鏡(TEM)を用いれば原子オーダーでの形状確認が可能である。従って、DTM をはじめとする MOS デバイスではこの観察法によって重要な知見を得ることが出来る。今回、測定した試作デバイスの断面形状解析を TEM 写真を用いて行った。図3にその断面写真を示す。

デバイス断面形状の観察結果から、プロセス条件がこちらの意図通りの形状(酸化膜厚やフローティングゲート形状)を作り出すのに有効であることが明らかになった。

但し、浮遊ゲート上部側面の酸化膜が若干厚くなっていることが確認された。これは不純物注入による poly-Si のダメージの影響によると考えられる。また、浮遊ゲート直下のチャンネルと制御ゲート直下のチャンネルとの間に段差が生じている。こ

の段差は現在のプロセス工程を考えると必ず生じるものである。このような形状がDTMの特性にどのような影響を与えるのか今後の課題である。

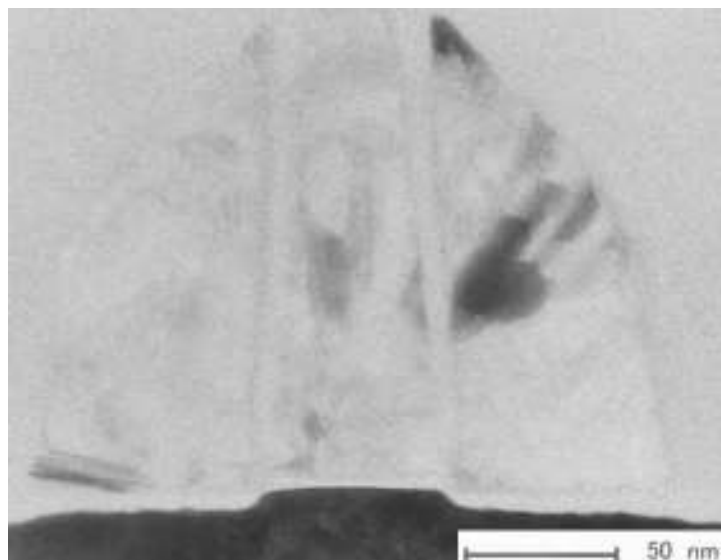


図3. 試作DTMセルの断面TEM写真。

5-2-3 まとめ

今後の試作で、保持時間と書き込み時間の比をあげることと低電圧化を更に進める事が課題となるので、今回の結果を元に平成14年度の試作を進める。

更に試作開発を延滞無く進めるには、出来るだけ切れ目無く半導体プロセスを進めることが重要である。そこで、電気測定や形状観察と平行して、ウエハーのプロセス投入を継続的に進めている。

5-3 総括

今年度はDTM開発の初年度であり、平成14年度に本格的なアーキテクチャの構築やセル試作を行う為の準備期間と捉える事が出来る。そこで基本的で論理的な検討と、今まで行ってきた研究の最後の解析を重点的に行った。「ア. チップレベルのアーキテクチャ設計」と「イ. メモリセル単体設計試作」について今年度行った研究は、それぞれに対応している。

結果として、計画どおりに研究開発を行うことが出来た。最初に基礎的な検討が出来たことは大きな収穫である。これまで蓄えた技術を14年度以降の研究開発に反映し、アレイレベルでの検証実験に進む予定である。