

平成14年度 研究開発成果報告書

研究開発課題： 「携帯通信機器用低電力メモリ：ダイレクトトンネルメモリの研究開発」

受託者： 富士通株式会社

1 研究開発課題の背景

本研究では、ダイレクトトンネルリング機構を利用した次世代 G-bit 低電力メモリの製造、設計およびアーキテクチャ技術を開発する。本次世代メモリでは、従来型の DRAM では形成が困難になりつつあるキャパシタを必要としない。さらに、リフレッシュ間隔を従来の DRAM より 4 桁以上長くすることができるため、待機時電力を 1/10000 以下に低減できる。また、このメモリは通常のロジック LSI プロセスラインで製造が可能であるため、良好な生産性が期待できるとともに、量産通信機器への迅速な搭載が可能である。

ネットワークを中心とするこれからの IT 社会では、情報データ量が増大するだけでなく、いつでもどこでもアクセスできる携帯性が通信機器に求められている。一方、DRAM に代表される従来の大容量メモリでは、データの有無に関係なく電力を消費しており、このことが通信機器の活用範囲を大幅に狭めている。このため、多量のデータを保持できる低消費電力で大容量のメモリが切望されており、IT 時代のキーデバイスとして各所で研究が進められている。このような状況から、本試験研究では、待機時の消費電力が従来の DRAM の 1/10000 以下の次世代 G-bit RAM を開発し、快適なネットワークコンピューティングを実現することを目的とする。

2 研究開発分野の現状

次世代を担うメモリとして幾つかの候補があり、基礎研究が行われているが、本提案のメモリは十分に競争力がある。その生産は、既存のロジック L S I の生産設備で可能なので、メモリチップの動作実証を行えば、各社一斉に行うことができる。ロジックプロセスのみで作るのであるから、ロジック混載の容易さは他の新規メモリの追随を許さない。この点は、携帯通信機器では特に重要となる。

他の新規メモリ開発としては、日立ケンブリッジで研究開発された Phase-state Low Electron-number Drive Memory (PLEDM) があげられる。(参考資料：ISSCC2000 p.132.) PLEDM ではキャパシタをトランジスタに置き換え、二つのトランジスタを基板に対して垂直方向に集積している。このメモリも DRAM のキャパシタが無く、DRAM に比べセルを小さく出来るという利点がある。トンネル電流を利用しているが、我々のダイレクトトンネルメモリでの利用の仕方と形成方法はかなり異なる。二つのうちの上部トランジスタにおいて、ポリシリコン中に 3 枚の窒化膜を挟み込んで、そこに電流を流すようになっている。ダイレクトトンネルメモリでは、トンネル絶縁膜として酸化膜を用いる。そして、その酸化膜を通常のトランジスタと同様にシリコン基板上に形成するので、信頼性や均一性に優れている。また、本メモリではセルあたり一つのトランジスタを用いる。トンネル電流もそのトランジスタ自身の浮遊ゲートに電荷を蓄積するために利用するので、素子構造が単純で小さく、設計

が容易である。既に、我々はセルの試作と基礎実験も進めており、研究実績がある。

他の類似構造をもつメモリとしては、米国 Mosys 社による 1 TSRAM が挙げられる。このメモリはゲート絶縁膜を介してポリシリコン電極と基板の間に形成される平面キャパシターに電荷を蓄積することでメモリ効果をもたせるもので、セルサイズを SRAM より小さくできることから SRAM 代替品として注目されている。また、DRAM のような 3 次元構造のキャパシターをもたないため、ロジックプロセスとの整合性が高い点も特徴である。いずれの特徴も DTM と競合していることは事実である。DTM で 1 TSRAM にない特徴をどう活かすかを検討したところ、低消費電力性とセル面積にあるとした。1 TSRAM ではキャパシター容量が小さいため頻繁にリフレッシュを行わないと記憶を保持できないが、DTM はトンネル酸化膜厚にもよるが 100 秒以上という電荷保持を可能とするため、低消費電力性でははるかに優れる。また微細化するにあたって、1 TSRAM では蓄積容量を確保できないといった点でセルサイズ低減にブレーキがかかるといった点で DTM は有利となる。

1 TSRAM はその欠点を補うべく 1 TSRAM-Q という立体キャパシタ構造のセルを打ち出してきている。この構造ではプロセスが複雑になるという欠点もあるため、現在 DTM との優劣を調査している。

3 研究開発の全体計画

3-1 研究開発課題の概要

ダイレクトトンネルメモリの特色を簡単に述べる。本メモリは、Flash メモリと同様に浮遊ゲートを用いたメモリである。従ってメモリセルあたり一つのトランジスタで記憶が出来、DRAM 等に比べ高集積化に向く。但し、Flash メモリのような厚い絶縁膜ではなくロジックトランジスタ用の薄膜を用いるので、ダイレクトトンネル現象が起こる。このトンネル電流を積極的に利用してメモリ素子の高速・低電圧動作・高耐久性を実現することが出来る。また、保持特性を向上させるため従来の浮遊ゲートメモリに無い様々な工夫を行うが、全て一般のロジックトランジスタで用いるプロセス技術を使用する。つまり、専門化されたロジック製造技術を先端のメモリ技術に取り入れたのがダイレクトトンネルメモリである。

当社では既に本メモリのセル基本動作の実証は行っている。これからは、最終的なチップ動作にむけて総合的な研究開発を行う必要がある。

開発目標を達成するための研究内容は、大きく以下の 4 つに分けることが出来る。

- ア. チップレベルのアーキテクチャ設計
- イ. メモリセル単体設計試作
- ウ. 回路設計
- エ. チップ試作

開発期間は 4 年 3 ヶ月を計画している。材料開発が伴う研究は別であるが、半導体開発がこれより長期化すると、技術トレンドが予測しづらくなる。逆に、これより短い場合、マイクロなレベルのセル開発とチップレベルの設計の両立が困難になる。以下では、上記の各項目ごとに開発スケジュールもふくめて説明を行う。

ア. チップレベルのアーキテクチャ設計

ダイレクトトンネルメモリセルは従来の DRAM と異なり、セルの設計によって動作特性を大きく変化させることが出来る。例えば、酸化膜厚を変えることにより、書き込み時間と保持時間を何桁も変更できる。この柔軟性は大きな特色である。

メモリセルの柔軟性を生かしながらメモリチップの性能を最大にするには、チップレベルのアーキテクチャも既存の DRAM から大胆に設計を変更していく必要がある。チップレベルのアーキテクチャとは、I/O を通して入力されたデータの処理の仕方や、セルアレイの制御方法等である。高速性を達成するためには、内部キャッシュの採用まで検討する必要がある。それが可能になるのもロジックとの親和性が良いからである。

研究開発では、ダイレクトトンネルメモリセルに適した独自のアーキテクチャを設計し、逆にアーキテクチャからの要請でセルの動作特性を変更することもありえる。従って研究のスタートから、アーキテクチャの設計を理論計算やシミュレーションにより開始し、セル試作にフィードバックをかける体制を整えておく必要がある。(13 年度終わりから 14 年度前半)

イ. メモリセル単体設計試作

アーキテクチャ設計とともに、この項目も開発当初からスタートする。

セルの基本設計は明らかになっているが、実用化に向けて更に詳細な研究を行い、性能の向上を図る必要がある。特に、保持時間と書き込み時間の比をあげることと低電圧化を更に進める事が重要である。基本的には現試作段階のメモリセルでも実用化に十分な基本特性を示しているが、更なる特性向上でアーキテクチャ設計の自由度が高まるからである。(13 年度終わりから 14 年度前半)

基本性能を高めつつ段階的に、セル間の特性ばらつきの解析や改善、セルアレイレベルでの信頼性試験の実施等、統計的な試験に重点をシフトさせていく。(14 年度後半から 15 年度前半)

ウ. 回路設計

次に、具体的な周辺回路の設計を開始する。

まず、ワード線ドライバやビット線センスアンプの設計が重要となる。この部分の周辺回路はセルアレイ特性に深く関連するので、メモリセル単体試作評価の結果を検討して早めにスタートする。また、周辺回路ロジックトランジスタの特性把握のためにシミュレーションパラメータの抽出と特性改善を 15 年度から開始する。

15 年度からは、既にアーキテクチャの仕様が固まっているので、それまでに検討した結果を基にアレイブロックに入出力するデータのコントローラーの設計や I/O 関連の設計を具体的に行う。これらは、通常ロジック回路の開発である。(但し、その際に行うシミュレーションの結果によっては、この期間のアーキテクチャの修正もありうる。)

当社では、それぞれの分野の専門家がおおり、技術的な問題が起きた時点で協力が出来るグループを作ることが出来る。従って、ハードとソフトの同時開発というリスクの高い研究開発を推進することは十分に可能である。

エ. チップ試作

次に、アーキテクチャとセル特性の仕様が固まり、回路設計がある程度すすんだ時点で(15年度後半を予定)、チップ試作に取り掛かる。

試作は、1次試作と2次試作に分ける。1次試作では、プロセスのリスクを低くするために余裕を持ったルールでチップを試作し動作実証を目指す。(用途によっては十分に実用になるメモリを試作する。)

2次試作は、高集積化を意識した試作を目指す。メモリセルの大きさは $6F^2$ で行う予定である。但し、一部セルアレイ試作を進め、セルフアライン技術を多用して、 $4F^2$ のプロセス技術を開発する。これは、将来他のメモリ技術に対して十分なアドバンテージを保つためである。

以上で、研究終了時にDRAMに対して性能面やセルサイズの優位性を全て実証する予定である。

3-2 研究開発目標

3-2-1 最終目標 (平成18年3月末)

新しい動作原理に基づくメモリセルを用い1Gbitランダムアクセスメモリの検証試作を行う。メモリ転送速度は10Gbps、大規模で高速であるにもかかわらず待機時消費電力は $1\mu\text{W}$ 以下を具体的な達成目標とする。しかも、これほど消費電力が低ければ、電源を切ってもバックアップバッテリーで長期間記憶を保持できる。また、セルサイズが $4F^2$ の微細セルの基本技術を立ち上げる。これにより更なる高集積化が約束される。

現在、携帯機器では大きなDRAM(或いはSRAM)とFlashメモリを内蔵しているが、新型メモリはこの二つのメモリを1chipで置き換え可能である。

3-2-2 中間目標 (平成16年3月末)

メモリセルの設計(構造の最適化)、試作、評価を終了する。更に、チップレベルでのアーキテクチャ基本設計とセルアレイの周辺回路設計を終了する。これらの結果を基にシミュレーションしてメモリチップの諸特性を予測する。ここで後半の計画の見直しを行う。

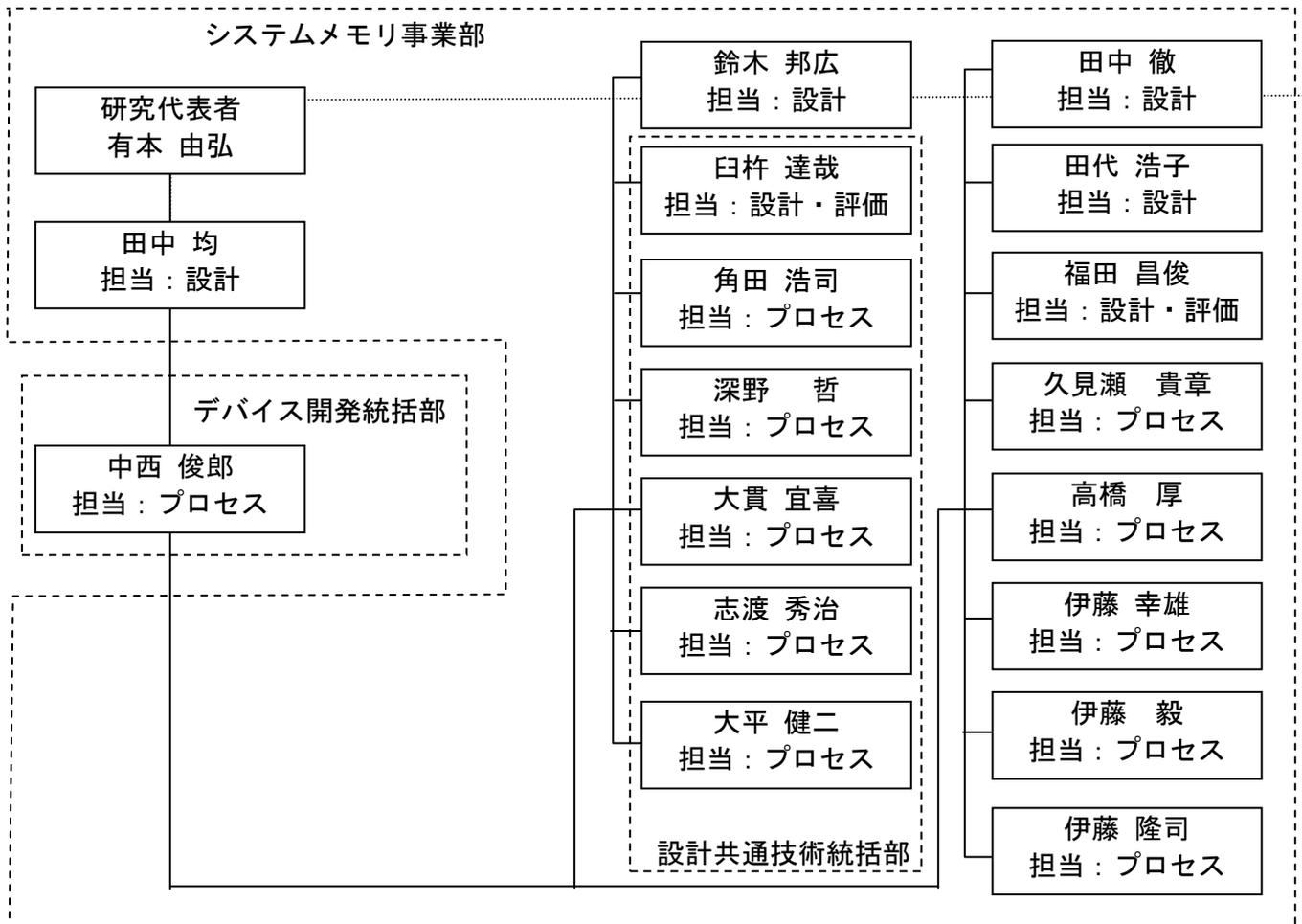
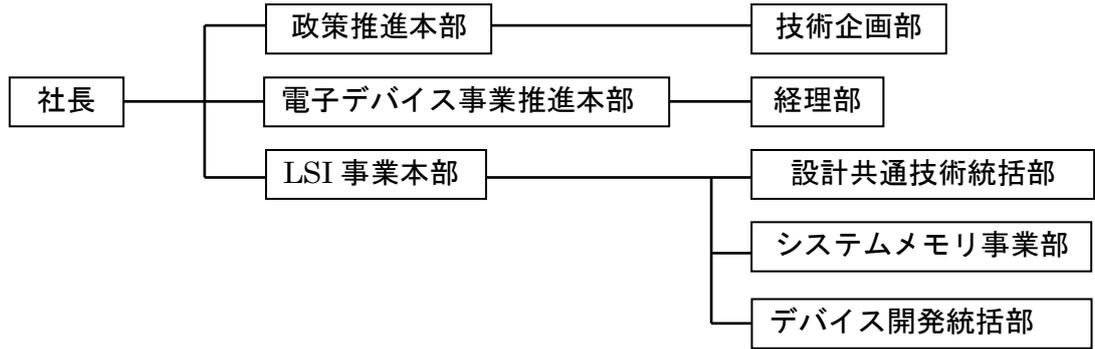
3-3 研究開発の年度別計画

(金額は非公表)

研究開発項目	13年度	14年度	15年度	16年度	17年度	計	備考
「携帯通信機器用低電力メモリ：ダイレクトトンネルメモリの研究開発」							
ア：チップレベルのアーキテクチャ設計	→						
イ：メモリセル単体設計試作	→						
ウ：回路設計		→					
エ：メモリチップ試作			→				
間接経費							
合計							

- 注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%で計上(消費税を含む)。
 2 備考欄に再委託先機関名を記載

3-4 研究開発体制（平成14年度末時点）



4 研究開発の概要（平成14年度まで）

4-1 研究開発実施計画

4-1-1 研究開発の計画内容

（平成13年度）

本研究で開発する次世代メモリは、電子のダイレクトトンネリング機構を利用している。このため、メモリセルの作製技術だけでなく、十分な動作マージンを得るための新しい設計技術、高速化・大容量化・低消費電力化を実現するためのアーキテクチャ技術が新たに必要となる。この広範な技術開発目標を達成するため、先ほども述べたように開発は大きく以下の4つに分けて行う。（「3-1 研究開発課題の概要」を参照。）

- ア. チップレベルのアーキテクチャ設計
- イ. メモリセル単体設計試作
- ウ. 回路設計
- エ. チップ試作

開発期間は4年3ヶ月を計画している。平成13年度は開発計画初年度であり、平成14年1月16日から平成14年3月31日までの3ヶ月間、開発を実施した。研究内容は上記の4つの内、「ア. チップレベルのアーキテクチャ設計」と「イ. メモリセル単体設計試作」を開始した。

（平成14年度）

本研究では、ダイレクトトンネリング機構を利用した次世代 G-bit 低電力メモリの製造、設計およびアーキテクチャ技術を開発する。本次世代メモリでは、従来型の DRAM では形成が困難になりつつあるキャパシタを必要としない。さらに、リフレッシュ間隔を従来 DRAM より 4 桁以上長くすることができるため、待機時電力を 1/10000 以下に低減できる。また、このメモリは通常のロジック LSI プロセスラインで製造が可能であるため、良好な生産性が期待できるとともに、量産通信機器への迅速な搭載が可能である。

ネットワークを中心とするこれからの IT 社会では、情報データ量が増大するだけでなく、いつでもどこでもアクセスできる携帯性が通信機器に求められている。一方、DRAM に代表される従来の大容量メモリでは、データの有無に関係なく電力を消費しており、このことが通信機器の活用範囲を大幅に狭めている。このため、多量のデータを保持できる低消費電力で大容量のメモリが切望されており、IT 時代のキーデバイスとして各所で研究が進められている。このような状況から、本試験研究では、待機時の消費電力が従来 DRAM の 1/10000 以下の次世代 G-bit RAM を開発し、快適なネットワークコンピューティングを実現することを目的とする。

本研究で開発する次世代メモリは、電子のダイレクトトンネリング機構を利用している。このため、メモリセルの作製技術だけでなく、十分な動作マージンを得るための新しい設計技術、高速化・大容量化・低消費電力化を実現するためのアーキテクチャ技術が新たに必要となる。この広範な技術開発目標を達成するため、開発は大きく以下の4つに分けて行う。

- ア. チップレベルのアーキテクチャ設計
- イ. メモリセル単体設計試作
- ウ. 回路設計
- エ. チップ試作

開発期間は全体で4年3ヶ月を計画している。平成13年度は、平成14年1月から「ア. チップレベルのアーキテクチャ設計」と「イ. メモリセル単体設計試作」を開始した。「ア. チップレベルのアーキテクチャ設計」では、メモリのアドレスの与え方及び書込み並列処理を行う際のバッファ容量について理論的な検討を行っている。「イ. メモリセル単体設計試作」に関しては、単体試作を行い、その電氣的測定と透過型電子顕微鏡(TEM)による分析を進め、プロセス条件と電氣的特性、更にデバイスの形状との間の関係を詳細に検討している。

平成14年度は、初年度の成果を踏まえ具体的な開発を進める。「ア. チップレベルのアーキテクチャ設計」については、先ずチップ内部での並列処理に関する数値シミュレーションを実施する。これにより、平成13年度での理論的検討結果の検証を行う。その後、並列処理の具体的な処理フロー及びチップのアーキテクチャを決定して、後半から具体的な「ウ. 回路設計」をスタートする。先ずは、セルアレイ周辺の回路から具体化していく。「イ. メモリセル単体設計試作」に関しては、小規模のセルアレイを含めた単体試作にシフトする。これにはセル面積の縮小を狙った新たな作製技術も導入する予定である。同時に地道な改良を続け、後半には統計的な試験に重点をシフトさせていく。試作結果は、その都度「ウ. 回路設計」に反映させて効率の良い開発を目指す。

4-1-2 研究開発課題実施計画
(平成13年度)

(金額は非公表)

研究開発項目	第1四半期	第2四半期	第3四半期	第4四半期	計	備考
「携帯通信機器用低電力メモリ：ダイレクタトンネルメモリの研究開発」						
ア. チップレベルのアーキテクチャ設計				→		
イ. メモリセル単体設計試作				→		
間接経費						
合計						

注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%で計上(消費税を含む)。

(合計の計は、「3-1の研究開発課題必要概算経費」の総額と一致)

2 備考欄に再委託先機関名を記載。

(平成14年度)

(金額は非公表)

研究開発項目	第1四半期	第2四半期	第3四半期	第4四半期	計	備考
「携帯通信機器用低電力メモリ： ダイレクトトンネルメモリの研究開発」						
ア チップレベルのアーキテクチャ設計			→			
イ メモリセル単体設計試作				→		
ウ 回路設計				→		
間接経費						
合計						

- 注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%で計上(消費税を含む)。
 (合計の計は、「3-1の研究開発課題必要概算経費」の総額と一致)
- 2 備考欄に再委託先機関名を記載。

4-2 研究開発の実施内容

(平成13年度)

「チップレベルのアーキテクチャ設計」について、メモリのアドレスの与え方及び書き込み並列処理技術のDTMへの応用を具体的に検討した。DTMのセル特性を活かすマクロなレベルからの検討課題である。

一方で、セル内部のミクロな検討課題を「メモリセル単体設計試作」の平成13年度の開発項目として実施した。

(平成14年度)

ダイレクトトンネルメモリは、Flash メモリと同様に浮遊ゲートを用いたメモリである。従ってメモリセルあたり一つのトランジスタで記憶が出来、DRAM 等と比べ高集積化に向く。但し、Flash メモリのような厚い絶縁膜ではなく、ダイレクトトンネル現象が起こるような薄膜を用いてトンネル電流を積極的に利用しメモリ素子の高速・低電圧動作・高耐久性実現を目指した。

14年度では、以下の2点で研究開発を進める計画を立てた。

ア. チップレベルのアーキテクチャ設計

まずアーキテクチャの設計を理論計算やシミュレーションにより開始し、セル試作にフィードバックをかける体制を整えておく計画であった。

本年度はメモリのアドレスの与え方、および書き込み並列処理を行う際のバッファ容量について理論的な検討をおこなった。またメモリセル単体試作結果を基に、実際のトランジスタレベルでの設計は平成15年度におこなう。

イ. メモリセル単体設計試作

保持時間と書き込み時間の比をあげることと低電圧化を更に進め、次に基本性能を高めつつ段階的に、セル間の特性ばらつきの解析や改善、セルアレイレベルでの信頼性試験の実施等、統計的な試験に重点をシフトさせていく計画を立てた。

14年度では1Gビット以上の高集積化を実現可能な4F2セル構造を考案し、試作をおこなった。できあがりの形状については、ねらい通りのものができていることを確認した。このトランジスタの電気的な評価は、平成15年度におこなう。

5 研究開発実施状況 (平成14年度)

5-1 チップレベルのアーキテクチャ設計

メモリのアドレスの与え方、および書き込み並列処理を行う際のバッファ容量について理論的な検討をおこなった。DTMセルでリフレッシュ間隔を $10^4 \sim 10^5 \text{sec}$ にすれば、大幅な低消費電力化を図ることが可能になる。この場合の書き込み並列処理に際して、メルセンヌ素数 $127=2^7-1$ をバンク数とした構成にすると、高速動作させながらも処理が遅延する確率を大幅に低減できる見通しをつけた。これを事業部に説明し、ターゲット商品の絞込みをおこなった。

5-1-1 序論

ダイレクトトンネルメモリセルは従来のDRAMと異なり、セルの設計によって動作特性を大きく変化させることが出来る。例えば、酸化膜厚を変えることにより、書き込み時間と保持時間を何桁も変更できる。この柔軟性は大きな特色である。

メモリセルの柔軟性を生かしながらメモリチップの性能を最大にするには、チップレベルのアーキテクチャも既存の DRAM から大胆に設計を変更していく必要がある。

今回、新しいアーキテクチャの一つとして、メモリのアドレスの与え方及び書込み並列処理を行う際のメモリバンク数に関する技術を DTM に応用する為の具体的検討を行った。

5-1-2 アーキテクチャ設計研究結果

DTM の今までのセル特性から、書込み時間を $1\sim 10\mu\text{sec}$ にすればリフレッシュ間隔を $10^4\sim 10^5\text{sec}$ にすることが出来、今までの大容量 RAM では出来なかった低消費電力化を図ることが可能になる。メモリチップの処理サイクルを 100nsec とするならば、 $10\sim 100$ 倍の書き込み並列処理を行う必要がある。つまり、 100 バンク程度にメモリを分割すればよい。

しかし、いくらバンク ごとに分けて書込みの並列化を進めても、メモリをアクセス するアドレスが周期的であると、並列化が有効に働かなくなる。例えば、一つ飛ばしにバンクをアクセス すると、バンク数 N_B が $2n$ のような偶数であった場合、半分のバンクが利用されなくなる。一般的には、 N_B が約数の多い数であった場合、周期的なアドレス列に対して並列化が脆弱になる。従って、 N_B は素数である方がよい。

また、通常メモリの外部から与えるアドレス A_{out} とチップ内部で与えるアドレス A_{in} が等しい場合、バンク に対応したアドレス を固定したアクセスを行うと、1つのバンクにアクセスが集中してしまう。しかも N_B が素数ならば、 $A_{out} = A_{in}$ では A_{out} が扱いづらくなる。従って、外部から与えるアドレス A_{out} をチップ内部で与えるアドレス A_{in} に次式を用いて変換する。

$$A_{in} = A_{out} + 1 + (A_{out} \div N_B) \quad (1)$$

ここで、演算子 \div は整数同士の割り算で、小数点以下を切り捨てる。この場合、 A_{out} は連続した値となる。そして、 N_B やその倍数の周期でアクセス しない限り、特定のバンクにアクセス が集中することは無くなる。更に、次に述べる工夫を加えると N_B やその倍数の周期でアクセス しても特定のバンク にアクセス が集中しにくくなる。 N_B は素数がよいが、その中でも特に“Mersenne Prime” を利用すると新たな利点が生まれる。

Mersenne Prime は次のようにあらわすことが出来る。

$$\begin{aligned} N_B &= 2^p - 1, \\ p &= 2, 3, 5, 7, 13, 17, \dots \end{aligned} \quad (2)$$

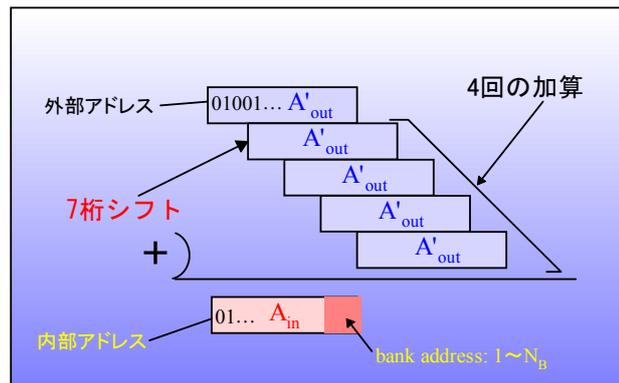
この素数は表式から分かるように二進法と相性が非常に良い。先ず、外部アドレス A_{out} のビット数を L としたときに、最大の A_{out} は、

$$\max(A_{out}) = 2^L \cdot 2^L \cdot p \cdot 1. \quad (3)$$

この数は上から p 番目の桁が 0 で他の桁は全て 1 である。つまり、一番上から $p \cdot 1$ 番目の桁までと $p+1$ 番目の桁から一番下の桁までのそれぞれの範囲内で、桁の順番を任意に入れ替えても最大値を超える事はない。この様な桁の入れ替えを行えば、外部アドレスが N_B やその倍数の周期でアクセスしても特定のバンク にアクセス が集中しにくくなる。

式(1) ではアドレスを変換する際に割り算を行わなければならない。これは、I/O 部分の演算であるから出来る限り高速に行う必要がある。Mersenne Prime の場合、この計算も簡素化できる。DTM では、バンク数としてメルセンヌ素数 $127=2^7-1$ が適当である。このバンク数に対応した内部アドレスに変換する処理はアドレスが 27bit 必要だとしても、高々 4 回の加算で行うことが出来る。この計算の概略を図 5-1-2-1 に示す。

Address Converter の演算 ($N_B=127=2^7-1$ の場合)



A'_{out} が一部の桁のみ変化しても
 A_{in} では広い範囲の桁が変化する。

アクセスの分散化

図 5-1-2-1. 内部アドレスへの変換処理。

Mersenne Prime ならば高速計算が可能。この計算回路をクロックを用いない非同期ロジックでしかも並列処理を徹底すれば、かなりの高速化が期待出来る。また、完全にランダムな書込み処理を実現するには、書込み中のバンクに新たな書込み命令が入力されたときに命令を一時記憶させるバッファが必要となる。

DTM セルでリフレッシュ間隔を $10^4 \sim 10^5 \text{sec}$ にすれば、大幅な低消費電力化が可能であるが、この場合にメルセンヌ素数 $127=2^7-1$ をバンク数とした構成にすると、高速動作させながらも処理が遅延する確率を大幅に低減できる見通しをつけた。これを事業部に説明し、ターゲット商品の絞込みをおこなった。

5-2 メモリセル単体設計試作

1G ビット以上の高集積化を実現可能な $4F^2$ セル構造を考案し、試作をおこなった。できあがりの形状については、狙い通りのものができていることを確認した。このトランジスタの電気的な評価は、平成 15 年度におこなう。

一方、早期に製品レベルで DTM を世の中に認知してもらうために DTM のターゲットマーケットを探索したところ、携帯機器利用において急速に機能が拡大してきているグラフィックス (カメラ)、オーディオ信号処理用途の大容量メモリ混載ロジック (SRAM 置き換え) が直近の候補としてあがってきた。1T-SRAM 等の競合デバイスとの比較では、DTM の方がセル面積や低消費電力で優っている。ただし、当初の DTM セル構造では、製造面の複雑さや高速性に難がある。そこで早期の製品化を意識して、書き込み・消去をおこなうダイレクトトンネル領域と読み出しを行うトランジスタ領域を分けた機能分離型セルで開発を進めるよう方向転換した。現在このセルの基本特性を取得するための TEG 試作を量産工場を進めている。この結果を基に、平成 15 年度にサンプル試作までもって行く。

5-2-1 従来型 DTM セル研究結果

図 5-2-1-1 に従来型 DTM セルトランジスタの断面構造を示す。チャンネル(基板)中

中央上部に浮遊ゲート (floating gate) があり、その両脇にセルフアラインプロセスで作製した制御ゲート (control gate) が配置されている。浮遊ゲートとチャンネルの間にダイレクトトンネルを起こす酸化膜がある。今回の試作セルではこの厚さが設計で 2.5nm である。また、浮遊ゲートと制御ゲートの間の酸化膜は 8nm の設計である。

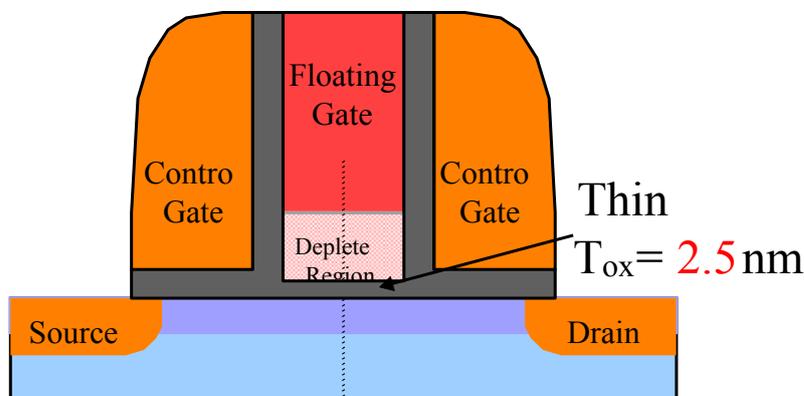


図 5-2-1-1. DTM セルトランジスタ断面構造

酸化膜厚が約 0.3nm 変化するとトンネル電流は 1 桁変化する。従って、DTM では酸化膜厚をオンゲストロームのオーダーで管理しなければならない。(通常のロジックトランジスタでも同様である。)

透過型電子顕微鏡 (TEM) を用いれば原子オーダーでの形状確認が可能である。従って、DTM をはじめとする MOS デバイスではこの観察法によって重要な知見を得ることが出来る。今回、測定した試作デバイスの断面形状解析を TEM 写真を用いて行った。図 5-2-1-2 にその断面写真を示す。

デバイス断面形状の観察結果から、プロセス条件がこちらの意図通りの形状 (酸化膜厚やフローティングゲート形状) を作り出すのに有効であることが明らかになった。

但し、浮遊ゲート上部側面の酸化膜が若干厚くなっていることが確認された。これは不純物注入による poly-Si のダメージの影響によると考えられる。また、浮遊ゲート直下のチャンネルと制御ゲート直下のチャンネルとの間に段差が生じている。この段差は現在のプロセス工程を考えると必ず生じるものである。このような形状が DTM の特性にどのような影響を与えるのか今後の課題である。

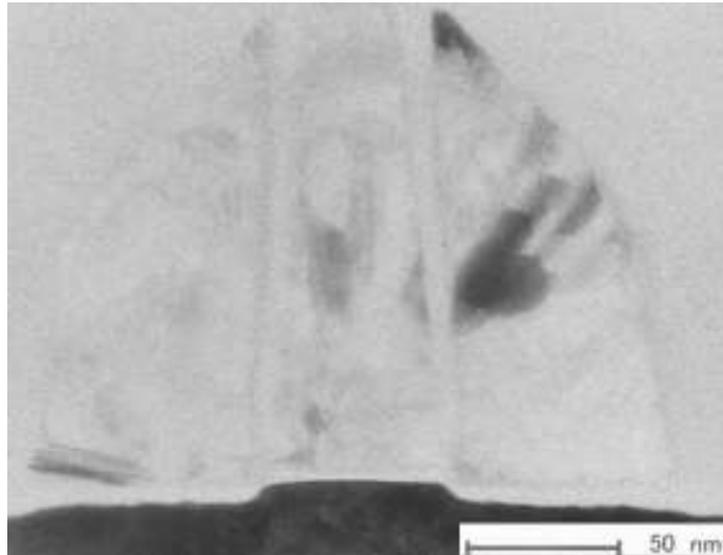


図 5-2-1-2. 試作 DTM セルの断面 TEM 写真。

5-2-2 4F²DTMセルの研究開発

DTM(Direct Tunneling Memory)はフローティング型メモリのトンネル酸化膜厚を3nm以下まで薄膜化し、電子の直接トンネルを利用することで高速に書き込み、消去動作を行わせることを特徴とするメモリである。その特性を不揮発性メモリの代表であるフラッシュメモリと比較した場合には、低電圧動作、優れた書き換え耐性、ランダムアクセス可能といった長所を有している一方、保持時間は短くなる。またその特性をRAMの代表であるDRAMと比較した場合には、保持時間が長く低消費電力化が期待できる反面、動作速度は遅くなる。

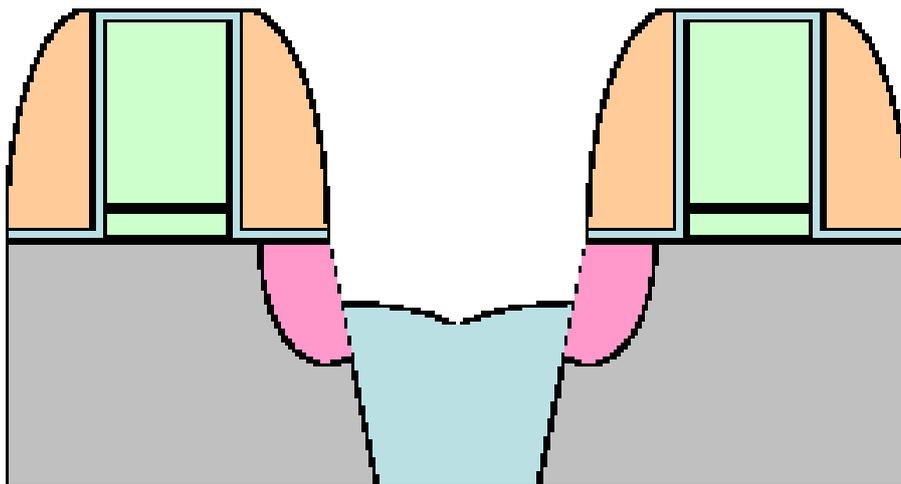


図5-2-2-1. 4F²セルの断面図

DTMはこのようにフラッシュとDRAMの中間の特性を有し準不揮発性メモリと位置づけることができるため、多くの優れた特性を有する一方で、フラッシュやDRAMのような必須デバイスにはなりにくい。DTMにさらなる付加価値を加えるため、4F2 DTMセルを実現することによりコストメリットを向上させ市場競争力をつけることを検討した。

4F2セルを実現するために最も重要な点は、ソース、ドレインを深さ方向に折り曲げて素子分離に用いるトレンチの側壁に形成することである。またDTMではフローティングゲート(FG)からのリーク電流を防ぐため、ソース、ドレインをFGからオフセットさせて形成する必要がある。このオフセット量を精度良く制御するためには、トレンチをゲートとセルフアライン(SA)プロセスにて形成することが必須となる。さらに、このようなソース、ドレインはメタル配線への引き出しが難しいため、セルアレイ方式としてはAND型が適している。

SAプロセスは工程数の削減、AND型セルはレイアウト面積の低減、ビット線の階層化によるディスタブ特性の改善といったメリットがあり、DTMのコンセプトとも相性が良い。以上のようなプロセスにより形成されるDTM 4F2セルの断面予想図(FGでワード線として用いられない部分)を図5-2-2-1に示す。

- Gate Oxide
- FG Poly 1st
- Chemical Oxide
- FG Poly 2nd
- LTO HM
- <FG>
- HM-E
- Poly-E
- HTO Liner
- SiN SW
- SW-EB
- Trench-E
- HTO Trench Fill
- Trench-EB
- (S/D II + RTA)
- SiN WO
- FG Oxide
- CG Poly
- <CG>
- CG EB

図5-2-2-2. 4F2セル作製フロー

4F2セルを作製するためのプロセスフローを図5-2-2-2に示す。試作にあたって、セル部の形状作製のみ焦点を絞り、トランジスタ形成のためのイオン注入やトレンチのプロテクト酸化といったプロセスに関しては省略した。ポイントは、トレンチエッチングの際にダミーのサイドウォール(SW)をマスクに用いることである。酸化膜ハードマスク(HM)はトレンチに埋め込んだ酸化膜をエッチバック(EB)する際に懸念されるゲートPoly-Siのヤラレを低減するため、酸化間LinerはSiNウオッシュアウト(WO)時のリン酸(H3PO4)によるSi表面荒れを防ぐために取り入れた。またゲートPoly-Si間のケミカルオキサイドは不純物の拡散防止層として用いられ、トンネル酸化膜近傍で部分的にPoly-Siの空乏化を行うことで、トンネル電子に対するポテンシャル障壁を高めると共に、界面準位を介したリーク抑制にも効果があると考えられている。このケミカルオキサイドをはさんだゲート3層構造のエッチングに関しては別章で述べる。図2に示すプロセスフローで特に重要なのはトレンチ形成のプロセス、すなわちダミーSWによるFG間の埋め込み、酸化膜によるトレンチ埋め込み、トレンチに埋め込んだ酸化膜のEBである。次にこれらのプロセスに関して検討した結果を示す。

FG のダミーSW をマスクにしてSA でトレンチエッチングを行う際に、ソース、ドレインを複数のセルで共有してAND 型セルを形成するためには、FG 間をSW で完全に埋め込む必要がある。図5-2-2-3はFG 間隔を変化させた場合のビット線形状の変化を示す。いずれの場合もFG 間は埋め込まれているが、図から明らかなようにFG 間隔を縮めるにしたがいビット線形状が直線に近づき、改善されることが分かった。このことはFG 間でのソース、ドレイン間ショートを防ぐためにも重要である。

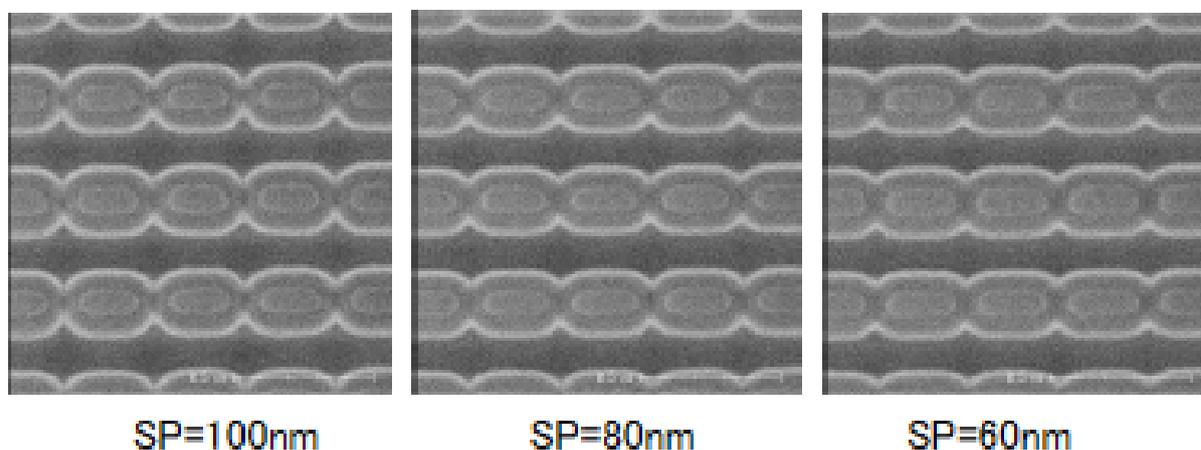


図5-2-2-3. FG 間距離(SP)を変えた場合のビット線の形状

今回の評価では埋め込みSW としてLPCVD-SiN を60nm 成膜した。このSiN 膜厚はソース、ドレインの拡散の起点を決定するため、自由に変えることはできない。一方、図5-2-2-3 のようにSiN の膜厚に合わせてFG 間隔を変化させビット線の形状の改善を行うことは可能であるが、FG 間隔を狭めすぎるとコントロールゲート (CG) を成膜した際にFG 間がPoly-Si で埋め込まれてしまい、ワード線を形成する際にショートの原因となる。この点はトランジスタ特性と併せた最適化が必要である。

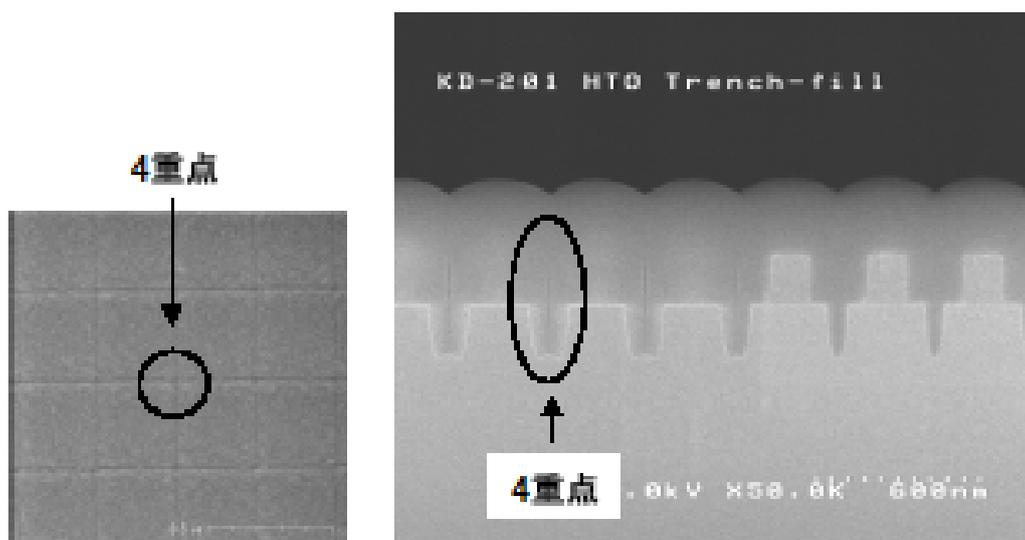


図5-2-2-4. LPCVD-SiO₂ 埋め込み後のボイド

図5-2-2-4 はSA にて形成したトレンチにLPCVD-SiO₂ を200nm 埋め込んだ後の形状である。表面SEMでは一様に埋め込まれているように見える。一方断面SEM ではFG 間の溝(図の右側)はボイドなく埋め込まれているが、FG の4 重点となる部分(図の左側)ではボイドが残る。この部分はCVD で埋め込む際には溝ではなく穴に変わるため、ガスの拡散が難しくカバレッジが悪化しているものと考えられる。4 重点に残るボイドは酸化膜をEBした後で加えられるDHF 処理の際に酸化膜ヤラレの起点となり問題である。このボイドを無くすためにはBPSG やHDP を用いることが考えられるが、BPSG はDHF によるエッチングレートが極めて早く、一方HDP はゲートにダメージを与える可能性が高い。SiN はストレスが高く、また比誘電率が高いために配線遅延の増加が懸念されるが、DHFによるヤラレを防止することができるため、今後評価する予定である。

埋め込んだ酸化膜をEB してトレンチの側壁を露出させるためには、今回のセルパターンでは成膜したSiO₂ 膜厚に対して約75%のオーバーエッチング(OE)が必要である。このため、ゲートPoly-Siのヤラレを防ぐためにHM が必須となる。しかし、FG とソース、ドレインへの一括注入を想定する場合には、FG 上のHM は除去しておく必要がある。EB 後の後処理でDHF 処理によるHM の除去を行う際にトレンチ内部の酸化膜ヤラレを低減するためには、HM 膜厚はゲートPoly-Si がちょうど露出するような膜厚に設定すること、および酸化膜とPoly-Si の選択比が大きい条件でEB を行い、万が一FG が露出した場合でもヤラレを最小限に抑える必要がある。今回、従来用いられているCF₄/CHF₃/Ar 系に代わりC₄F₈/O₂/Ar 系のガスを用いることで、選択比を7 から12 まで改善することに成功した。図5-2-2-5 に新条件にてEB を行った結果を示す。FG 上のHM はEB により除去されているが、ゲートPoly-Si のヤラレはほとんどなく、設計どおりの形状に仕上がっている(図中のツノはSiN SW)。一方トレンチ内部の酸化膜に関しては、FG 間の (A)部に関しては設計どおりであるが、4 重点の(B)部ではボイドを起点としたヤラレが進んでおり、一部Si 基板が露出している。

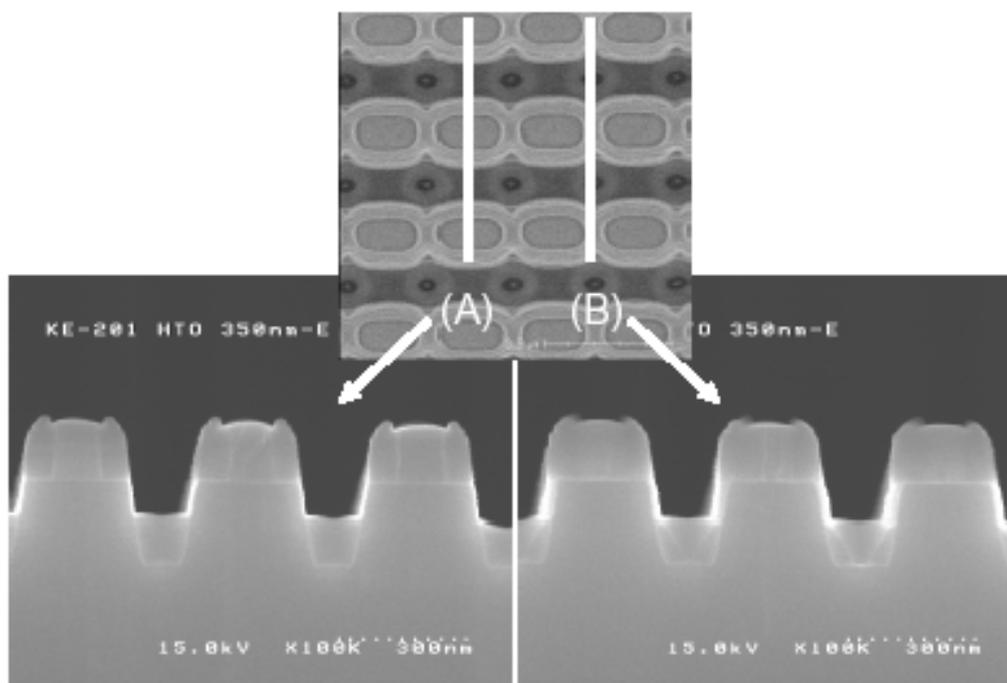


図5-2-2-5. 酸化膜エッチバック後のSEM 写真
したがって酸化膜埋め込み形状の改善が必須であると言える。
図5-2-2-6 にSiN WO 後のSEM 写真を示す。LOCOS に用いられる場合と異なりSiN 表

面はほとんど酸化されていないことから、WO 前後のDHF 処理を極力短縮化した。しかし、FG 間(A)において溝の中心部で酸化膜ヤラレによるスリットが発生しており、この状態ではもはやワード線を分離することが難しい。

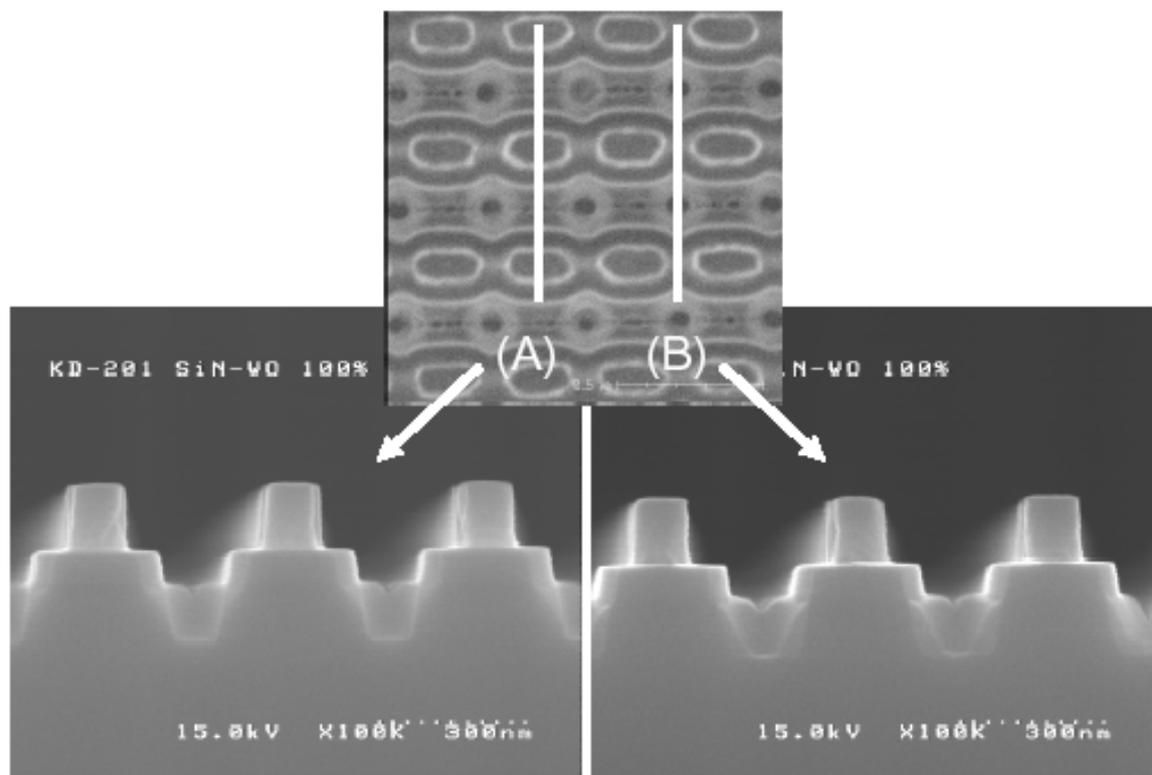


図5-2-2-6. SiN ウォッシュアウト後のSEM 写真

WO 処理はH3PO4 によるレートが経時変化することからOEを100%行っているため、FG 上部およびソース、ドレイン部分に露出したSi の面荒れが懸念される。

SEM 写真からはそのような面荒れは観察されないが、トランジスタの電気的特性への影響評価は今後の課題である。

図5-2-2-7 にCG 成膜後、ワード線形成のためのリソグラフィは省略し、全面EB を行った結果を示す。

トレンチ内部に埋め込んだ酸化膜が大幅に目減りFG 間(A)でもほとんど残っていないが、これはSiNW 後、FG 酸化前にLiner に用いた酸化膜10nm を除去するDHF 処理を行った影響である。

実際のプロセスではワード線形成の際にレジストに被覆されないFG 部分は酸化膜が露出するが、図5-2-2-7 から明らかなように酸化膜との選択比は十分あり問題ない。一方、SW のPoly-Si はOE で目減りFG-CG 間のカップリングに影響を与えるため、SW のヤラレを最小限に抑えつつトレンチの段差部分に残るPoly-Si を完全に除去するようなエッチング条件の最適化を行う必要がある。今回は酸化膜の形状が悪いため、次ロット以降の課題である。

なお前述のように、Poly-Si をダミーSW に用いたSiN より厚く成膜すると、FG 間が完全に埋め込まれてワード線間がショートする。図5-2-2-7 ではこのことを確認するためにPoly-Si を100nm 成膜したが、(B)の部分でOE 後もPoly-Si が除去できていないことが明らかである。

今回FG 上にダミーSW を成膜し、このSW をマスクとしてSA トレンチ形成を行う4F2 セルプロセスに関して、その実現可能性を検討した。その結果、FG の4 重点でトレン

チ埋め込みに用いるLPCVD-SiO₂ の段差被覆性が悪化してボイドが形成されることが判明した。また、トレンチに埋め込んだ酸化膜のEB やその後加わるDHF 処理の際にこのボイドを起点とした酸化膜のヤラレが発生し、最終的にはトレンチ内部の酸化膜がほとんど残らないという問題が明らかになった。LPCVD の成膜条件を変えても4 重点で完全な段差被覆性を得ることは難しく、今回用いたプロセスフローとは別の方法を検討する必要がある。

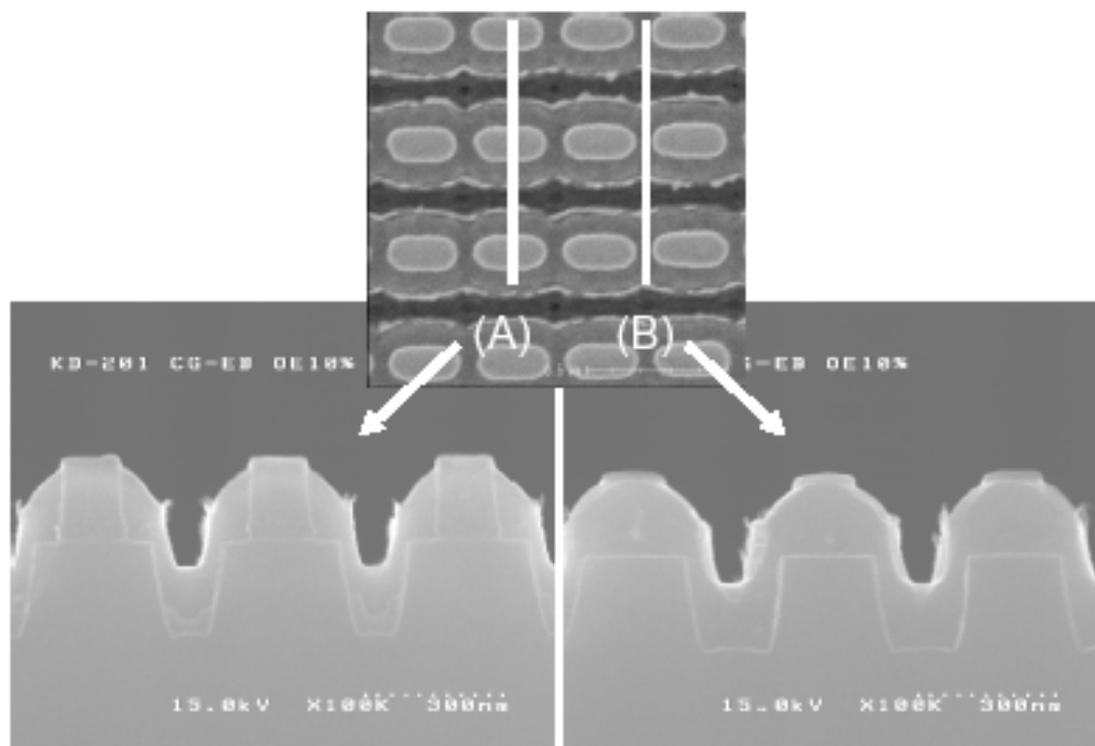


図5-2-2-7. CG エッチバック後のSEM 写真

今後はトレンチにボイドなく酸化膜を埋め込む方法、DHF 処理によるエッチングレートの違いSiNを埋め込む方法、FG をライン上に形成してワード線と一括で分離する方法などを検討する。また電気的特性に関しては、側壁に形成したソース、ドレイン形状がトランジスタ特性へ与える影響や、ビット線として用いる場合に問題となるシート抵抗などをシミュレーションで調査する必要がある。

DTM はランダムアクセス、高い耐久性(実用上書換無限回)、低電圧低消費電力といった優れた特性を実現する可能性を持つメモリである。また、ロジックプロセスだけで作製する事ができるという特徴を兼ね備えている。一方で、4F²セルは同一面積で情報が多く蓄えられ、1枚のウエハで大量にチップを作ることができるメリットがある。

したがってDTM で4F²セルを実現することができれば、安価で高性能なデバイスを提供することができる。

しかし、4F²セルを実現するためにはプロセスの課題がある。今回の4F²セル試作で明らかになった課題のひとつ、トレンチに埋め込んだ酸化膜のエッチングに関して行ったプロセス条件出しの結果について以下に記す。

本報告書で検討した 4F² プロセスの特徴を簡単に説明する。最も重要な点は、素子分離に用いるトレンチの側壁にソース、ドレインを形成する点である。また、4F² の特徴を活かすため、セル密度を上げることが可能な AND 型セルアレイを用いており、さらに工程数を削減するためにゲートをマスクにしてトレンチをセルフアラインで形成する。

このアイデアを実現するため、今回我々が選択したプロセスフローと工程ごとの予想図を図 5-2-2-8 に示す。ここで問題となるのは、トレンチに埋め込んだ酸化膜をエッチバックする際にゲートポリシリコンが露出し、同時にエッチングされてしまうことである。そこで、このエッチバックの条件に関して、酸化膜とポリシリコンの選択比を上げる実験を TE8501 で行った。

プロセスフロー

- ゲート酸化 SiO₂ 4nm
- ゲート Poly 150nm
- 窒素アニール 1000°C5sec
- ゲートハードマスク LTO 120nm
- リソ 〈P1L〉
- ハードマスクエッチング LTO 120nm
- Poly エッチング Poly-Si 150nm
- ライナーHTO 10nm
- サイドウォール SiN 60nm
- サイドウォールエッチバック
- トレンチエッチ (A)
- トレンチ酸化膜 SiO₂ (HTO) 200nm (B)
- 酸化膜エッチバック HTO 350nm (C)
- SiN ウオッシュアウト SiN 60nm(+100%)
- ゲート酸化 SiO₂ 8nm
- Poly 100nm
- P1L エッチング Poly 100nm(+10%over)

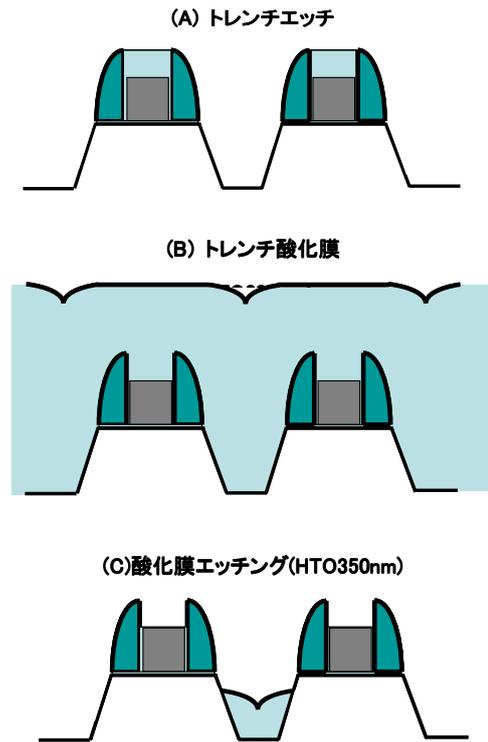


図 5-2-2-8. プロセスフローと断面予想図

酸化膜を埋め込んだ後の形状から、フローティングゲート上の酸化膜厚は 300nm であり、一方トレンチの側壁から酸化膜を 60nm 後退させるためには酸化膜を 540nm エッチングする必要がある。したがって、240nm の酸化膜をエッチングしている間、フローティングゲートにダメージが加わる(実際には平面とトレンチ部でエッチングレートが異なるので、エッチング量は 540nm よりも少なくすることが可能)。このダメージを低減するためには、酸化膜とポリシリコンの選択比を上げることが重要である。従来用いられている TE580 では CF₄、CHF₃、Ar というガスを使用しているが、TE8501 ではそれ以外に C₄F₈ というガスを使用できるため、選択比を上げることが可能であると考えられる。今回新たに TE8501 を用い、TE580 と同じガス系、および C₄F₈ を用いたガス系によるエッチングの選択比を調べた結果を示す。

図 5-2-2-9 の Recipe37 に示した従来の CF₄ 系のガスを用いると、選択比が 7.1 であることが分かった。一方、図 5-2-2-9 の Recipe20 に示した C₄F₈ 系では O₂ 流量を振って実験を行った。その結果を図 5-2-2-10 に示す。O₂ 流量を下げると選択比が改善するが、ウエハ周辺でデポがひどく、シャワーヘッド状に斑点が発生してしまう。デポを抑制するためには O₂ 流量を 9sccm まで増加させる必要があり、その結果得られた選択比は 12.2 であった。また、O₂ 流量 9sccm の場合に Ar 流量を減少させてもエッチングレートは上がるが選択比は変化がなく(図 5-2-2-10)、最終的に C₄F₈ 系のガスを用いることで選択比が従来の 7.1 から 12.2 まで改善することが判明した。

エッチング条件	O ₂ (sccm)	Ar(sccm)	Poly(nm/min)	SiO ₂ (nm/min)	選択比	デポ
Recipe37			43.8	310.6	7.1	無
Recipe20	9	210	43.2	534	12.3	無
Recipe20	9	420	38.4	468.8	12.2	無
Recipe20	7.5	420		486		有
Recipe20	6	420	25	491.8	19.7	有

図 5-2-2-10. O₂/Ar 流量と選択比の関係

CF₄ 系では CHF₃ ガスによる F の引き抜きにより CF₃ 濃度を下げ、CF₂、CF といった不飽和種を生成することにより Si のエッチングレートを下げて選択比を高めている。一方、C₄F₈ 系も原理は同様であり、解離の際に CF₃、CF₂、CF が生じるため選択比が高くなる。C₄F₈ 系では C/F 比が大きく基本的に選択比を大きく取れるが、そのままでは SiO₂ 上でもデポが生じるため酸素を添加することにより酸化膜上に生じた不飽和種を COF_x の形で除去している。この際 Si 表面では添加した O 原子が表面に吸着して F の反応を阻止する結果、Si のエッチングレートが下げるため、さらに高い選択比を得ることが可能であると考えられる。また、ポリシリコンが露出するような場合に H を含んだガスを用いると、H⁺イオンが Si 中に深く侵入し、点欠陥や面欠陥を誘起する。このことから、H を含まない C₄F₈ 系によるエッチングは有利である。

新しい条件を用いて実験をおこなった結果を図 5-2-2-11 (エッチング前後の SEM 写

真) に示す。

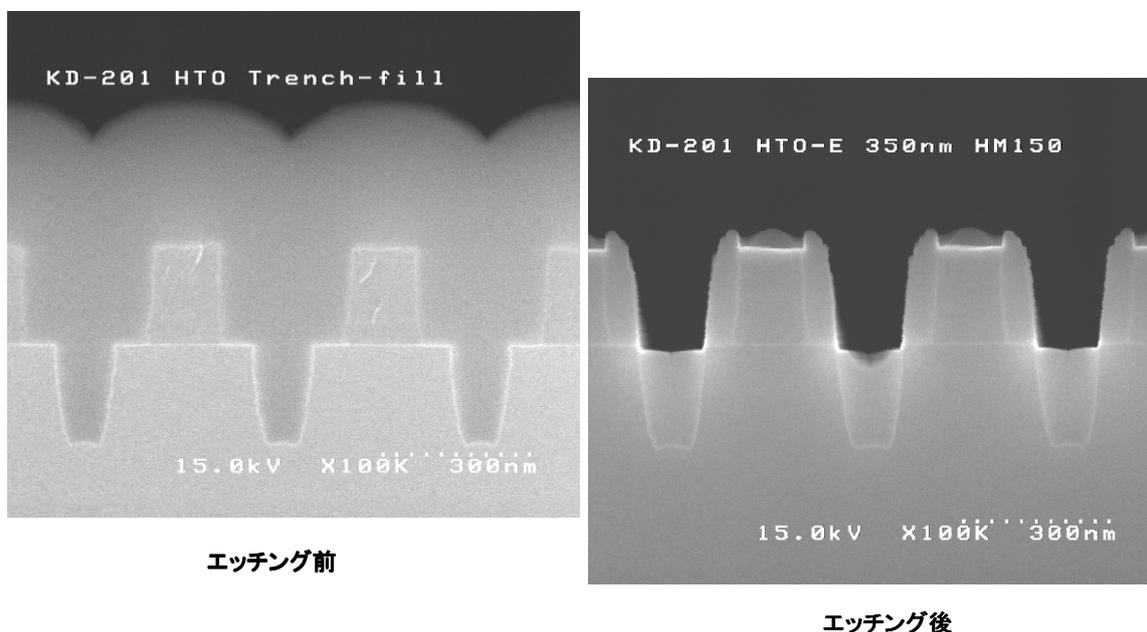


図 5-2-2-11. エッチング前後の SEM 写真

- エッチングレート : SiO₂ (HTO) 465.4nm/min
- 時間 : 45.2sec (350nm エッチング)

新しく選出した条件を使用することにより、ゲートポリシリコンはほとんどエッチングされずに、予想どおり SiO₂ をエッチングする事ができた (図 5-2-2-11 エッチング後)。

今回 4F²セル作製プロセスで特にトレンチに埋め込んだ酸化膜のエッチングに焦点を当て、酸化膜とポリシリコンの選択比を上げる実験を TE8501 で行った。その結果 C4F8 系のガスを用いることで選択比を従来の 7.1 から 12.2 まで改善させることに成功した。この条件を使用したところ、ゲートポリシリコンはほとんどエッチングされずに、SiO₂ をエッチングする事ができた。

今後の課題として、埋め込み SiO₂ が 200nm だとトレンチの中央に凹ができてしまうため、SiO₂ 成膜量を増やすか、表面を平坦化することでこの問題を解決する必要がある。またトレンチ内の SiO₂ は 4F²セルが完成するまでに、後工程で加わる HF 処理によってエッチングされやすいため、トレンチ底面が露出してしまいう問題がある。この課題をクリアするにはトレンチに埋め込む SiO₂ を SiN にする等の実験も必要である。

DTM のゲート電極は、ゲートからチャネル層へのトンネル電流を防止する為に、ゲート電極の Poly-Si はケミカル酸化膜をはさんだ 3 層構造のフローティングゲートとなっている、その為に、従来の加工条件では加工が出来ない問題が発生していた。こ

のDTM ゲート構造での加工条件の検討を行なった。

本実験に用いた試料は、試作ロットと同じ層構造にした。内訳は、ゲート絶縁膜を2.5nm、下層に non-dope Poly を30nm 堆積する。その後硝酸処理によりケミカル酸化膜を形成し、上層に doped Poly を150nm 堆積し、EB 露光によりゲートレジストパターンを形成した。概略図を図 5-2-2-12 に示す。

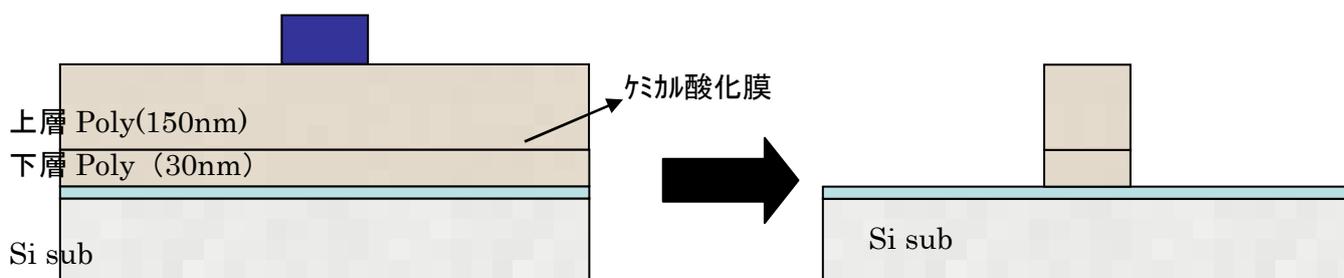


図 5-2-2-12

現在のゲート電極加工条件は、BT-step、ME-step、OE-step での3step 法により行っている。BT-step は酸化膜との選択比を緩和し Poly-Si 表面を軽くエッチングする事によりレジスト現像残や酸化物などの除去を目的としている。ME-step は、酸化膜との選択比を高くし Si の波長強度による終点検出 (End. Point 波形) 法により Poly-Si をエッチングする。OE-step は、選択比をさらに高くし、ゲート界面でのゲートポリの裾引きや Locos 端での Poly-Si 残を除去する。

はじめに従来の加工条件を用い DTM 構造のゲートポリシリコン電極を加工した結果を図 5-2-2-13、図 5-2-2-14 に示す。

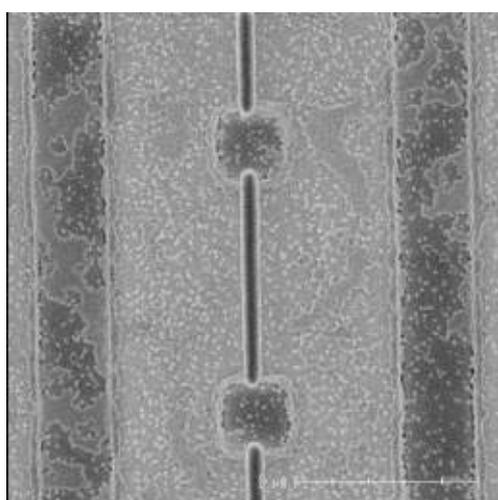


図 5-2-2-13

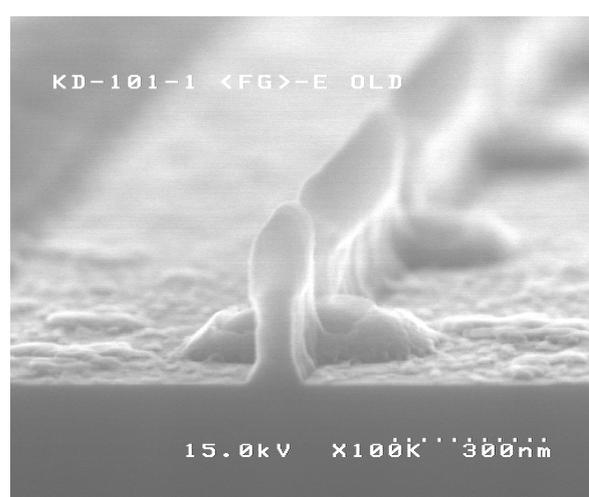


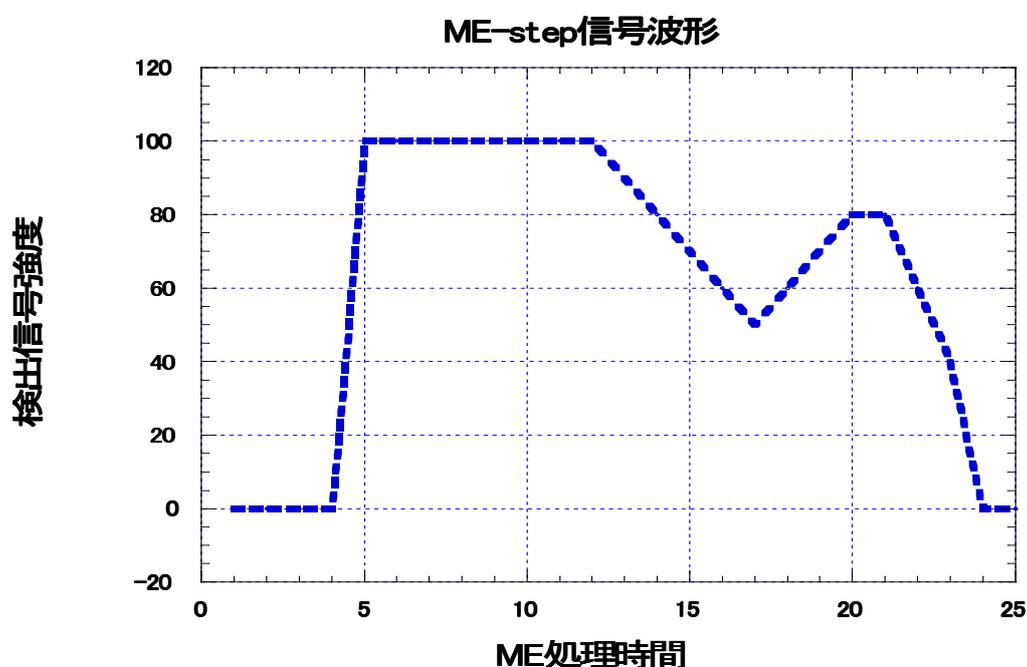
図 5-2-2-14

従来通りの加工では、ME-step で既にケミカル酸化膜が不均一に破れ、その影響が

下層 Poly へ転移し下層 Poly 膜が均一に RIE されず残が観察されている。この事から従来条件での加工は不可能であり、本構造に適応可能な新しい加工条件の選出が必要となった。

新しい加工条件は、ゲートポリシリコン電極の間に形成しているケミカル酸化膜を均一に加工する必要があるため、ME-step での検討を主に選出を進めた。

従来の ME-step は最小ゲート絶縁膜厚 2 nm を対象とした加工条件の為、終点検知した時点でのゲート絶縁膜の破れを防ぐ必要がある為、終点検知の Trigger 値は 90% に設定している。この条件では、ケミカル酸化膜が露出した時点で終点が検知され、次の OE-step では下層の Poly-Si は加工されない。そこで、Trigger 値の設定を 0% とし同試料の加工を行なった結果、終点検知の信号波形は下記に示す 2 段波形になっている事が判った。

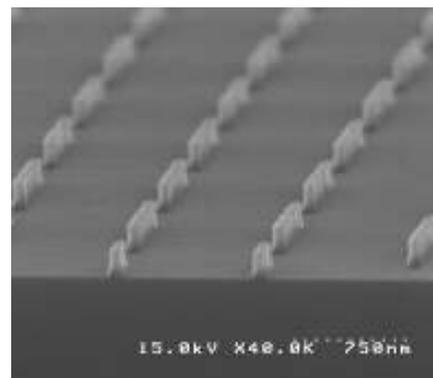
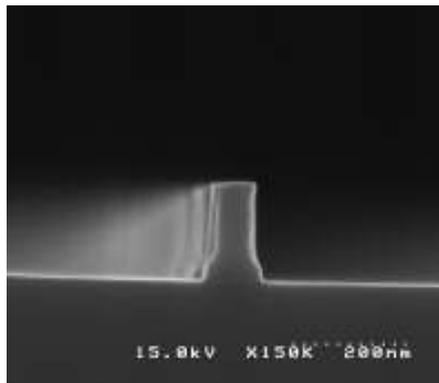


すなわちプラズマ発生と共に信号波形は立ち上がり上層 Poly-Si 加工で安定領域となり、信号強度値で 50% 程度まで下がっている。この現象は、ケミカル酸化膜が露出したことを意味している。その後、再度上昇しているのは、ケミカル酸化膜が除去される事により下層 Poly-Si のエッチングが行なわれていると考えられる。これにより、Trigger 値を 40% に設定することにより従来条件で加工したような問題は無く下層 Poly-Si まで加工する事ができた。しかし、ゲート絶縁膜の一部に破れが発生しておりプロセスへの適応は不可能である。次にゲート絶縁膜の破れの問題を検討した。問題の解決は、加工圧を増加し選択比をさらに向上させる事で解決した。この結果、ケミカル酸化膜をはさんだ 3 層構造の Poly-Si ゲートの加工が可能となった。下記に加工条件と SEM 観察写真を示す。

<加工条件>

新条件	TCP	Bottom	Press	Cl2	HBr	O2	他
BT-step	200w	200w	5mt	50			
ME-step	200w	45w	7.5mt		120	3	Trigger=40%
OE-step	175w	175w	30mt		50	2	120%

従来条件	TCP	Bottom	Press	Cl2	HBr	O2	他
BT-step	200w	200w	5mt	50			
ME-step	200w	45w	5mt		120	3	Trigger=90%
OE-step	175w	175w	30mt		50	2	120%



新条件での加工形状とゲート絶縁膜状態

ケミカル酸化膜をはさんだ3層 Poly-Si 構造のゲート加工条件の選出を行い評価した。その結果、ケミカル酸化膜をはさんだ3層構造のゲートポリシリコンの加工に於いて、ゲート絶縁膜を破る事なく加工する条件を選出する事が出来た。しかし、形状に於いては満足するものではなく今後は形状の改善に向けた調査が必要である。

5-2-3 機能分離型セルの研究開発

事業部とターゲット商品を再度練り合わせたところ大容量メモリ混載ASIC (SRAM置き換え) の要求が高くなっていることが判明した。主な用途はセットトップボックス、グラフィクス、デジタルカメラである。競合デバイスにはMoSysの1T-SRAMがあるが消費電力でDTMが有利であることがわかった。そこでターゲットを急遽量産ラインで即製造可能な機能分離型セルに変更して量産工場である三重工場を開発を開始した。

5-3 回路設計

2項に示したように機能分離型セルの開発に注力したため、設計環境整備をおこない、基本設計を開始した段階である。基本セルの特性を取得する2003年4月から、本格的に設計業務を進める。

5-4 総括

14年度は、目標通り、メモリセルの設計と試作をおこなった。1Gビット以上の大容量化が可能な4F2セルの形状を確認した。
機能分離型セルを考案し、量産工場でのTEG試作を進めた。
来年度、サンプル試作を進め、DTMの優位性を提示する。

参考資料、参考文献

(添付資料)

1 研究発表、講演、文献等一覧

FSTJ投稿 Direct Tunneling Memory 白杵達也他