

## 平成15年度 研究開発成果報告書

### 「携帯通信機器用低電力メモリ：ダイレクトトンネルメモリの研究開発」

#### 目 次

1	研究開発課題の背景	1
2	研究開発分野の現状	3
3	研究開発の全体計画	6
3-1	研究開発課題の概要	6
3-2	研究開発目標	8
3-2-1	最終目標	8
3-2-2	中間目標	9
3-3	研究開発の年度別計画	10
3-4	研究開発体制	12
4	研究開発の概要（平成15年度まで）	13
4-1	研究開発実施計画	13
4-1-1	研究開発の計画内容	13
4-1-2	研究開発課題実施計画	16
4-2	研究開発の実施内容	20
5	研究開発実施状況（平成15年度）	21
5-1	メモリセル単体設計試作	
5-1-1	序論	
5-1-2	機能分離型DTMの研究開発結果	
5-1-3	高集積型DTMの研究開発結果	
5-1-4	デバイスシミュレーションによる解析	
5-1-5	まとめ	
5-2	回路設計	
5-2-1	序論	
5-2-2	セルアレーの検討	
5-2-3	まとめ	
5-3	メモリチップ試作	
5-3-1	序論	
5-3-2	AND型メモリセルアレー試作の研究開発結果	
5-3-3	まとめ	
5-4	総括	114

参考資料、参考文献

(添付資料)

1 研究発表、講演、文献等一覧

## 1 研究開発課題の背景

ネットワークを中心とするこれからのIT社会では、情報データ量が増大するだけでなく、いつでもどこでもアクセスできる携帯性が通信機器に求められている。携帯機器利用においては特にグラフィックス（カメラ）、オーディオ信号処理用途の大容量メモリ混載ASICが急速に機能を拡張してきている。メモリを混載する理由は、大量の画像、音声データを高速に処理するために同じチップ内に太いバスで論理素子と記憶素子をつなぐ必要があることによる。現在混載用メモリとしてはSRAM(Static Random Access Memory)が一般に用いられている。しかし、処理するデータ量が年々拡大しているため図1-1に示すようにチップ内の大半を記憶素子が占めるようになる。SRAMはひとつの記憶素子に6つものトランジスタを用いるためセルサイズが大きく、容量増加することによるチップ全体の面積に及ぼす影響が大きい。チップサイズが大きくなると、1枚のシリコンウェハからとれるチップ数が減少するため、コスト増につながり価格競争力が低下する。一方で大容量、高速なDRAM(Dynamic Random Access Memory)を混載させる手段もある。しかしDRAMのセルに用いられるキャパシタは微細化が進みセルサイズが小さくなくても、一定の容量(~30fF)を確保する必要がある。

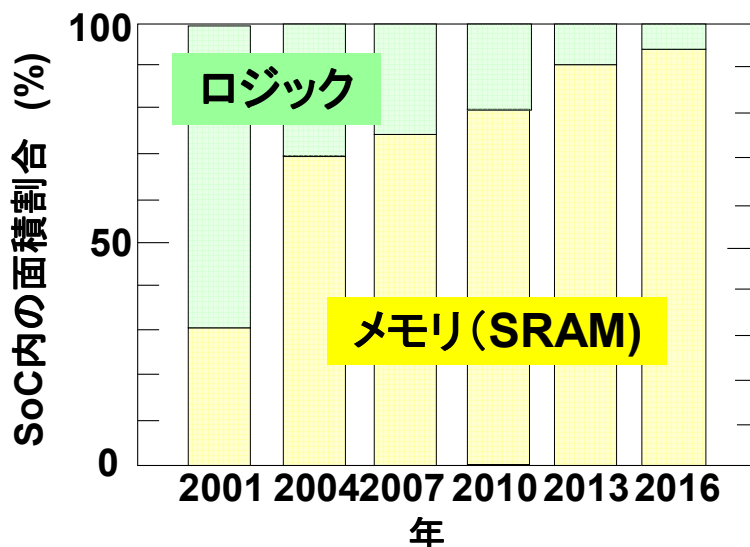


図1-1. SoC内のメモリ(SRAM)とロジックの面積比

そのため、DRAMキャパシタを形成するためにシリコン基板を深く掘ったり、上に高く積み上げたり、新たな高誘電体材料や金属電極材料を導入することが進められている。DRAMやロジックはそれぞれのデバイス特性を向上させるために、プロセス技術が特化している。そのためロジックプロセスにDRAMのプロセスを追加しようとするると専用の装置が新たに必要になったり、一方に適した設定温度や時間が他方に悪影響を与えることがある。記憶素子と論理素子を混載したシステムLSIを低コストで実現するためには、このようなDRAMキャ

パシタのプロセスは大きな障害となっている。

そこで我々は、ロジックとの混載に適した新しいメモリとして、図 1-2 に示すダイレクトトンネルメモリ(DTM: Direct Tunneling Memory)を提案した。[1]

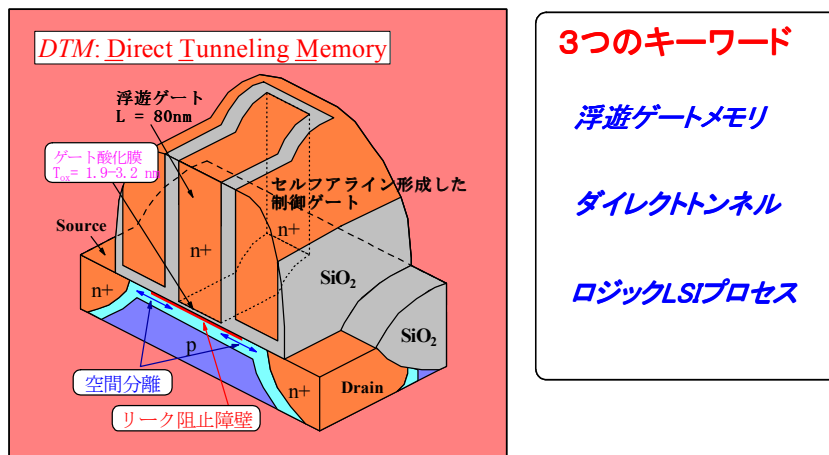


図 1-2. DTM の基本構造と 3 つの特徴

DTM のデバイス構造は比較的簡単で、制御ゲートが浮遊ゲートの側壁に設けられており、ソース・ドレインのエクステンション領域と浮遊ゲートが重ならないようになっている。このため、浮遊ゲートからソース・ドレイン領域への電子のリークが抑制される。また FG からチャネルへの電子のリークを抑制するために、チャネル領域を高濃度にドーピングしている。

第一の特徴は浮遊ゲートにある。MOS トランジスタに外部引き出し電極を持たないゲート(浮遊ゲート)を設けて、記憶特性を持たせている。浮遊ゲートは FLASH メモリでも用いられているものだが、DRAM のキャパシタに比べて構造をコンパクトに出来、特別な材料も必要が無いという利点がある。

第二の特徴はダイレクトトンネル(直接トンネル)電流を用いている点にある。ゲート酸化膜は薄くなると量子効果によってチャネルの電子が酸化膜を直接トンネルできるようになる。特に 3nm 以下の膜厚になると顕著になる。高速 DTM に用いる酸化膜は高速に電子を出し入れするために、1.5nm 以下と非常に薄い、ロジックの量産技術としては既に確立しているので、プロセス開発上の障害はない。

第三の特徴はロジック LSI プロセスで作製できるところにある。DTM ではロジックと DRAM を混載するとき起こるような問題が無く、メモリの特性とロジックの特性の最適化が可能となる。

DTM はロジックプロセスにマスク 3 枚程度の増加で済み、論理素子の特性を損ねることなく混載することができる。SRAM に比べてセルサイズははるかに小さく、トンネル酸化膜厚を薄くすることで書き込みを速くすることが期待できる。DTM が SRAM を置き換えることができるのなら、DTM を用いたシステム構成は図 1-3 に示すように MPU とコンパクトな DTM を太いバスで結ぶことができ、従来に比べてシンプルで価格競争力のあるものになる。

そこで、DTM が携帯通信機器用混載メモリとして SRAM を置き換えること

ができるほど十分な機能を有するか検討を行った。

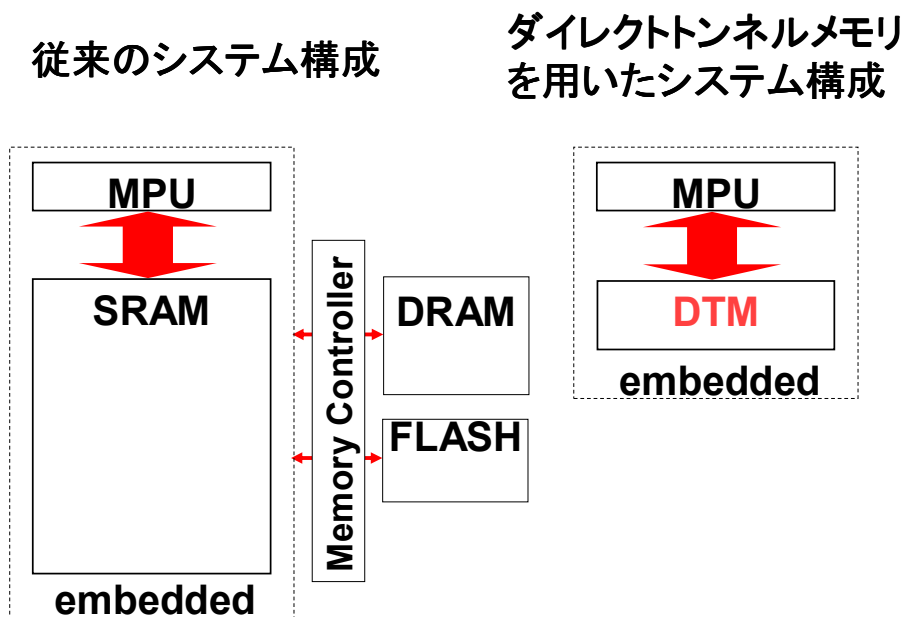


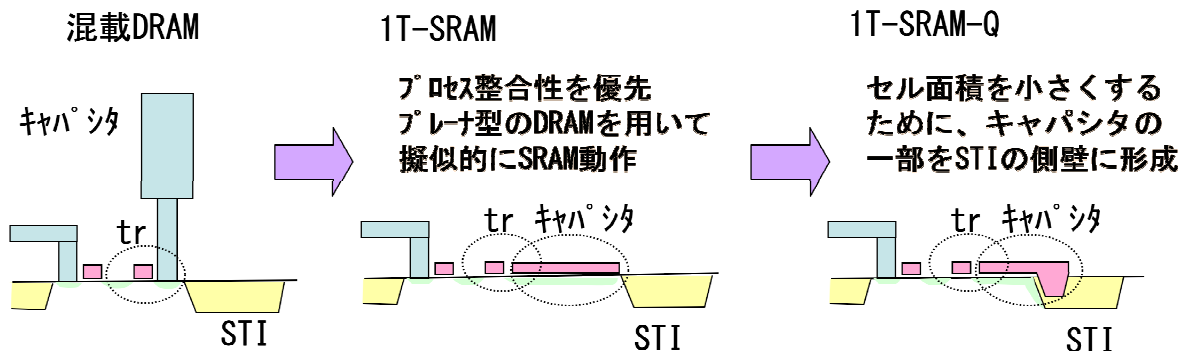
図 1-3. DTM を用いたシステム構成

## 2 研究開発分野の現状

DTM がターゲットとする大容量混載メモリの分野では、セルサイズと消費電力の双方が大きい SRAM の代替として、DRAM を基本とするメモリが使われ始めている。なかでも、IP サプライヤである米国の MoSys 社の持つ”1T-SRAM”テクノロジーが広く受け入れられ始めている。2004 年の MoSys 社の press release を見るだけでも、Agilent Technologies, Fujitsu, Vimicro, SigmaTel, Avid Electronics が IP のライセンス契約を結んだ。2003 年以前に NEC, Sony, Philips, Motorola, TSMC, UMC, Sanyo などがライセンス契約をおこなって、製品を出荷している。この 1T-SRAM は 180nm から 130nm のテクノロジー製品において、主に 8Mb 以上の大容量混載メモリを実現する技術である。これからわかるように、DTM が目指している目標は、多くのユーザが待ち望んでおり、本委託研究の成果の波及効果は非常に大きい。

以下で、DTM と 1T-SRAM の特性の比較を行う。DTM が製品化される 65nm 以降のテクノロジーにおいては、1T-SRAM の適用はむずかしく、DTM に期待するところが多い。1T-SRAM テクノロジーでは、1T1C 型の DRAM をメモリセルとして用いながら、回路の工夫により、SRAM インターフェースとして、データの受け渡しをおこなう。DRAM に必須のリフレッシュ動作は、データアクセスの間に、隠れて行っており、データを要求する側からは SRAM として認識される。1T-SRAM のキャパシタでは、最先端の汎用 DRAM に用いられている 3D 構造（トレンチ構造や円筒型構造）を採用せず、旧来の平板のキャパシタ構造

を採用する。(図2-1) この理由は、3D構造の作製プロセスと CMOS ロジックプロセスとの間にプロセス条件の乖離が大きいためである。この乖離は歩



留まり低下やチップコストの増加に繋がる。

図 2-1. 1T-SRAM のセル構造

平板型のキャパシタについては、CMOS ロジックと共通プロセスによって形成可能であり、プロセス工程の追加が少なく、コスト、歩留まりの両面においてメリットが大きい。しかし、欠点としては、電極面積を大きく取ることができないため、キャパシタの蓄積容量が小さくなり、DRAM のリフレッシュを頻繁に行う必要がある。電極面積を大きくして、リフレッシュ時間を長くしたいところであるが、セル面積の増加に直結するので、むやみに電極面積を大きくできない。電極面積の大きさとリフレッシュ時間の設定はトレードオフの関係にある。MoSys 社の例では、セル面積を SRAM の 2 分の 1 程度としている。このときのリフレッシュ間隔は  $100\mu\text{s}$  のオーダーであり、汎用 DRAM に比較すると 2 桁程度短い。一方、本報告書の後ろの章で述べるように、DTM では、高速アクセスを実現しながら、リフレッシュ時間を 1 秒程度の設定できる。1T-SRAM より 4 桁も長く、この面からも低消費電力化に有利である。

DTM と 1T-SRAM の面積を表 2-1 において比較する。1Mb あたりのマクロ面積で比較すると、1T-SRAM は 6T-SRAM の約 2 分の 1 となる。このテクノロジーでは 130nm 以降での優位性を保ちにくいため、図 2-1 に示すように、STI (Shallow Trench Isolation) の側壁にキャパシタの一部を折りたたんだ 1T-SRAM-Q が検討されている。これにより、面積は約 3 分の 1 となる。しかしながら、130nm 以降のトランジスタにおいては、微細化の進展にともない、ジャンクションリークと呼ばれるリーク電流の寄与が無視できなくなる。このリーク成分により、1T-SRAM のキャパシタに蓄えた電荷が抜けてゆく。リフレッシュ時間を確保するために、キャパシタ容量をスケールリングに合わせて小さくすることができない。この点から、1T-SRAM-Q の技術を用いても、現実的には 90nm までの適用であろうと予想している。DTM のマクロ面積は、6T-SRAM の 6 分の 1、1T-SRAM-Q の半分と十分な優位性を持っているとともに、スケールリングに対応して微細化が可能である。この面から、特に 65nm 世代の混載メモリとして期待している。この世代では、64Mb から最大 256Mb クラスの混載メモリを実現可能である。

表 2-1. DTM と 1T-SRAM との面積比較

Technology node (nm)		180	130	90	65
6T-SRAM	セル面積 ( $\mu\text{m}^2$ )	4	2	1.2	0.6
	マクロ面積 ( $\text{mm}^2/\text{Mb}$ )	6.4	3.2	1.9	1.0
DTM	セル面積 ( $\mu\text{m}^2$ )	0.65	0.34	0.16	0.08
	マクロ面積 ( $\text{mm}^2/\text{Mb}$ )	1.2	0.61	0.29	0.15
1T-SRAM	セル面積 ( $\mu\text{m}^2$ )	1.97	1.1	0.61	
	マクロ面積 ( $\text{mm}^2/\text{Mb}$ )	3.6	1.9	1.1	
1T-SRAM-Q	セル面積 ( $\mu\text{m}^2$ )		0.5	0.28	0.15
	マクロ面積 ( $\text{mm}^2/\text{Mb}$ )		1.05	0.55	0.29

他の新規メモリ開発としては、日立ケンブリッジで研究開発された Phase-state Low Electron-number Drive Memory (PLEDM) があげられる。(参考資料: ISSCC2000 p.132.) PLEDM ではキャパシタをトランジスタに置き換え、二つのトランジスタを基板に対して垂直方向に集積している。このメモリも DRAM のキャパシタが無く、DRAM に比べセルを小さく出来るという利点がある。トンネル電流を利用しているが、我々のダイレクトトンネルメモリでの利用の仕方と形成方法はかなり異なる。二つのうちの上部トランジスタにおいて、ポリシリコン中に 3 枚の窒化膜を挟み込んで、そこに電流を流すようになっている。ダイレクトトンネルメモリでは、トンネル絶縁膜として酸化膜を用いる。そして、その酸化膜を通常のトランジスタと同様にシリコン基板上に形成するので、信頼性や均一性に優れている。また、本メモリではセルあたり一つのトランジスタを用いる。トンネル電流もそのトランジスタ自身の浮遊ゲートに電荷を蓄積するために利用するので、素子構造が単純で小さく、設計が容易である。既に、我々はセルの試作と基礎実験も進めており、研究実績がある。

### 3 研究開発の全体計画

#### 3-1 研究開発課題の概要

ダイレクトトンネルメモリの特色を簡単に述べる。本メモリは、Flashメモリと同様に浮遊ゲートを用いたメモリである。従ってメモリセルあたり一つのトランジスタで記憶が出来、DRAM等に比べ高集積化に向く。但し、Flashメモリのような厚い絶縁膜ではなくロジックトランジスタ用の薄膜を用いるので、ダイレクトトンネル現象が起こる。このトンネル電流を積極的に利用してメモリ素子の高速・低電圧動作・高耐久性を実現することが出来る。また、保持特性を向上させるため従来の浮遊ゲートメモリに無い様々な工夫を行うが、全て一般のロジックトランジスタで用いるプロセス技術を使用する。つまり、専門化されたロジック製造技術を先端のメモリ技術に取り入れたのがダイレクトトンネルメモリである。

当社では既に本メモリのセル基本動作の実証は行っている。これからは、最終的なチップ動作にむけて総合的な研究開発を行う必要がある。

開発目標を達成するための研究内容は、大きく以下の4つに分けることが出来る。

- ア. チップレベルのアーキテクチャ設計
- イ. メモリセル単体設計試作
- ウ. 回路設計
- エ. チップ試作

開発期間は4年3ヶ月を計画している。材料開発が伴う研究は別であるが、半導体開発がこれより長期化すると、技術トレンドが予測しづらくなる。逆に、これより短い場合、マイクロなレベルのセル開発とチップレベルの設計の両立が困難になる。以下では、上記の各項目ごとに開発スケジュールもふくめて説明を行う。

#### ア. チップレベルのアーキテクチャ設計

ダイレクトトンネルメモリセルは従来のDRAMと異なり、セルの設計によって動作特性を大きく変化させることが出来る。例えば、酸化膜厚を変えることにより、書込み時間と保持時間を何桁も変更できる。この柔軟性は大きな特色である。

メモリセルの柔軟性を生かしながらメモリチップの性能を最大にするには、チップレベルのアーキテクチャも既存のDRAMから大胆に設計を変更していく必要がある。チップレベルのアーキテクチャとは、I/Oを通して入力されたデータの処理の仕方や、セルアレイの制御方法等である。高速性を達成するためには、内部キャッシュの採用まで検討する必要がある。それが可能になるのもロジックとの親和性が良いからである。



研究開発では、ダイレクトトンネルメモリセルに適した独自のアーキテクチャを設計し、逆にアーキテクチャからの要請でセルの動作特性を変更することもありえる。従って研究のスタートから、アーキテクチャの設計を理論計算やシミュレーションにより開始し、セル試作にフィードバックをかける体制を整えておく必要がある。(13年度終わりから14年度前半)

#### イ. メモリセル単体設計試作

アーキテクチャ設計とともに、この項目も開発当初からスタートする。

セルの基本設計は明らかになっているが、実用化に向けて更に詳細な研究を行い、性能の向上を図る必要がある。特に、保持時間と書き込み時間の比をあげることと低電圧化を更に進める事が重要である。基本的には現試作段階のメモリセルでも実用化に十分な基本特性を示しているが、更なる特性向上でアーキテクチャ設計の自由度が高まるからである。(13年度終わりから14年度前半)

基本性能を高めつつ段階的に、セル間の特性ばらつきの解析や改善、セルアレイレベルでの信頼性試験の実施等、統計的な試験に重点をシフトさせていく。(14年度後半から15年度前半)

#### ウ. 回路設計

次に、具体的な周辺回路の設計を開始する。

先ず、ワード線ドライバやビット線センスアンプの設計が重要となる。この部分の周辺回路はセルアレイ特性に深く関連するので、メモリセル単体試作評価の結果を検討して早めにスタートする。また、周辺回路ロジックトランジスタの特性把握のためにシミュレーションパラメータの抽出と特性改善を15年度から開始する。

15年度からは、既にアーキテクチャの仕様が固まっているので、それまでに検討した結果を基にアレイブロックに入出力するデータのコントローラーの設計やI/O関連の設計を具体的に行う。これらは、通常ロジック回路の開発である。(但し、その際に行うシミュレーションの結果によっては、この期間のアーキテクチャの修正もありうる。)

当社では、それぞれの分野の専門家がおり、技術的な問題が起きた時点で協力が出来るグループを作ることが出来る。従って、ハードとソフトの同時開発というリスクの高い研究開発を推進することは十分に可能である。

#### エ. チップ試作

次に、アーキテクチャとセル特性の仕様が固まり、回路設計がある程度すすんだ時点で(15年度後半を予定)、チップ試作に取り掛かる。

試作は、1次試作と2次試作に分ける。1次試作では、プロセスのリスクを低くするために余裕を持ったルールでチップを試作し動作実証を目指す。(用途によっては十分に実用になるメモリを試作する。)

2次試作は、高集積化を意識した試作を目指す。メモリセルの大きさは $6F^2$ で行う予定である。但し、一部セルアレイ試作を進め、セルフアライン技術を多用して、 $4F^2$ のプロセス技術を開発する。これは、将来他のメモリ技術に対して十分なアドバンテージを保つためである。

以上で、研究終了時に DRAM に対して性能面やセルサイズの優位性を全て実証する予定である。

### 3-2 研究開発目標

#### 3-2-1 最終目標（平成18年3月末）

新しい動作原理に基づくメモリセルを用い 1Gbit ランダムアクセスメモリの検証試作を行う。メモリ転送速度は 10Gbps、大規模で高速であるにもかかわらず待機時消費電力は  $1\mu\text{W}$  以下を具体的な達成目標とする。しかも、これほど消費電力が低ければ、電源を切ってもバックアップバッテリーで長期間記憶を保持できる。また、セルサイズが  $4F^2$  の微細セルの基本技術を立ち上げる。これにより更なる高集積化が約束される。

現在、携帯機器では大きな DRAM(或いは SRAM)と Flash メモリを内蔵しているが、新型メモリはこの二つのメモリを 1chip で置き換え可能である。

#### 3-2-2 中間目標（平成16年3月末）

メモリセルの設計(構造の最適化)、試作、評価を終了する。更に、チップレベルでのアーキテクチャ基本設計とセルアレイの周辺回路設計を終了する。これらの結果を基にシミュレーションしてメモリチップの諸特性を予測する。ここで後半の計画の見直しを行う。

顧客に対してサンプルを提供する。

3-3 研究開発の年度別計画

(金額は非公表)

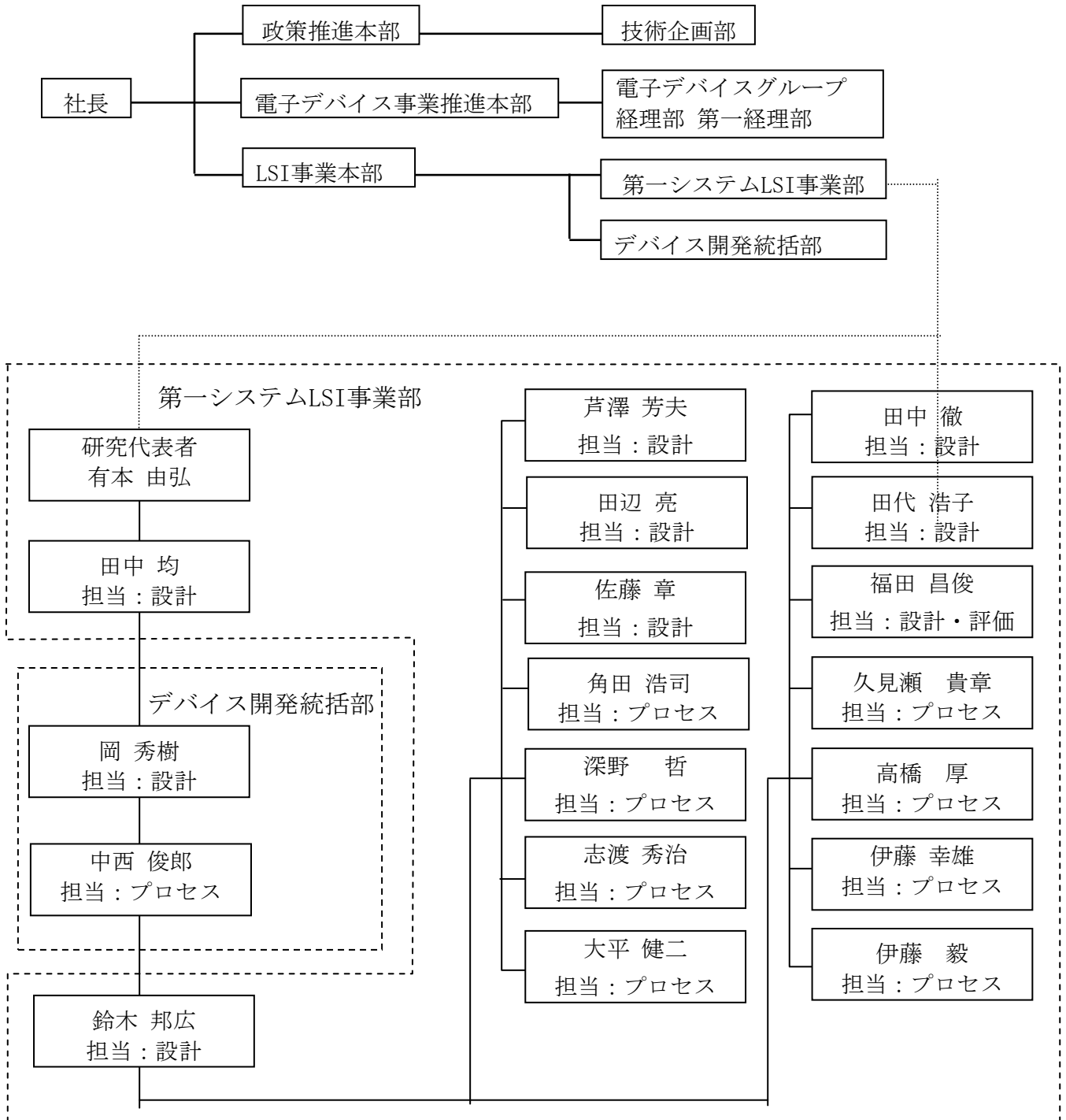
研究開発項目	13年度	14年度	15年度	16年度	17年度	計	備考
「携帯通信機器用低電力メモリ：ダイレクトトンネルメモリの研究開発」							
ア：チップレベルのアーキテクチャ設計	→						
イ：メモリセル単体設計試作		→					
ウ：回路設計			→				
エ：メモリチップ試作				→			
間接経費							
合計							

注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%を上限として計上(消費税を含む。)

2 備考欄に再委託先機関名を記載。

3 年度の欄は研究開発期間の当初年度から記載。前年度（14年度）までは、合計が当該年度の契約額の実績値となるよう記載。

3-4 研究開発体制（平成15年度末時点）



## 4 研究開発の概要（平成15年度まで）

### 4-1 研究開発実施計画

#### 4-1-1 研究開発の計画内容

（平成13年度）

本研究で開発する次世代メモリは、電子のダイレクトトンネリング機構を利用している。このため、メモリセルの作製技術だけでなく、十分な動作マージンを得るための新しい設計技術、高速化・大容量化・低消費電力化を実現するためのアーキテクチャ技術が新たに必要となる。この広範な技術開発目標を達成するため、先ほども述べたように開発は大きく以下の4つに分けて行う。（「3-1 研究開発課題の概要」を参照。）

- ア. チップレベルのアーキテクチャ設計
- イ. メモリセル単体設計試作
- ウ. 回路設計
- エ. チップ試作

開発期間は4年3ヶ月を計画している。平成13年度は開発計画初年度であり、平成14年1月16日から平成14年3月31日までの3ヶ月間、開発を実施した。研究内容は上記の4つの内、「ア. チップレベルのアーキテクチャ設計」と「イ. メモリセル単体設計試作」を開始した。

（平成14年度）

本研究では、ダイレクトトンネリング機構を利用した次世代 G-bit 低電力メモリの製造、設計およびアーキテクチャ技術を開発する。本次世代メモリでは、従来型の DRAM では形成が困難になりつつあるキャパシタを必要としない。さらに、リフレッシュ間隔を従来の DRAM より4桁以上長くすることができるため、待機時電力を 1/10000 以下に低減できる。また、このメモリは通常のロジック LSI プロセスラインで製造が可能であるため、良好な生産性が期待できるとともに、量産通信機器への迅速な搭載が可能である。

ネットワークを中心とするこれからの IT 社会では、情報データ量が増大するだけでなく、いつでもどこでもアクセスできる携帯性が通信機器に求められている。一方、DRAM に代表される従来の大容量メモリでは、データの有無に関係なく電力を消費しており、このことが通信機器の活用範囲を大幅に狭めている。このため、多量のデータを保持できる低消費電力で大容量のメモリが切望されており、IT 時代のキーデバイスとして各所で研究が進められている。このような状況から、本試験研究では、待機時の消費電力が従来の DRAM の 1/10000 以下の次世代 G-bit RAM を開発し、快適なネットワークコンピューティングを実現することを目的とする。

本研究で開発する次世代メモリは、電子のダイレクトトンネリング機構を利用している。このため、メモリセルの作製技術だけでなく、十分な動作マージンを得るための新しい設計技術、高速化・大容量化・低消費電力化を実現するためのアーキテクチャ技術が新たに必要となる。こ

の広範な技術開発目標を達成するため、開発は大きく以下の4つに分けて行う。

- ア. チップレベルのアーキテクチャ設計
- イ. メモリセル単体設計試作
- ウ. 回路設計
- エ. チップ試作

開発期間は全体で4年3ヶ月を計画している。平成13年度は、平成14年1月から「ア. チップレベルのアーキテクチャ設計」と「イ. メモリセル単体設計試作」を開始した。「ア. チップレベルのアーキテクチャ設計」では、メモリのアドレスの与え方及び書込み並列処理を行う際のバッファ容量について理論的な検討を行っている。「イ. メモリセル単体設計試作」に関しては、単体試作を行い、その電氣的測定と透過型電子顕微鏡(TEM)による分析を進め、プロセス条件と電氣的特性、更にデバイスの形状との間の関係を詳細に検討している。

平成14年度は、初年度の成果を踏まえ具体的な開発を進める。「ア. チップレベルのアーキテクチャ設計」については、先ずチップ内部での並列処理に関する数値シミュレーションを実施する。これにより、平成13年度での理論的検討結果の検証を行う。その後、並列処理の具体的な処理フロー及びチップのアーキテクチャを決定して、後半から具体的な「ウ. 回路設計」をスタートする。先ずは、セルアレイ周辺の回路から具体化していく。「イ. メモリセル単体設計試作」に関しては、小規模のセルアレイを含めた単体試作にシフトする。これにはセル面積の縮小を狙った新たな作製技術も導入する予定である。同時に地道な改良を続け、後半には統計的な試験に重点をシフトさせていく。試作結果は、その都度「ウ. 回路設計」に反映させて効率の良い開発を目指す。

(平成15年度)

本研究では、ダイレクトトンネリング機構を利用した次世代 G-bit 低電力メモリの製造、設計およびアーキテクチャ技術を開発する。本次世代メモリでは、従来型の DRAM では形成が困難になりつつあるキャパシタを必要としない。さらに、リフレッシュ間隔を従来 DRAM より4桁以上長くすることができるため、待機時電力を 1/10,000 以下に低減できる。また、このメモリは通常のロジック LSI プロセスラインで製造が可能であるため、良好な生産性が期待できるとともに、量産通信機器への迅速な搭載が可能である。

ネットワークを中心とするこれからの IT 社会では、情報データ量が増大するだけでなく、いつでもどこでもアクセスできる携帯性が通信機器に求められている。一方、DRAM に代表される従来大容量メモリでは、データの有無に関係なく電力を消費しており、このことが通信機器の活用範囲を大幅に狭めている。このため、多量のデータを保持できる低消費電力で大容量のメモリが切望されており、IT 時代のキーデバイスとして各所で研究が進められている。このような状況から、本試験研究では、待機時の消費電力が従来 DRAM の 1/10,000 以下の次世代 G-bit RAM を開発し、快適なネットワークコンピューティングを実現することを目的とする。

本研究で開発する次世代メモリは、電子のダイレクトトンネリング機

構を利用している。このため、メモリセルの作製技術だけでなく、十分な動作マージンを得るための新しい設計技術、高速化・大容量化・低消費電力化を実現するためのアーキテクチャ技術が新たに必要となる。この広範な技術開発目標を達成するため、開発は大きく以下の4つに分けて行う。

- ア. チップレベルのアーキテクチャ設計
- イ. メモリセル単体設計試作
- ウ. 回路設計
- エ. チップ試作

開発期間は全体で4年3ヶ月を計画している。平成13年度は、平成14年1月から「ア. チップレベルのアーキテクチャ設計」と「イ. メモリセル単体設計試作」を開始した。「ア. チップレベルのアーキテクチャ設計」では、メモリのアドレスの与え方及び書込み並列処理を行う際のバッファ容量について理論的な検討を行っている。「イ. メモリセル単体設計試作」に関しては、単体試作を行い、その電氣的測定と分析を進め、プロセス条件と電氣的特性、更にデバイスの形状との間の関係を詳細に検討している。また半導体ビジネスをとりまく環境がおおきく変化している状況から、DTMのターゲットビジネスをどこに位置付ければいいのか検討したところ、携帯機器利用において急速に機能が拡張してきているグラフィックス（カメラ）、オーディオ信号処理用途の大容量メモリ混載ASIC（SRAM置き換え）がふさわしいことがわかった。1T-SRAM等の競合デバイスと比較してもセル面積、消費電力でDTMは有利である。ただ当初のDTM構造では製造面での複雑さや高速性に難があるため、書き込み・消去を行うダイレクトトンネル領域と読み出しを行うトランジスタ領域を分けた機能分離型セルを考案し、事業展開の可能性を大きく広げた。

平成15年度では機能分離型セルの完成度を増してセル、マクロ設計を進めて一次サンプルを提供することをめざす。また、その先の世代を視野に入れて高集積用4F<sup>2</sup>セルの動作確認を行う。



4-1-2 研究開発課題実施計画

(平成13年度)

(金額は非公表)

研究開発項目	第1四半期	第2四半期	第3四半期	第4四半期	計	備考
「携帯通信機器用低電力メモリ：ダイレクトトンネルメモリの研究開発」						
ア. チップレベルのアーキテクチャ設計				→		
イ. メモリセル単体設計試作				→		
間接経費						
合計						

- 注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%で計上(消費税を含む。)  
 (合計の計は、「3-1の研究開発課題必要概算経費」の総額と一致)
- 2 備考欄に再委託先機関名を記載。

(平成14年度)

(金額は非公表)

研究開発項目	第1四半期	第2四半期	第3四半期	第4四半期	計	備考
「携帯通信機器用低電力メモリ： ダイレクトトンネルメモリの研究開発」						
ア チップレベルのアーキテクチャ設計			→			
イ メモリセル単体設計試作				→		
ウ 回路設計				→		
間接経費						
合 計						

- 注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%で計上(消費税を含む)。  
(合計の計は、「3-1の研究開発課題必要概算経費」の総額と一致)
- 2 備考欄に再委託先機関名を記載。

(平成15年度)

(金額は非公表)

研究開発項目	第1四半期	第2四半期	第3四半期	第4四半期	計	備考
「携帯通信機器用低電力メモリ： ダイレクトトンネルメモリの研究開発」						
ア 機能分離型単体セル開発	→					
イ 機能分離型アレー開発	→	→	→			
ウ 機能分離型マクロ開発		→	→	→		
エ 機能分離型サンプル試作				→		
オ 4F2セル単体設計試作				→		
間接経費						
合計						

注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%を上限として計上(消費税)

を含む。 ) 。

(合計の計は、「3-1の研究開発課題必要概算経費」の総額と一致)

2 備考欄に再委託先機関名を記載。

## 4-2 研究開発の実施内容

(平成13年度)

「チップレベルのアーキテクチャ設計」について、メモリのアドレスの与え方及び書き込み並列処理技術の DTM への応用を具体的に検討した。DTM のセル特性を活かすマクロなレベルからの検討課題である。

一方で、セル内部のミクロな検討課題を「メモリセル単体設計試作」の平成 13 年度の開発項目として実施した。

(平成14年度)

ダイレクトトンネルメモリは、Flash メモリと同様に浮遊ゲートを用いたメモリである。従ってメモリセルあたり一つのトランジスタで記憶が出来、DRAM 等に比べ高集積化に向く。但し、Flash メモリのような厚い絶縁膜ではなく、ダイレクトトンネル現象が起こるような薄膜を用いてトンネル電流を積極的に利用しメモリ素子の高速・低電圧動作・高耐久性実現を目指した。

14年度では、以下の2点で研究開発を進める計画を立てた。

### ア. チップレベルのアーキテクチャ設計

まずアーキテクチャの設計を理論計算やシミュレーションにより開始し、セル試作にフィードバックをかける体制を整えておく計画であった。

本年度はメモリのアドレスの与え方、および書き込み並列処理を行う際のバッファ容量について理論的な検討をおこなった。またメモリセル単体試作結果を基に、実際のトランジスタレベルでの設計は平成15年度におこなう。

### イ. メモリセル単体設計試作

保持時間と書き込み時間の比をあげることと低電圧化を更に進め、次に基本性能を高めつつ段階的に、セル間の特性ばらつきの解析や改善、セルアレイレベルでの信頼性試験の実施等、統計的な試験に重点をシフトさせていく計画を立てた。

14年度では1Gビット以上の高集積化を実現可能な $4F^2$ セル構造を考案し、試作をおこなった。できあがりの形状については、ねらい通りのものができていることを確認した。このトランジスタの電氣的な評価は、平成15年度におこなう。

(平成15年度)

機能分離型単体セルの開発では、完成度の高い $0.18\mu\text{m}$  ロジック・テクノロジーを流用する形で設計を行い、量産工場(三重)で試作ロットを流した。サンプルを測定、評価した結果、書き込み速度 $1\mu\text{s}$ 、保持時間 $10\text{s}$ を確認した。ただ、市場要求ではさらなる高速化が求められていて、トンネル酸化膜厚の薄膜化が必要なことがわかった。しかし量産工場で他品種の逼迫があったことやすぐには $0.18\mu\text{m}$  ロジック・テクノロジーを上回る技術が適用できないことから、厚木研究所での試作に立ち戻りトンネル酸化膜厚を薄くした高速化に取り組んだ。厚木では $4F^2$ 型に通ずるサイドウォール制御ゲートをもつ高集積型セルを試作した。トンネル酸化膜厚 $1.5\text{nm}$ の極薄酸化膜にすることで $10\text{ns}$ の高速動作、ポリSi空乏化することでデータ保持時間 $10\text{s}$ 以上を実現し、市場要求をクリアできることを確認した。

残念ながら厚木の試作品はまだ単体レベルなので、顧客にサンプルとして提供するところまでには至らなかった。

## 5 研究開発実施状況（平成15年度）

### 5-1 メモリセル単体設計試作

DTM のターゲット商品から要求されるメモリセルの特性は、用途に合わせて最優先にすべき事項が異なる。そのため、形状の異なる2種類のDTMセルの設計と試作を行った。機能分離型DTMではロジックプロセスとの親和性を最優先項目にしてセルを設計した。試作は量産工場である三重工場のラインで行い、プロセス開発無しにメモリセルの動作を実現することで、既存ロジックプロセスとの高い親和性を実証することに成功した。一方従来のサイドウォールコントロールゲート(CG)型DTMではRAMとしての高速性および微細化の実現に焦点を絞った設計を行い、極薄酸化膜を用いた試作を通して5Vの低電圧にて10ns以下の高速動作を達成することができた。これらメモリセルの設計試作においては、Technology CAD(TCAD)によるプロセスおよびデバイスシミュレーションを活用し、セルの持つ各パラメータに関して定量的な評価とフィードバックを行うことで、開発の効率化を実現することができた。

#### 5-1-1 序論

単体メモリセルの設計は、セルアレーの構成を含めた回路設計と、最終的なメモリとしての特性に多くの影響を与える。DTMは従来、CGをサイドウォール状に形成することでセルの微細化を実現し、メモリの大容量化に対応してきた。一方、早期に製品レベルでDTMを世の中に認知してもらうためにDTMのターゲットに関して事業部と協力してマーケットを探索したところ、携帯機器利用において急速に機能が拡大してきているグラフィックス（カメラ）、オーディオ信号処理用途の大容量メモリ混載ロジック(SRAM置き換え)が直近の候補としてあがってきた。1T-SRAM等の競合デバイスとの比較では、DTMの方がセル面積や低消費電力で優れている。ただし当初のDTMセル構造では、SRAMや1T-SRAMのようなロジックベースのメモリに比べれば、製造面の複雑さに難がある。そこで早期の製品化を意識して、書き込み・消去を行うダイレクトトンネル領域と読み出しを行うトランジスタ領域を分けた機能分離型DTMの開発を進めた。機能分離型は従来構造に比べて面積は増加するが、ロジックプロセスとの親和性に優れている点が最大の特徴である。

機能分離型DTMはSRAM置き換えには対応するが、ロジックとの混載メモリを全てDTMで置き換えるためには、これまで通りDRAM置き換えも視野に入れて開発を進める必要がある。DRAMの高集積性に対抗するためには、従来構造であるサイドウォールCG型DTMが有利である。これまでの研究成果からセルの基本的な特性は明らかになったが、RAMとしての高速性の実証は不十分であった。また、高速性を実現するためにはトンネル酸化膜の薄膜化が必要であるが、それに伴いディスターブ特性も変化することが予想される。ディスターブ特性が変化すれば、それを低減するためのセルアレーの構成や、リフレッシュ方式の変更に伴う回路設計等にも影響を与える。したがって、従来型のDTMでは高速性の実証と、それに伴うディスターブ特性の定量的な評価を目標として開発を進めた。

単体メモリの結果からセルアレーおよび周辺回路の設計を行うためには、単体セルの特性をパラメータ化する必要がある。そのため、TCADを利用してプロセス・デバイスシミュレーションを行い、DTMの構造パラメータがメモリセルの特性に与える影響を解析した。またシミュレーションにより得られた条件を設計お

よび試作にフィードバックすることで、開発の高効率化を狙うと共に、DTM の更なる高機能化を目指した。

## 5-1-2 機能分離型DTMの研究開発結果

### (i) 機能分離型 DTM のコンセプト

機能分離型 DTM の模式図を図 5-1-2-1 に示す。機能分離型 DTM は、フローティングゲート(FG)へ電子の出し入れを行うダイレクトトンネル(DT)領域と、FG 中の電子の有無を識別する選択トランジスタを別々に形成することで、従来のサイドウォール状に形成された CG を用いることなく、DT 領域と n 型拡散層を分離することを特徴とする。DT 領域は 2 度酸化プロセスを局所的に適用することで形成する。

機能分離型 DTM ではポリシリコンをサイドウォール状に形成する必要がないためロジックゲートと FG を共有可能であり、ロジックプロセスとの親和性が向上する。また従来の DTM で問題となるディスタ urb 特性についても大幅に改善できる。セル面積は従来型に比べて増加するが、6T-SRAM や 1T-SRAM など、ロジックをベースとした他の embedded-RAM(e-RAM)に比べれば小さい。つまり競争相手は DRAM ではなく、ロジックベースの e-RAM ということになり、面積を犠牲にするかわりに高速性が要求される。図 5-2-1-1 は FG と CG のセルフアラインプロセスを想定しているが、実際の試作では 2 層ポリプロセス (アナログ容量としてキャパシタを形成するためのプロセス) を用いているため FG は CG よりも大きく、ソース・ドレイン領域からのシリサイドの這い上がりを抑制するために、周辺にはパーシャル・サイドウォールとよばれる絶縁膜のサイドウォール層が形成されている。

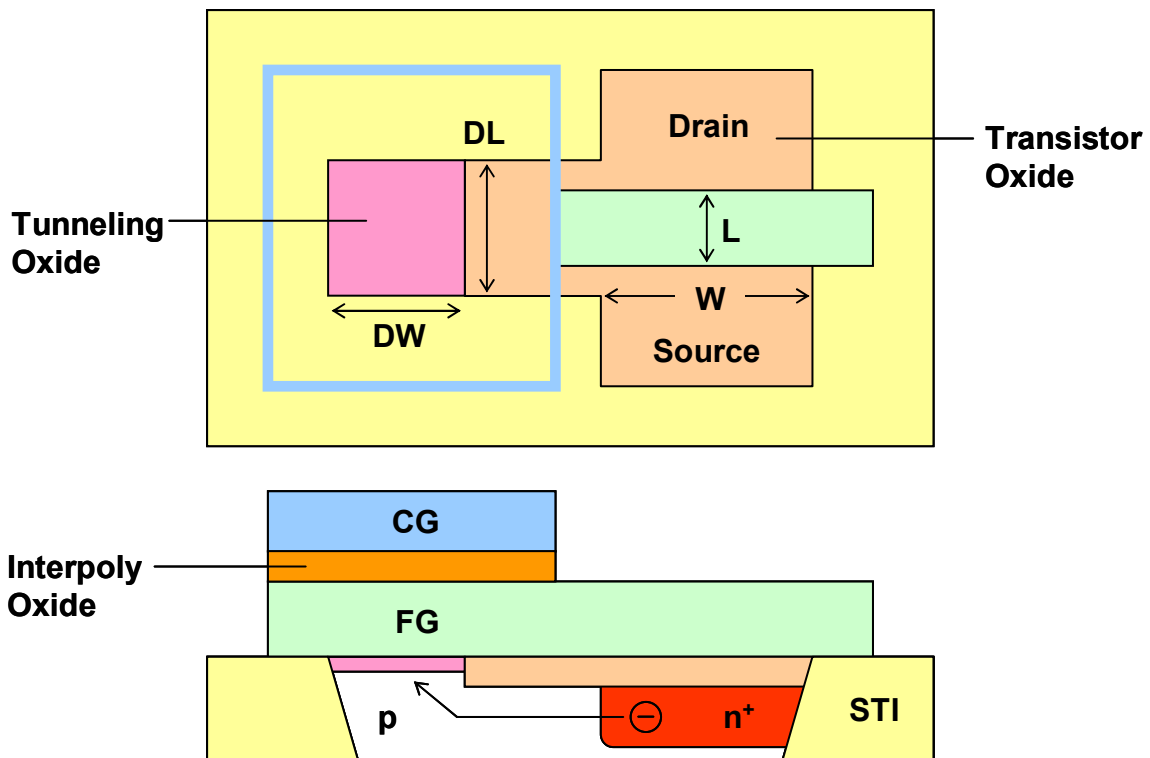


図5-1-2-1. 機能分離型DTMの模式図



(ii) 機能分離型 DTM のプロセスフローとその特徴

図 5-1-2-2 にサイドウォール CG 型および機能分離型 DTM のプロセスフローを、表 5-1-2-I にロジックに対して必要な追加マスクを示す。サイドウォール CG 型では FG を形成後にロジックゲートを成膜、加工する必要がある。一方機能分離型では先に FG と CG のポリを積層し、CG を加工後してから FG とロジックゲートを一括形成することが可能である。追加が必要な最小マスク数は両者共に 3 枚と同じであるが、機能分離型では特性を最適化するためのイオン注入用マスクを追加することができるため、より柔軟性が高い。

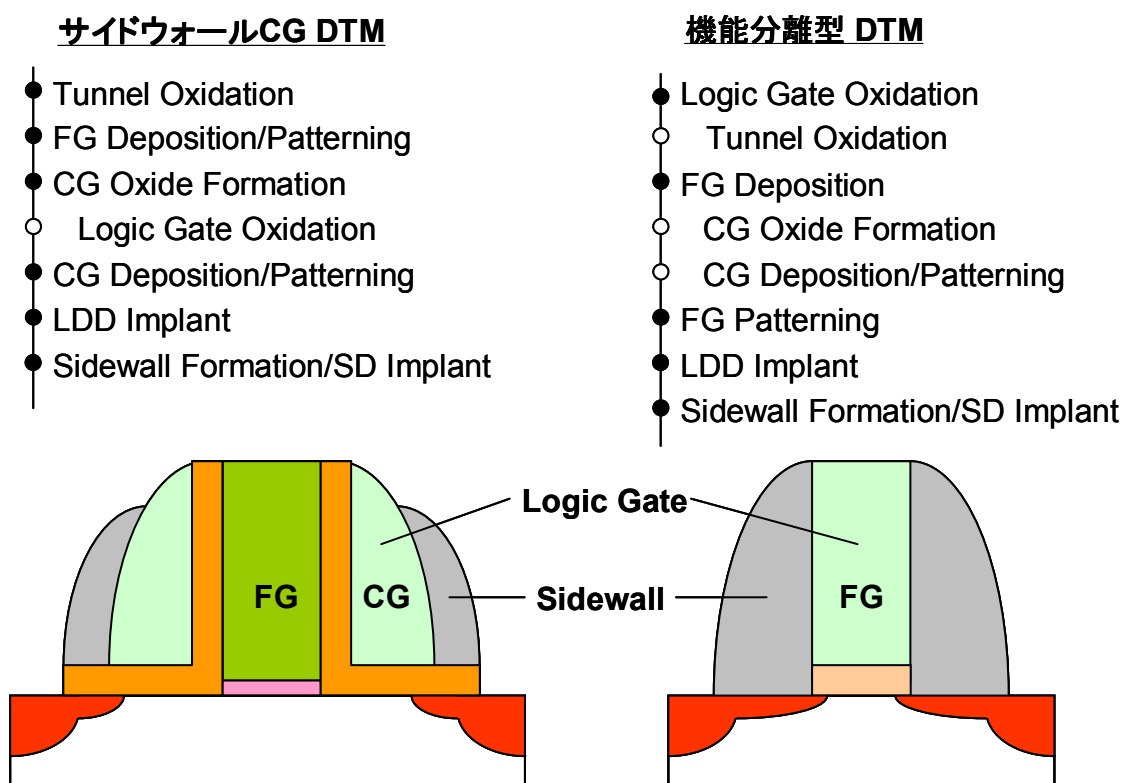


図5-1-2-2. サイドウォール型および機能分離型DTMのプロセスフロー

表5-1-2-I. ロジックプロセスに対して必要な追加マスク数

Objectives	Additional Masks	
	DTM (従来型)	DTM (機能分離型)
Cell Tr Optimization	-	<NVT-Tr>*
DT Area Optimization	<NVT-DT>	<NVT-DT>
FG Definition	<FG>	-
Multi Oxide Process	<Tr-Ox>	-
Multi Oxide Process	-	<DT-Ox>
Gate Depletion	-	<P1N>*
CG Definition	-	<CAP>

\*Option Process

表 5-1-2-II に機能分離型 DTM の特徴をまとめた。機能分離型はロジックの性能に影響を与えず作り込むことが可能である。また選択トランジスタはロジック部と同じ構造であり、既存のプロセス条件やマクロを流用できる可能性が高い。さらに平坦な CG を有するためコンタクトや CG とソース・ドレイン間の絶縁耐性の問題が無く、実際の試作を行う上でロジックとの親和性が大幅に改善されている。また追加マスクにより DT 領域と選択トランジスタに関して、閾値やポリ中の不純物濃度を個別に設計することが可能で、素子の特性自身も従来型に比べて向上させることができる。

表5-1-2-II. サイドウォール型および機能分離型DTMの特徴

Features	DTM (従来型)	DTM (機能分離型)
Additional Masks/Steps	3/6	3/4
Logic Gate Polysilicon	Sidewall CG	FG
Cell Contact	Difficult	Easy
CG-SD Separation	Difficult	Easy
Cell Area @0.18 $\mu\text{m}$ node	0.44 $\mu\text{m}^2$	1.12 $\mu\text{m}^2$
Cell Transistor	Depleted	Same as Logic
Cell Performance (Retention)	Not so Good	Excellent
Logic Performance	Influenced	Not Changed

(iii) キープロセスの試作結果

今回の量産工場における試作では、DTM 固有のプロセス開発は極力行わず、基本的に下記の 3 条件以外は 0.18 $\mu\text{m}$  世代に相当するロジックプロセス条件をそのまま流用した。

基板およびゲートポリへのイオン注入：DTM 用に値を調整

トンネル酸化膜形成：1.8nm, 2.3nm, 3.0nm

ゲートポリエッチング：0.13 $\mu\text{m}$  世代の条件を適用

イオン注入条件振りはリテンション特性の向上を、トンネル酸化膜厚振りは動作速度の向上を目的としている。1.8nm の薄膜条件に合わせてゲートポリエッチングにも薄膜用の条件を適用した結果、レジストトリミングによりゲート長に 40nm の細りが発生した。あらかじめトリミング時間を通常半分まで減らしていたことから、レジストの被覆率および種類が異なることがトリミング量増大の原因だと考えられる。

また今回起版した新規マスクで通常と異なる形状を有するマスクは<ISO> (トランジスタ分離のためのシャロートレンチアイソレーション(STI)形成用マスク)、<TC> (マルチオキサイド形成のためのマスク)、<P1L> (ゲートパターン形成用のマスク) であり、これらのプロセスに関しては露光後抜き取り評価を行った。図 5-1-2-3(a)に突き出し部分を持つ<ISO>パターンを示す。コーナー部でのラウンディングが 0.2 $\mu\text{m}$  ほど発生しており、セルの微細化にはこの部分の最適化が必要となる。ただし今回は単体 TEG 評価であるため FG とソース・ドレインの間隔が 0.7 $\mu\text{m}$  に設計されており、素子特性への影響はない。図 5-1-2-3(b)は素子の DT 領

域のみに局所的に適用された<TC>パターンである。<TC>では HF の染み込み防止の観点から下地との密着性が重要で、i 線用のレジストを高温でバークしているためサーマルフローの影響によるレジストテーパが  $0.5\mu\text{m}$  近く発生している。このテーパ量はレジストの体積依存性が大きく、微細な L/S パターンを形成する際には再評価が必要となる。レジストの抜き幅は活性領域上で STI 上より若干狭く、また微細化に伴いレジスト残渣が増加する傾向だが、図 5-1-2-4 に示すように  $0.42\mu\text{m}$  までは設計寸法通りに仕上がることが確認できた。染み込み量に関しては未評価であるが、選択トランジスタの閾値電圧用イオン注入領域までは  $0.3\mu\text{m}$ 、FG 端までは  $0.6\mu\text{m}$  の余裕があり、今回の試作に限って言えば素子特性には影響を与えな

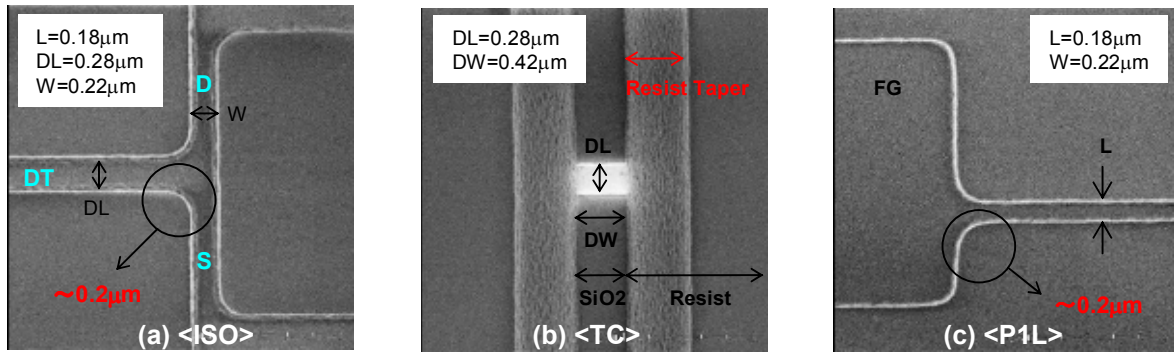


図5-1-2-3. <ISO>, <TC>, <P1L>露光後の表面SEM写真

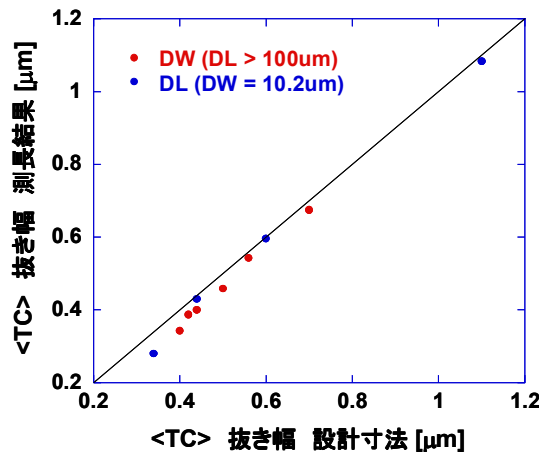


図5-1-2-4. <TC>抜き幅の測長結果

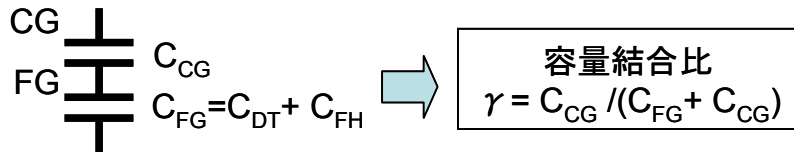
い。図 5-1-2-3(c)は FG と選択トランジスタのゲートを同時形成する<P1L>露光後の SEM 写真を示す。<ISO>と同様にコーナーで  $0.2\mu\text{m}$  のラウンディング、および突き出し端部での  $15\text{nm}$  の細りが生じているが、ゲート長は狙い通りである。

#### (iv) 素子の特性評価

##### (a) 容量結合比の設計

DTM はトンネル酸化膜を介して書き込み・消去を行うため、動作速度は FG に印加される電圧に敏感である。そのため電源電圧を一定に保ちつつ高速動作を狙うには、 $\gamma = C_{CG} / (C_{FG} + C_{CG})$  で定義される容量結合比を大きく設定し、FG に分配される電圧を大きくすることが効果的となる。今回の試作では FG と CG の面積を変えることで FG-CG 間の容量  $C_{CG}$  の値を調節し、トンネル酸化膜厚  $3\text{nm}$ 、コントロー

ル酸化膜厚 28nm の場合に $\gamma=0.2, 0.4, 0.6$ となる TEG を設計して、書き込み・消去特性への影響を評価した。モニタ測定にて得られた酸化膜容量から各トンネル酸化膜厚( $T_{ox}$ )に対して $\gamma$ の実測値を求めた結果を図 5-1-2-5 に示す。コントロール酸化膜厚が 23nm であった影響で、 $\gamma$ は狙いより大きい値になっている。



	容量結合比 デザイン値	DT Cap.(F)	FH Cap.(F)	CG Cap.(F)	DT+FH Cap.(F)	容量結合比 実測値
Tox=1.8nm	0.2	3.49E-14	1.09E-14	1.99E-14	4.58E-14	0.30
	0.4	3.49E-14	1.09E-14	3.50E-14	4.58E-14	0.43
	0.6	3.49E-14	1.09E-14	7.92E-14	4.58E-14	0.63
Tox=2.3nm	0.2	2.88E-14	1.04E-14	2.00E-14	3.92E-14	0.34
	0.4	2.88E-14	1.04E-14	3.51E-14	3.92E-14	0.47
	0.6	2.88E-14	1.04E-14	7.93E-14	3.92E-14	0.67
Tox=3.0nm	0.2	2.35E-14	9.49E-15	1.99E-14	3.30E-14	0.38
	0.4	2.35E-14	9.49E-15	3.49E-14	3.30E-14	0.51
	0.6	2.35E-14	9.49E-15	7.90E-14	3.30E-14	0.71

図5-1-2-5. 容量結合比のデザイン値と実測値

(b) ゲートリーク特性

図 5-1-2-6(a), (b)に機能分離型 DTM およびロジックトランジスタの  $I_G$ - $V_G$  特性を示す。DTM の  $I_G$  測定に関しては、CG を形成せず直接 FG にコンタクトすることが可能な TEG を用いた。トランジスタのゲート長とゲート幅に関しては  $L/W=0.18/10\mu m$  で、DTM の場合のダイレクトトンネル領域は  $DL/DW=(L+0.1)/(W+0.2)\mu m$  に設計した(図 5-1-2-1 参照)。

図 5-1-2-6(a)に示すゲート正バイアスの場合、書き込み動作電圧において両者の  $I_G$  に差は無い。Tox=1.8nm および 2.3nm の低電圧側で DTM の  $I_G$  が減少しているが、これは選択トランジスタ部分の閾値電圧( $V_{th}$ )が高いことに起因している。一方図 5-1-2-6(b)に示すゲート負バイアスの場合、ロジックトランジスタではエクステンション部分へのトンネル成分により低電圧から電流が流れる一方、n 型拡散層とのオーバーラップ領域を持たない DTM では低電圧において  $I_G$  を減少させることができる。また Tox<2nm で DTM のように基板濃度が高い場合には、 $-|V_{FB}|<V_G<0$  の範囲で酸化膜/シリコン界面近傍のトラップを介したトンネル電流成分が支配的になることが知られているが、今回の条件振りの範囲内ではその影響が小さいことも同時に確認できた。

図 5-1-2-6(c)はゲート正バイアスに関して幾つかの  $L/W$  に対する電流密度を求め、DTM とトランジスタを比較した結果である。トランジスタのゲートはソース・ドレイン注入時にも分割ドーピングされていることを考慮すれば、動作電圧における両者の  $I_G$  は同程度であり、局所的な 2 度酸化プロセスを適用した DTM が設計通り作製できていることが分かる。また 2 度酸化プロセスで懸念された 1st 酸化膜と 2nd 酸化膜の境界における薄膜化も、 $I_G$ - $V_G$  特性には影響を与えない範囲であることを明らかにすることができた。

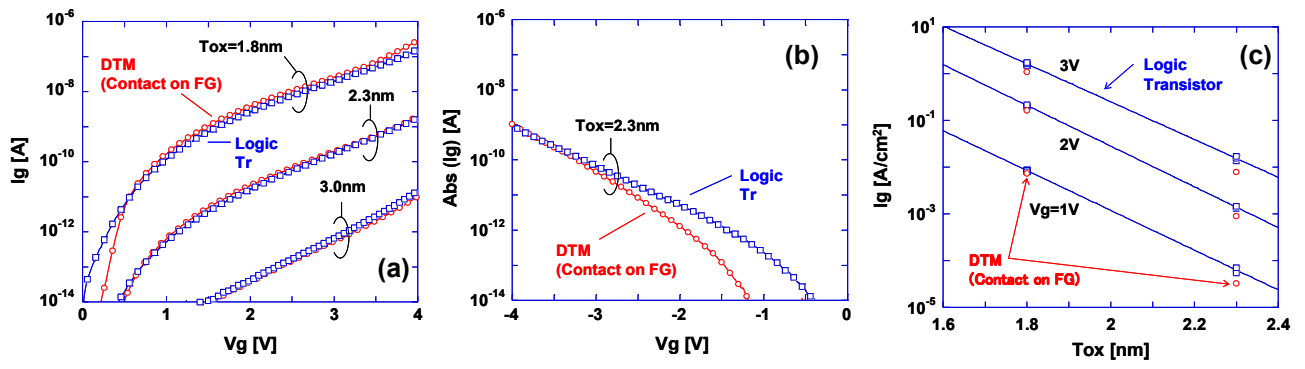


図5-1-2-6. DTMおよびロジックトランジスタのゲートリーク特性

(c) 書き込み・消去の基本特性

DTM の書き込み・消去速度はコントロールゲート電圧  $V_G$ 、容量結合比 $\gamma$ 、およびトンネル酸化膜厚  $Tox$  の影響を受ける。この様子をまとめた結果を図 5-1-2-7(a), (b), (c)に示す。特にサイズの記載が無い場合は、 $L/W/DL/DW=0.18/10/0.28/10.2\mu\text{m}$  を用いた(図 5-1-2-1 参照)。DTM では書き込み・消去ともに DT 電流を用いるため、チャンネルホットエレクトロン(CHE)/ファウラーノルドハイム(FN)トンネル電流を使い分けるフラッシュメモリと異なり、消去速度を書き込みと同程度に高速化可能なことが分かる。また書き込み・消去共にセルフリミットがかかるため、過書き込みや過消去は生じないことも確認できた。

その一方で薄膜化による高速化を行うと、このセルフリミットにより図 5-1-2-7(c)に示すように書き込み・消去直後の閾値電圧差である  $V_{th}$  Window が減少し、得られる電流差にも制限が加わる可能性がある。また図 5-1-2-7(b)に示した $\gamma$ 、すなわち  $C_{CG}$  の増加による高速化も閾値の変動量 $\Delta V_{th}=Q/C_{CG}$  を小さくする。今回の試作では CG 面積で  $C_{CG}$  を変えているため、同時に FG の面積=蓄積電荷量  $Q$  も変化しており影響は小さいが、実際のセルアレーでは面積に制限があり、酸化膜厚で  $C_{CG}$  を変える必要がある。その場合には $\Delta V_{th}$  の減少がさらに顕著であると予想される。さらに図 5-1-2-7(a)に示した  $V_G$  による高速化を含めて、高電圧化による高速化は当然酸化膜への負担が大きくなり、エンデュランス特性を悪化させる。このように、高速化はリテンション特性およびエンデュランス特性と trade-off の関係にあり、総合的に評価することが重要である。

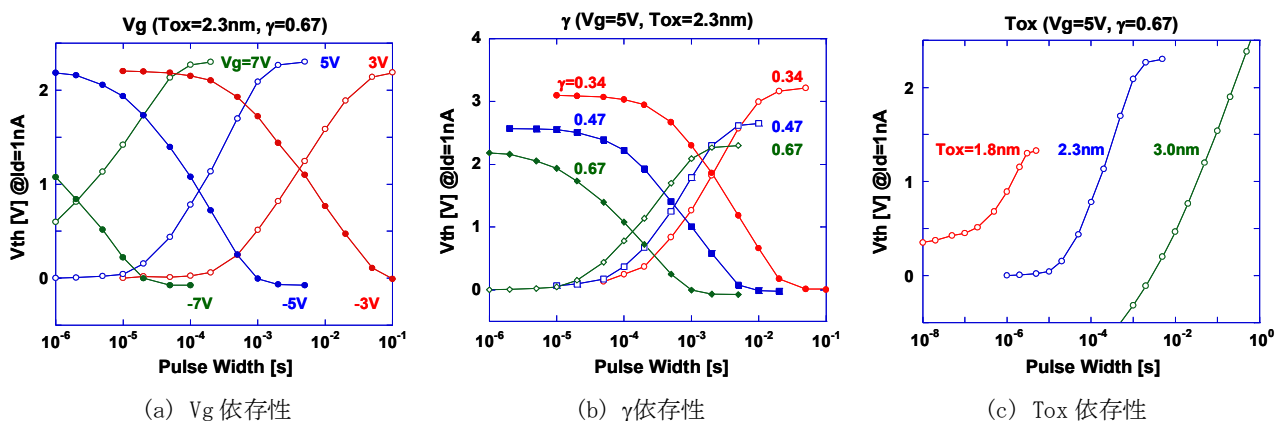


図5-1-2-7. 機能分離型DTMの書き込み・消去特性

(d) 書き込み・消去速度とゲートリークの関係

図 5-1-2-8(a), (b)に、図 5-1-2-6 と図 5-1-2-7 から書き込み速度とゲート電流密度の関係を  $V_G$ および  $Tox$  に関してまとめた結果を示す。また図 5-1-2-8(c)では  $V_G$  と  $Tox$  を区別せずに、書き込み速度とゲート電流密度の対応関係を求めた。書き込み速度は  $V_{CG}$  を、ゲート電流密度は  $V_{FG}=V_{CG}\times\gamma$  をパラメータにプロットした。図 5-1-2-8(c)から書き込み速度はゲート電流密度に比例しており、ゲート電流を測定することで動的な DTM の書き込み速度を正確に予想できることが分かる。今回の測定ではゲート電流  $48\text{A}/\text{cm}^2$  ( $Tox=1.8\text{nm}$ ,  $V_G=7\text{V}$ ,  $\gamma=0.63$ ) の場合に書き込み速度  $65\text{ns}$  が実測値として得られており、また  $10\text{ns}$  以下の高速動作を狙うためには、 $100\text{A}/\text{cm}^2$  程度のゲート電流密度が必要となることが明らかになった。

$100\text{A}/\text{cm}^2$  以上の電流密度を確保しながらエンデュランス特性を向上させるため



には、トンネル酸化膜の薄膜化および動作電圧の低下による  $Q_{BD}$  の増加が必須である。図 5-1-2-8(b)から、酸化膜厚を 0.23nm 薄膜化すると書き込み速度が一桁速くなり、 $V_{CG}=5V(V_{FG}=3V)$ の場合、1.5nm で 100ns、1.3nm で 10ns の高速動作が期待できる。しかし実際には信頼性の観点から動作電圧も同時にスケールリングする必要があり、さらに薄膜化を行う必要が生じる。ただし、今回の試作では 1.8nm と 2.3nm のトンネル酸化膜は窒化を行った酸窒化膜であり、ゲート電流が Pure Oxide に比べて 2 桁程度減少している。したがって窒化を行わない場合、薄膜化への要求は大幅に緩和されると予想される。

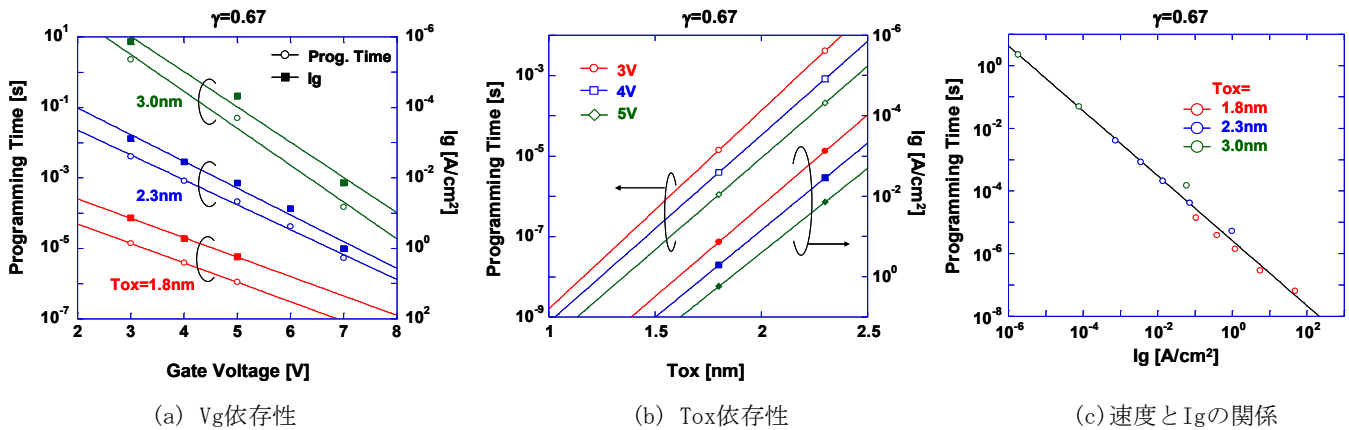


図5-1-2-8. 書き込み速度とゲート電流密度との関係

動作原理が書き込みと消去で変わらないことから、消去速度も同様にゲート電流密度を測定することで予測が可能となる。図 5-1-2-9 は FG の電圧を正負に振り分けた場合のゲート電流(a)と、それに対応する書き込み・消去速度をゲート電圧に対してプロットした結果(b)である。DTM ではゲート負電圧においてエクステンション部分への電子のトンネル電流成分が無いことから、ゲート負電圧における  $I_g$  は特に低電圧側においてゲート正電圧の値よりも小さくなる。図 5-1-2-9(b)から、このような  $I_g$  の非対称性を正確に反映して、書き込み・消去速度も異なる電圧依存性を持つことが分かる。

#### (e) 書き込み・消去速度とゲート空乏化の関係

ゲート空乏化は Retention 特性向上のための重要な技術である。しかし機能分離型 DTM ではロジックとのプロセス整合性を重視して部分空乏化を取り入れていないため、極端な空乏化は寄生抵抗に起因した動作速度の劣化を招く。図 5-1-2-10 は空乏化を行った際の書き込み(a), 消去(b)速度の変化を示す。空乏化により特に書き込みにおける立ち上がり部分の遅れが顕著になるが、これは消去状態の方がより高抵抗であることに起因する。消去速度の変化は書き込みに比べれば小さい。このように過度の空乏化は動作速度と Trade-off の関係になるため、速度に対応した最適化が必要となる。一方、ゲート空乏化により  $V_{th}$  Window は約 2 倍に増加する。蓄積側よりも反転側、つまり消去状態における  $V_{th}$  Window の変化が著しい。

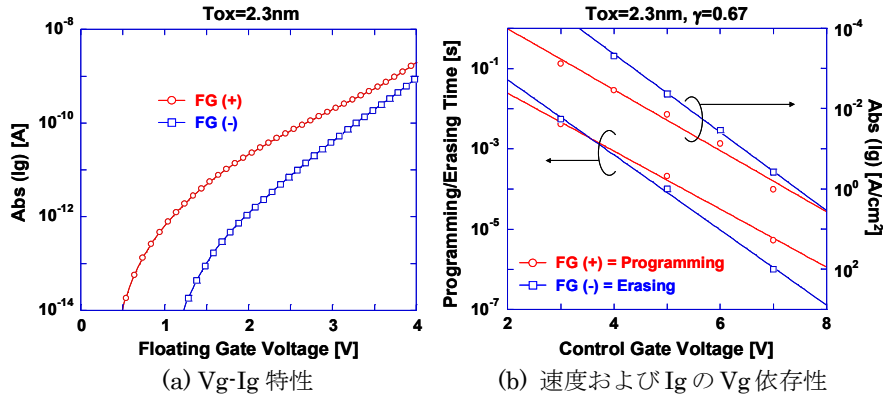


図5-1-2-9. 書き込み・消去速度とゲート電流密度との関係

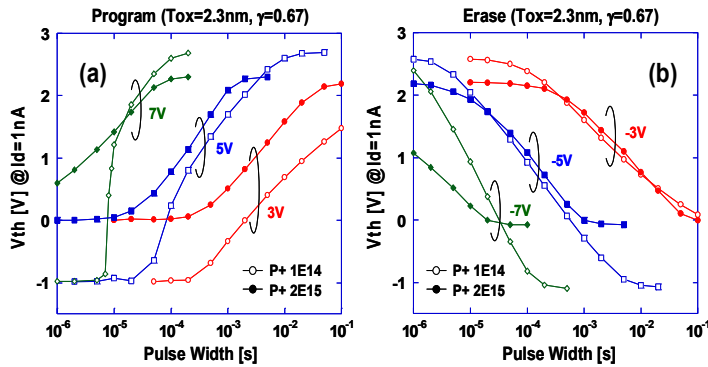


図5-1-2-10. ゲート空乏化による書き込み・消去速度の変化

図 5-1-2-11(a)は空乏化の有無によるゲート電流密度の変化を示す。DT 電流は FN 電流に比べ酸化膜電界への依存性が小さく、ゲート空乏化の影響を受けにくいことが知られている。図 5-1-2-11(a)では動作電圧において  $I_G$  が約 1 桁減少しているが、抵抗成分の影響を受けている可能性もあり、今後より詳細な評価が必要である。一方、図 5-1-2-11(b), (c)は  $Tox=2.3nm$  の場合に関して、書き込み・消去速度と  $I_G$  の対応関係をプロットしたものである。ゲート濃度が十分高い場合は動作速度と  $I_G$  が比例するが、空乏化を行ったサンプルでは高速動作において速度が劣化するため、動作速度と  $I_G$  の比例関係が成立しない。また書き込みの場合は傾きの変化が特に大きく、高速動作時の速度の劣化が消去に比べてより顕著であることを示唆している。



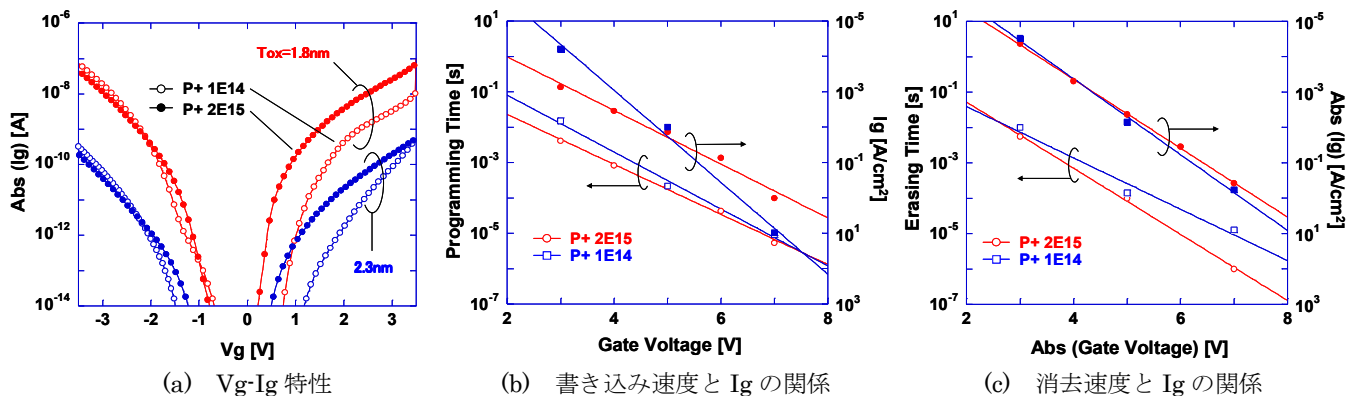


図5-1-2-11. 空乏化によるゲート電流の変化と、書き込み・消去速度との対応関係

(f) 書き込み特性の TEG 依存性

これまでの結果から、空乏化の影響を除けば DTM の動作速度はゲート電流密度を正確に反映し、機能分離型の構造に起因した寄生抵抗の影響を受けないことが明らかになった。このことを確認するために、タイプの異なる TEG を用いて書き込み速度の評価を行った。

図 5-1-2-12 はソース・ドレインから DT 領域へ電子を供給する活性領域が、選択トランジスタとオーバーラップする T 型(標準)と、オフセットする L 型(オプション)に関して書き込み速度を比較した結果である。今回の TEG では FG-ソース・ドレイン間が  $0.7\mu\text{m}$  に設定されているが、L 型ではサイドウォールに覆われる部分以外はシリサイド化されているため、T 型に比べてこの引き込み部分の寄生抵抗の影響を受けにくい。図 5-1-2-12 の測定結果から T 型と L 型で書き込み速度は完全に一致しており、どちらの場合も寄生抵抗は動作速度に対して無視できるほど小さいことが分かる。

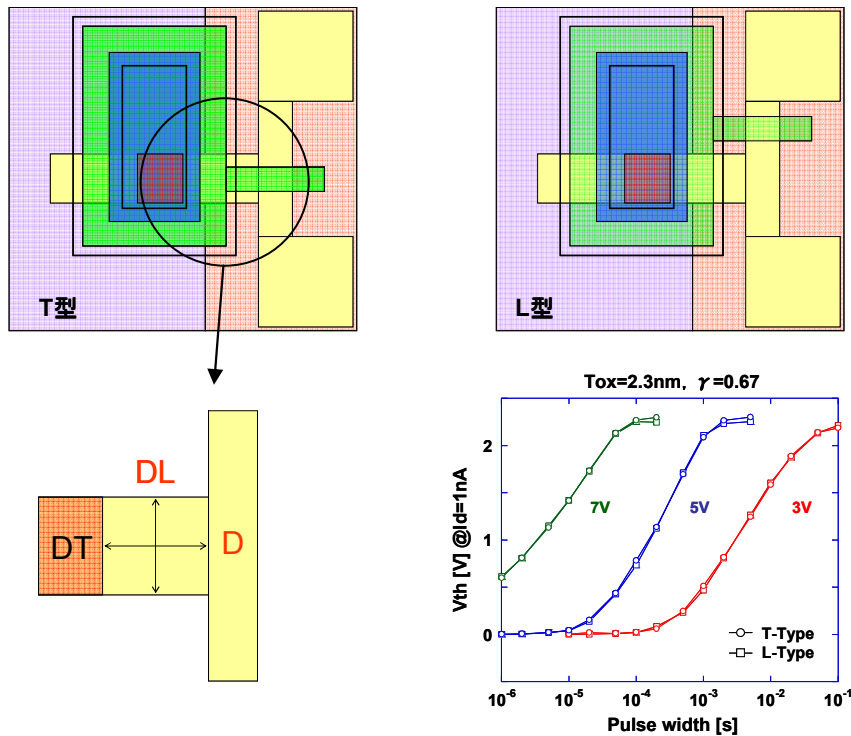


図5-1-2-12. T型とL型の書き込み速度の比較

一方 T 型素子で、この電子の供給部分の幅と長さ(図 5-1-2-12 中の DL と D)を変化させた場合の書き込み特性の変化を図 5-1-2-13(a), (b)に示す。この場合も書き込み速度は DL や D に依存せず、寄生抵抗の影響は無視できることを示唆している。

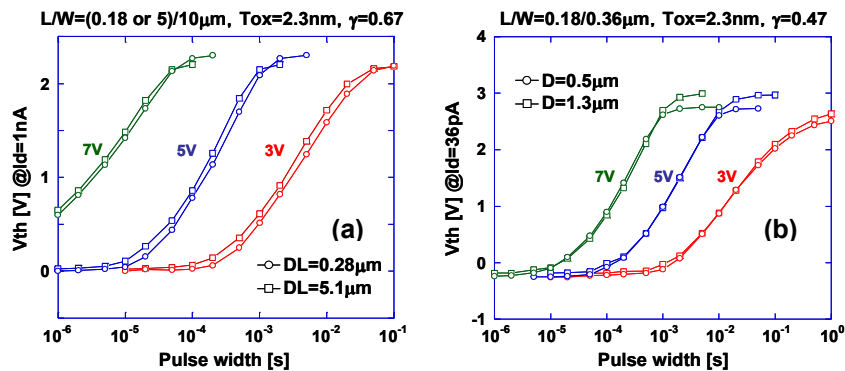


図5-1-2-13. DL/Dを変えた場合の書き込み速度の変化

### (g) 書き込み・消去特性の基板電圧依存性

これまでの結果から、ゲート電流  $I_G$  を増加させることで DTM の高速化が期待できるため、ドレイン、ソース、基板に電位を与えて  $I_G$  を変化させ、対応する動作速度の変化を調べた。図 5-1-2-14 は DTM の各端子の電位を変化させた場合の  $I_G$ - $V_G$ (a), (b)および  $I_D$ - $V_G$  特性(c)である。書き込み側の  $I_G$  はチャンネルが ON した後のゲートとドレイン・ソースの電位差で決まるため、ドレイン・ソース負電位で増加する。一方消去側の  $I_G$  はエクステンション領域へのトンネルが生じないことから、ゲートと基板の電位差で決まるため、基板正電位で増加する。これらの条件

は PN 接合を順バイアスにするため過大な貫通電流が流れる。したがって、ゲートに加わる最大電圧を増加させずに書き込み側の  $I_G$  と消去側の  $I_G$  を共に増加させるためには、別々の動作電圧の組み合わせを用いる必要があることが分かる。

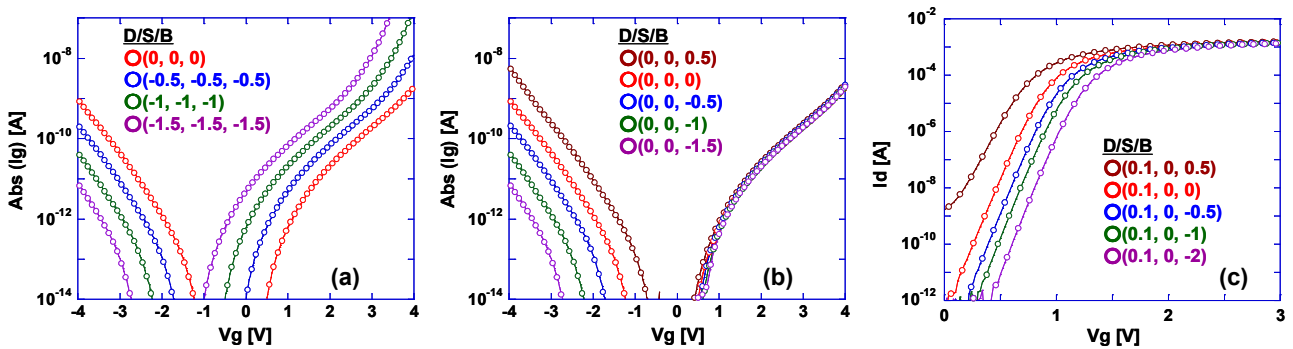


図5-1-2-14. D/S/Bバイアスを変化させた場合の $I_G$ - $V_G$ および $I_D$ - $V_G$ 特性( $T_{ox}=2.3\text{nm}$ )

図 5-1-2-15 にドレイン、ソース、基板に負バイアスを印加した場合の書き込み (a), 消去 (b) 特性を示す。 $I_G$  の結果を反映して、書き込み速度は高速化し、消去速度は低速化する。ただしドレイン、ソース、基板に加えた負バイアスはパルス状ではないことから、電圧を印加すると書き込みが生じて消去後の  $V_{th}$  が上がるため、 $V_{th}$  Window が減少する。実際の信号はパルス状でありこの影響は小さい。あるいは基板により大きな負バイアスを印加することでも緩和できる。しかしいずれの場合も消去されたセルに対しては、ビット線ディスターストとして作用することに注意が必要である。

一方図 5-1-2-16 に基板のみ正負のバイアスを印加した場合の書き込み (a), 消去 (b) 特性を示す。書き込み速度は影響を受けないが、消去速度は基板正/負バイアスでそれぞれ高/低速化する。ただし基板に正バイアスを印加する場合、図 5-1-2-14 (c) に示すように閾値電圧が小さくなるため、貫通電流を減少させるためにはドレイン・ソースにも適切な電圧を印加しておくことが望ましい。

このように、いずれの場合も書き込み・消去速度の変化は  $I_G$  の増減を反映しており、書き込みの場合はドレイン、ソース、基板に適切な負電圧を、消去の場合は正電圧を印加することで、最大電圧を変えずに動作速度の向上が可能であることを明らかにできた。

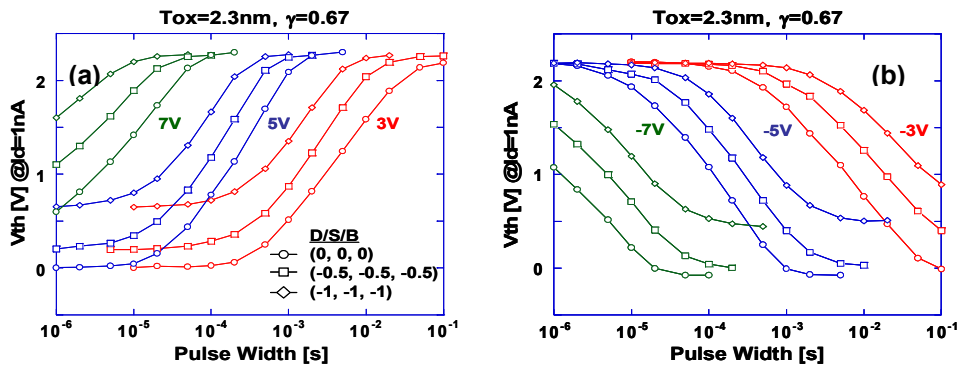


図5-1-2-15. 書き込み (a)、消去 (b) 速度のドレイン、ソース、基板電圧依存性

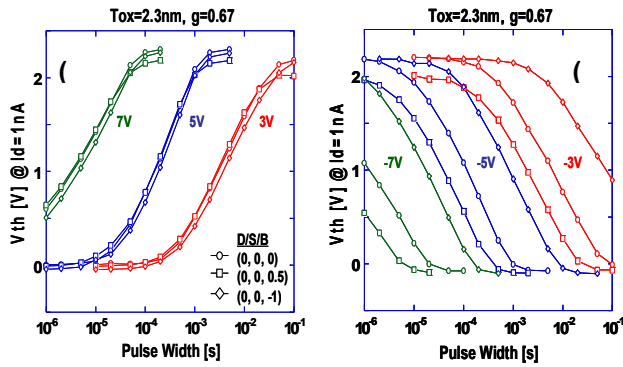


図5-1-2-16. 書き込み(a)、消去(b)速度の基板電圧依存性

(h) リテンション特性と空乏化の関係

図 5-1-2-17 はリテンション特性のトンネル酸化膜厚(a)およびゲート空乏化(b), (c)に対する依存性を示す。トンネル酸化膜の厚膜化により蓄積電荷のトンネル確率が減少し、特性は改善する。またいずれの膜厚についても空乏化により消去側の  $V_{th}$  が下がり  $V_{th}$  Window が増加する結果、リテンション時間が改善している。

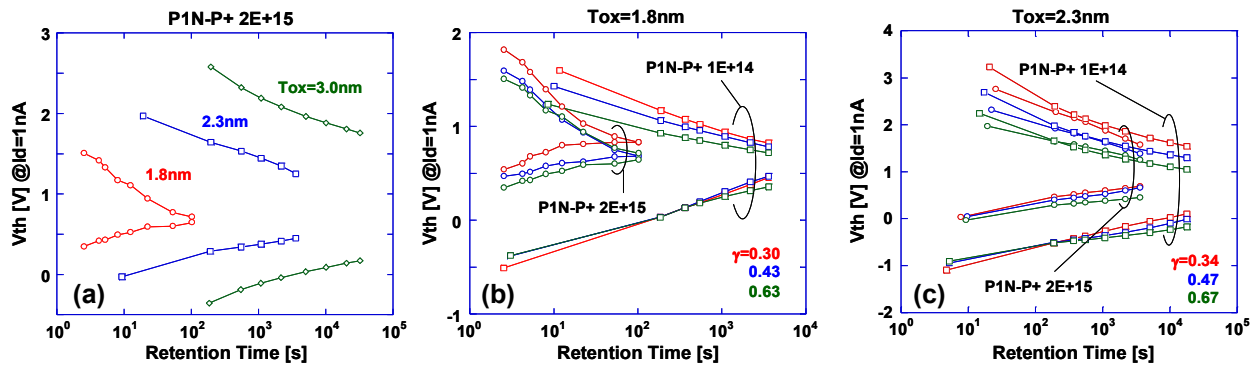


図5-1-2-17. リテンション特性の酸化膜厚およびゲート空乏化依存性

一方、 $V_{th}$  Window を時間に対してプロットした結果を図 5-1-2-18 に示す。トンネル酸化膜厚が 1.8nm の場合(a)は、空乏化により  $V_{th}$  Window の減少速度が緩和される効果が確認できる。しかし 2.3nm の場合(b)は傾きの緩和がほとんどみられないため、リテンション時間を過小評価してしまう。このことから、空乏化によるリテンション特性の改善を確認するには、 $V_{th}$  Window が小さい領域での評価が重要であることが分かった。

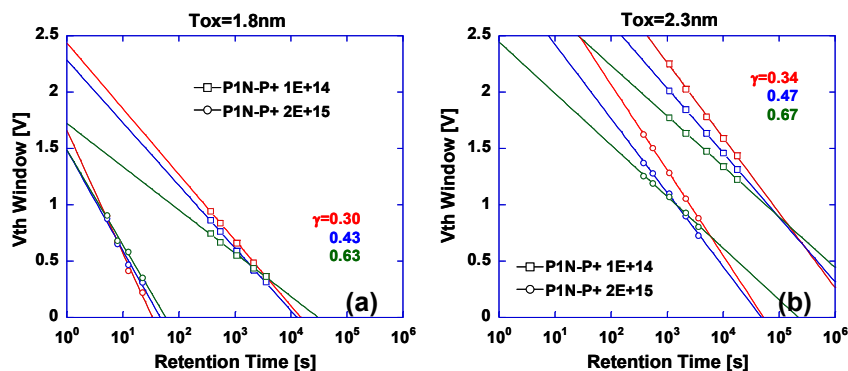


図5-1-2-18.  $V_{th}$  Windowのゲート空乏化依存性

図 5-1-2-19(a), (b)は  $Tox=2.3nm$  の DTM に関して、長時間のリテンション評価を行った結果である。 $10^4$  秒以上の  $V_{th}$  Window が比較的小さい時間帯で評価すると、空乏化したサンプルは書き込み側の  $V_{th}$  が飽和し、その結果として  $V_{th}$  Window の傾きの改善が生じている。

以上のことから空乏化によるリテンション特性の改善は、消去側の  $V_{th}$  が下がり  $V_{th}$  Window が増加する効果だけでなく、FG のポテンシャルが下がった状態で書き込み側の  $V_{th}$  が飽和する効果にも起因することが判明した。そのため、 $V_{th}$  Window の小さい領域において最大限の効果が得られる。ただし、空乏化/非空乏化サンプルのリテンション時間の比は  $Tox=2.3nm$  の場合は  $10^4$ 、 $Tox=1.8nm$  の場合は  $10^3$  と薄膜化により減少している。また高速 RAM 狙いの薄膜条件下では過度の空乏化による動作速度の劣化は致命的である。したがって、実際にトンネル酸化膜が  $1.3\sim 1.5nm$  と薄く、高速動作が可能な素子を試作した上でゲートポリ濃度の最適化を行い、空乏化の有効性を確認することが重要であると考えられる。

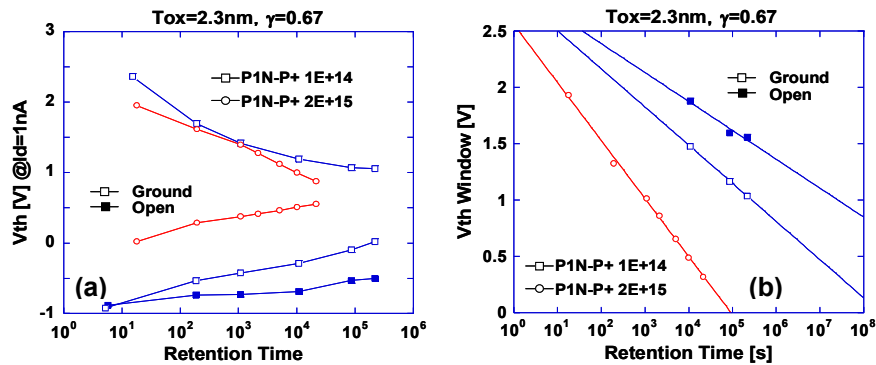


図5-1-2-19.  $V_{th}$  (a)および $V_{th}$  Window (b)のゲート空乏化依存性

(i) リテンション特性に対する基板濃度の影響

リテンション特性を改善するもう一つの方法は、DT 領域への B 注入量の高濃度化である。図 5-1-2-20(a)に DT 領域の B 注入量を変えた場合の DT 領域および選択トランジスタの  $I_D-V_G$  特性を示す。

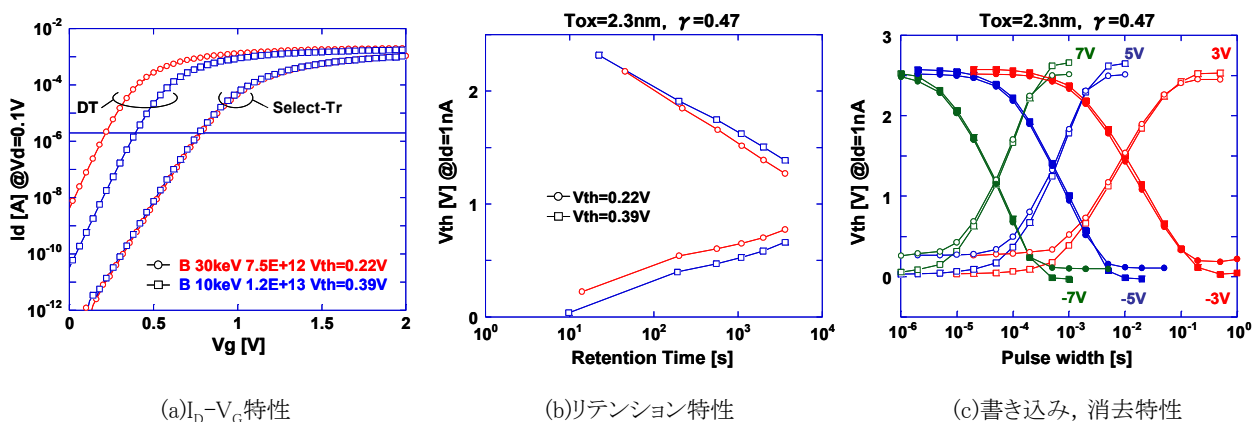


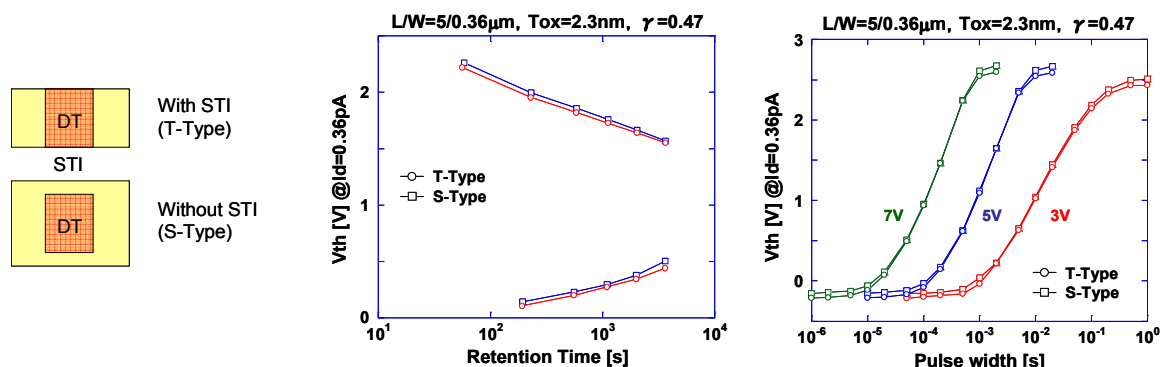
図5-1-2-20. DT領域のB注入量が書き込み、消去、リテンション特性に与える影響

条件振りにかかわらず、DT 領域の  $V_{th}$  は酸化膜の厚い選択トランジスタの  $V_{th}$  より小さい。そのため DT 領域への電子の供給は選択トランジスタの ON/OFF で律速

されており、図 5-1-2-20(c)に示すように書き込み特性は DT 領域の  $V_{th}$  の影響を受けない(今回の TEG では、2 度酸化プロセスの境界と DT 領域への注入マスクの境界との間に  $0.3\mu\text{m}$  の重なり余裕が設けてあるため、厚い酸化膜の  $V_{th}$  も  $0.3\mu\text{m}$  の幅で変動して実際の  $I_G$ - $V_G$  特性は低電圧側で影響を受けているが、その場合も前述のように動作電圧においては差が生じない)。一方 B の高濃度化により  $V_{FB}$  が増加し、また基板の空乏化が緩和されて酸化膜端の伝導帯のエネルギーレベルが上がるため、酸化膜両端におけるゲート-基板間のエネルギーギャップが大きくなり、リテンション特性は改善する。DT 領域の高閾値化はリードディスタース特性を改善するためにも重要であり、酸化膜の膜質評価と平行して、さらなる高濃度化を検討する余地がある。

#### (j) リテンション特性に対する STI 端の影響

基板の B 濃度がリテンション特性に影響を与える一方で、STI の端部では酸化膜への吸われにより B 濃度が減少することが知られている。機能分離型 DTM では DT 領域の形成に 2 度酸化プロセスを適用するため、素子寸法としては現実的ではないが、STI 端を含まない DT 領域を形成することも可能である。図 5-1-2-21 に STI 端がリテンション特性に与える影響を異なる形状の TEG を用いて評価した結果を示す。これらの図から、リテンション特性、書き込み特性ともに STI 端の影響を受けないことが明らかである。



(a) DT領域のタイプ

(b) リテンション特性

(c) 書き込み特性

図5-1-2-21. STIエッジがリテンション特性に与える影響

#### (k) リテンション特性のばらつき

DRAM のリテンション特性にはジャンクションリークに起因した Tail 部分が存在し、リフレッシュ時間を律速する。DTM のリテンション特性は極薄酸化膜を介したリーク電流に支配されており、前述のように電圧が印加された状態では酸化膜厚が  $1\text{\AA}$  ばらつくだけで  $I_G$  が 2.3 倍変化するため、DRAM 以上にばらつきが大きいことが懸念される。

図 5-1-2-18 および 5-1-2-19 において、空乏化によるリテンション特性の改善は、 $V_{th}$  Window が小さい領域で顕著になることを述べた。したがって、この領域における書き込み側の  $V_{th}$  ばらつきが小さいことが重要である。 $V_{th}$  ばらつきのリテンション時間依存性を図 5-1-2-22(a)に示す。ゲート空乏化により  $V_{th}$  が飽和する傾向が見受けられる反面、その領域においてはばらつきが大きくなる。図 5-1-2-22(b)には  $V_{th}$  の累積確率分布をゲート空乏化の影響と併せて示す。書き込み直後の  $V_{th}$  ばらつきはウエハ面内で  $0.1\text{V}$  以下と非常にまとまりが良いが、173000 秒後には約半



数のチップがメインの分布からずれており、ばらつきも 0.5V 以上に増加している。ただし同じリテンション時間で評価すれば、ゲート空乏化によりばらつきは改善する傾向にある。

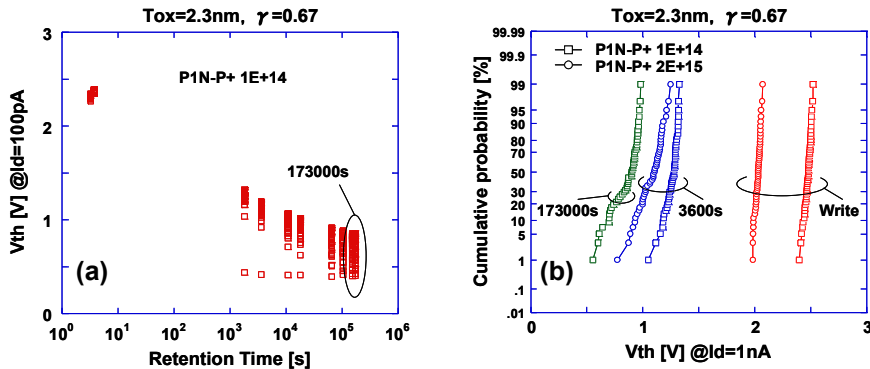


図5-1-2-22. リテンション特性のばらつき

(1) ばらつき要因の検討

リテンション特性に影響を与える要因として、これまでゲート空乏化、基板の B 濃度、STI エッジの影響を評価してきた。そこで、ばらつきに関してもまずこれらの要因との因果関係を調べた。

ゲート空乏化は図 5-1-2-22(b)からばらつきを改善させる方向に働く。これは電気的な酸化膜厚 EOT が増加する時にその増加分がトンネル酸化膜に対してより均一である可能性や、あるいはゲートポリシリコンのグレインバウンダリに不均一に偏析する不純物の影響が緩和されたことなどが原因と考えられる。

図 5-1-2-23 に基板の B 濃度を変えた場合の、リテンション評価前後における  $V_{th}$  の累積確率分布を示す。書き込み側に注目すると、高濃度化によりリテンション特性が改善する一方で、ばらつきが増加している。この原因としては基板の不純物量自体のばらつきというよりも、高濃度不純物による酸化膜のマイクロラフネスの増加や、酸化膜質自体の劣化などが疑わしい。なお消去側のばらつきはほとんどないが、多点測定の場合は測定待ち時間中の各端子が Open 状態になっているため、図 5-1-2-19 に示すようにリテンション特性自体が基板の Open/Ground により影響を受けている。したがって、今回は消去側のばらつきに関しては議論しな

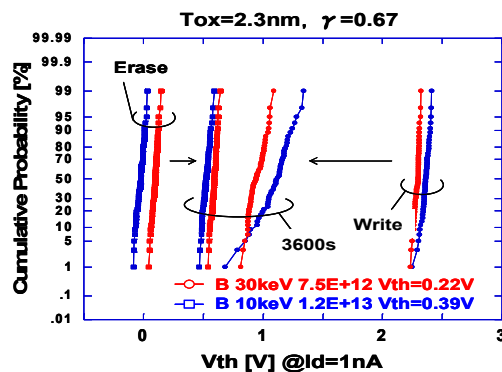


図5-1-2-23. 基板のB濃度とばらつきの関係

い。

図 5-1-2-24 は STI エッジの有無のみ異なる TEG の、リテンション評価前後における  $V_{th}$  の累積確率分布を示す。 $V_{th}$  の分布 (a) のみならず、 $V_{th}$  の変化量  $\Delta V_{th}$  の分布 (b) にも差がないことから、STI エッジの有無はリテンション特性のばらつきに影響を与えないことが明らかである。

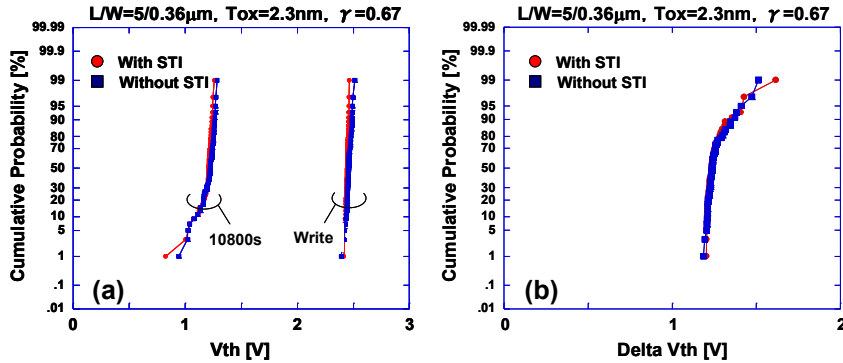


図5-1-2-24. STIエッジの有無とばらつきの関係

その他のばらつき要因としては、2 度酸化プロセスにおける染み込み量の不均一性や、2 度酸化により生じたエッジ部分の薄膜化などが考えられる。図 5-1-2-25(a) は DT 領域の DL/DW を変化させた場合の、リテンション評価前後における  $V_{th}$  の累積確率分布を示す。DL/DW が共に小さいサンプルは書き込み直後のばらつきが大きい。また DL/DW がともに大きい場合はリテンション特性が良い。一方図 5-1-2-25(b) から  $\Delta V_{th}$  のばらつきに関しては DL/DW に対する明確な依存性がない。したがって、2 度酸化プロセス起因の不均一性は  $V_{th}$  ばらつきには影響を与えるが、 $\Delta V_{th}$  のばらつきに与える影響は小さいと考えられる。

また図 5-1-2-26 は DL/DW 振りをした素子に関して 10800 秒後の  $V_{th}$  の面内分布を示すが、いずれの場合も分布はランダムであり、特定の傾向は観察されない。

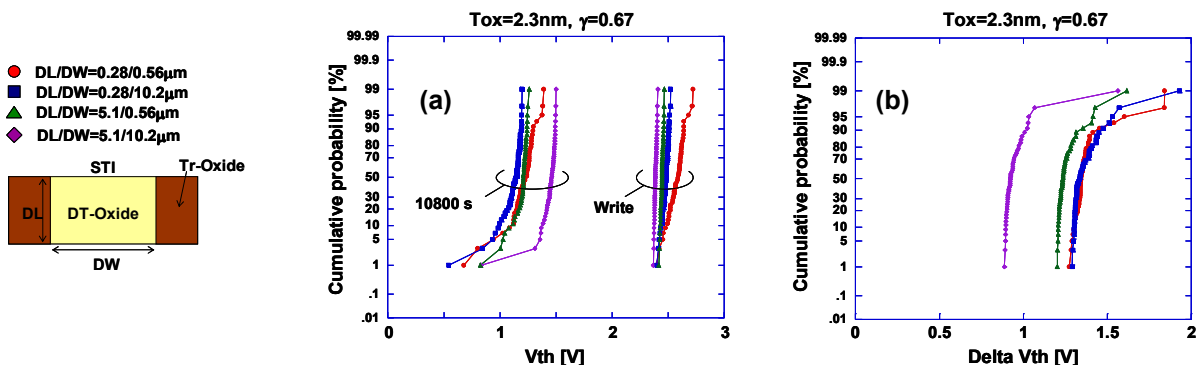


図5-1-2-25. ダイレクトトンネル領域のDL/DWとばらつきの関係



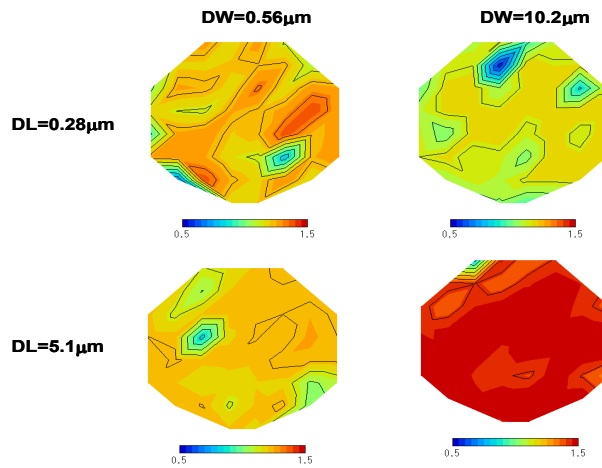


図5-1-2-26. 保持時間10800秒後の $V_{th}$ の面内分布

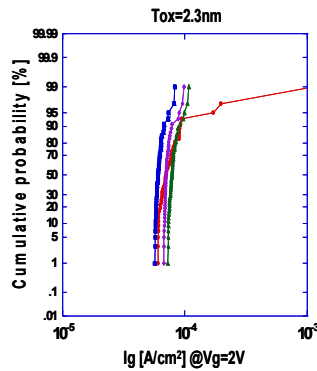


図5-1-2-27. ゲートリークのばらつき

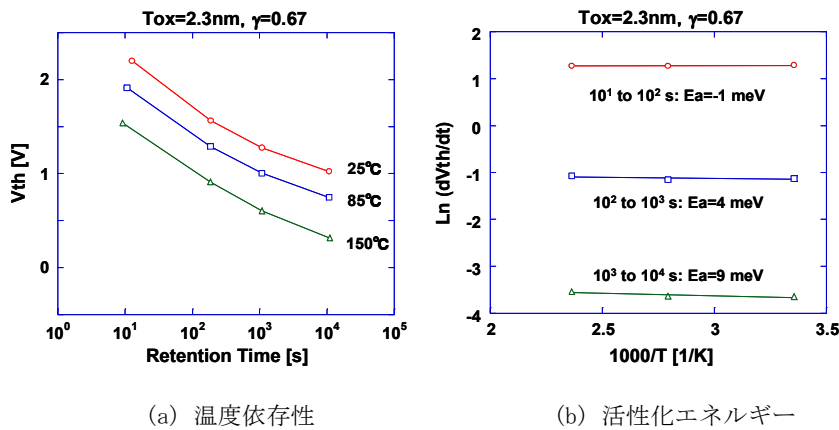


図5-1-2-28. リテンション特性の活性化エネルギー

なお DL/DW が共に小さい場合、 $I_G$ の面内分布も図 5-1-2-27 のように書き込み直後の  $V_{th}$ と同様ばらつきが大きい。この場合は 2 度酸化プロセスにより形成された DT 領域の面積がばらついていることが本質的な原因で、この面積のばらつきに起因して容量結合比 $\gamma$ が変化するため、書き込み直後の  $V_{th}$ ばらつきに反映されると考えられる。

図 5-1-2-28 は測定温度を変えた場合のリテンション特性と、 $V_{th}$ の時間変化に対

して活性化エネルギー $E_a$ を求めた結果である。リテンション特性の傾きが一定ではないため時間ごとに $E_a$ を計算したが、いずれの場合も $E_a$ は10meV以下であり、FGからの電荷散逸はダイレクトトンネル現象により支配されていると考えることができる。

$V_{th}$ ばらつきの要因をまとめて図5-1-2-29に示す。基本的なリテンション特性はトンネル酸化膜の膜厚振りに極めて敏感であり、活性化エネルギーも小さいことから、今回は図中で青く示したトンネル酸化膜以外からの電荷散逸の影響は小さいと仮定し、DT領域におけるばらつきの要因を評価してきた。その結果、2度酸化プロセスによるトンネル酸化膜領域の面積揺らぎに起因して、 $V_{th}$ ばらつきが生じることが分かった。一方 $\Delta V_{th}$ のばらつきは、トンネル酸化膜のマイクロラフネスあるいは膜質のばらつきか、ポリの酸化膜近傍における不純物分布のばらつきに起因している可能性が高いことが分かった。単体TEGの測定からこれ以上のことを議論するのは難しいが、酸化膜の膜厚ゆらぎが $\Delta V_{th}$ ばらつきの本質的な原因だとすると、DTMにとっては大きな問題となる。したがって、高速化を指向してトンネル酸化膜の薄膜化を行った場合に、極めて短いリテンション時間でも今回の測定と同じような傾向が生じるのかどうかを確認することが次の重要なステップとなる。

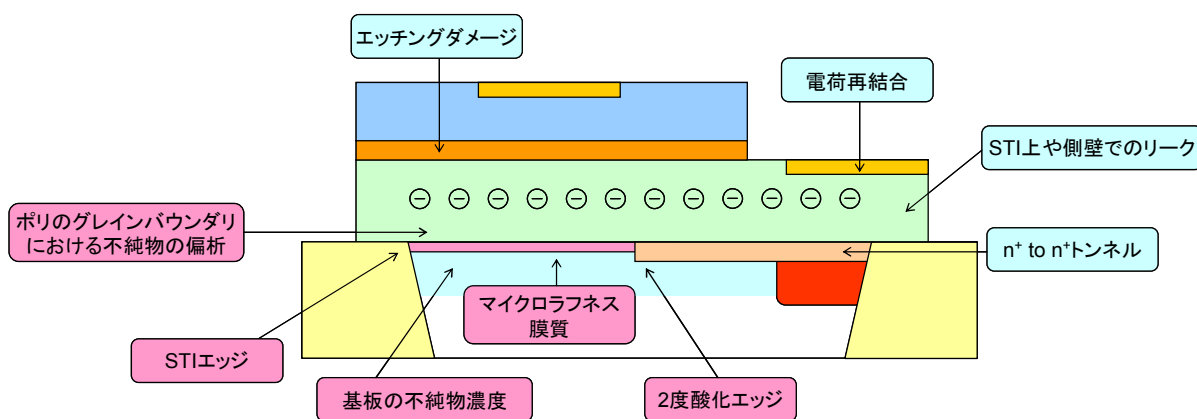


図5-1-2-29.  $V_{th}$ ばらつきの要因

#### (m) 書き込み速度とリテンション時間の関係

図5-1-2-30に機能分離型DTMの書き込み速度とリテンション時間の関係をまとめた。ただし書き込みのCG電圧 $V_G=5V$ 、容量結合比 $\gamma=0.6$ (設計値)の場合である。DTMの場合、基本的にトンネル酸化膜を介する電子のやりとりはダイレクトトンネル現象に依存しており、酸化膜厚を変化させてもリテンション時間 $\tau_r$ と書き込み時間 $\tau_w$ の比 $R=\tau_r/\tau_w$ はほぼ一定となる。しかし、実際には薄膜化により $V_{th}$  Windowが減少する影響で、 $R$ の値は薄膜化と共に劣化している。Retention時間を決める $V_{th}$  Windowを $\Delta V_{th}$ と定義し、空乏化を行わないサンプルで $\Delta V_{th}=0.5V$ の場合について比較すると、 $Tox=2.3nm$ では $R=10^8$ であるのに対して、 $Tox=1.8nm$ では $R=10^7$ と約一桁減少する。一方空乏化の効果に関しては、 $Tox=2.3nm$ の場合には書き込み速度の劣化が顕著ではないため、リテンション時間の増加により $R$ の値は $10^{10}$ 近くまで大幅に改善する。しかし $Tox=1.8nm$ の場合には書き込み速度が飽和してしまい、リテンション時間は増加しているにもかかわらず、 $R$ の値はほとんど変化していない。

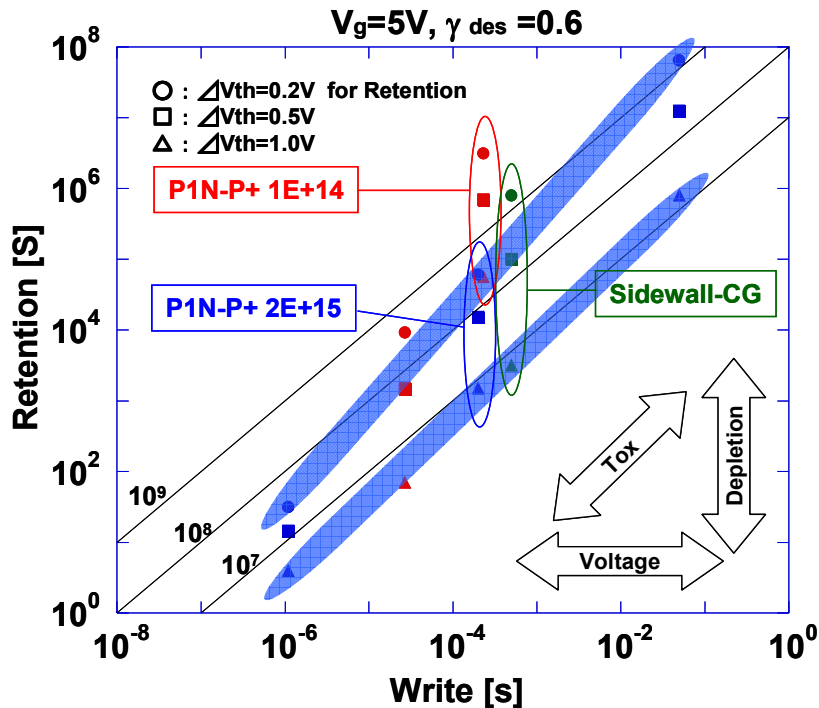


図5-1-2-30. 書き込み速度とリテンション時間の関係

このように高速動作を狙いトンネル酸化膜の薄膜化を行うと、 $V_{th}$  Window が小さくなる影響、およびゲート空乏化により速度飽和が顕著になる影響で、 $R$  の値は減少する。目標としていた  $R=10^9$  を 10ns の書き込み速度と同時に実現するためには、ゲート空乏化や容量結合比を中心としたデバイスの最適化が必須である。

なお、比較のため厚木研で試作したサイドウォール CG 型 DTM で部分空乏化を行ったサンプルの測定結果も図中に示した。ただし  $\gamma$  の値が不明であるため、FG に印加される電圧は機能分離型とは異なることに注意が必要である。サイドウォール CG 型の場合、 $V_{th}$  Window は小さいが、部分空乏化の影響でリテンション特性の傾きが小さいという特徴がある。そのため  $\Delta V_{th}$  の値により  $R$  が大きく変化するが、基本的には機能分離型と同等の特性を有していると考えてよい。

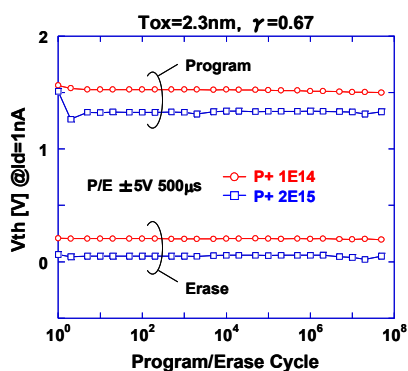
(n) エンデュランス特性

$T_{ox}=2.3nm$  の場合のエンデュランス特性と、ストレス印加後のリテンション特性を図 5-1-2-31 に示す。図 5-1-2-31(a) から、ゲート空乏化の有無にかかわらず 108 回の書き換えでは  $V_{th}$  Window は全く変化していない。一方図 5-1-2-31(b) はゲート空乏化有りの場合のリテンション特性であるが、107 回の書き換え後も温度依存性を含めてリテンション特性は全く変化せず、酸化膜の劣化は生じていない。このように、機能分離型 DTM においても通常の DTM と同様に、ダイレクトトンネル現象を利用することで優れた書き換え耐性を示すこと明らかにすることができた。ただし RAM 用途としては実用上無制限の書き換え耐性を要求されるため、今後は書き込み時間の短いサンプルを試作し、少なくとも 1012 回以上の書き換え耐性を実証することが望ましい。

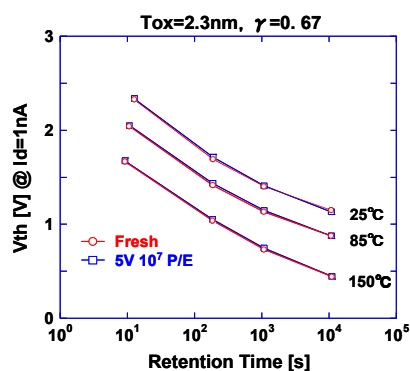
Anode Hole Injection(AHI)モデルによる信頼性予測では、トンネル酸化膜の薄膜

化とそれに伴う電圧スケールリングによりホットホールの生成効率が低下して  $Q_{BD}$  は大幅に増加するが、パーコレーション理論から  $Q_p$  自体は薄膜化と共に低下することが確実であるため、DTM といえども十分な  $T_{BD}$  を確保するには動作電圧の低下が必須となる。またトンネル電流自身の温度依存性は小さくても、ホールが酸化膜に与えるダメージ量は温度に依存するため、高温におけるエンデュランス評価も重要となる。

一方、ダイレクトトンネル電流や酸化膜の劣化が電界律速から電圧律速に変わるため、一次的にはゲート空乏化は動作速度や信頼性に影響を与えないことが予想されるが、このような特性を積極的に利用したデバイスは少ないため、実験事実による確認が必要となる。このように、今後は酸化膜の薄膜化による高速化およびゲート空乏化によるリテンション特性の改善という視点以外に、信頼性の視点を加えた最適化が必要である。



(a) 繰り返し書き換え特性



(b) ストレス後のリテンション特性

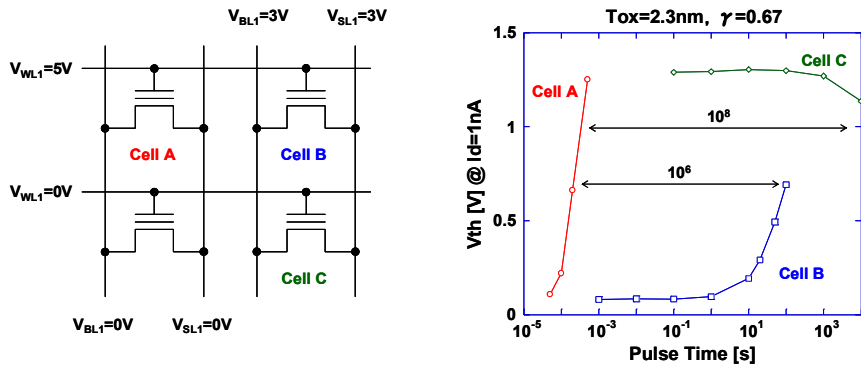
図5-1-2-31. エンデュランス特性とゲート空乏化の影響

(o) ディスタート特性

機能分離型 DTM ではダイレクトトンネル領域と選択トランジスタ領域とのオフセット量が大きく、またそれぞれの領域で  $V_{th}$  を独立に設定できるため、従来の DTM に対して各種ディスタートを効果的に抑えることができる。図 5-1-2-32(a) に NOR 型に対して低消費電力化が可能な AND 型セルのレイアウトと、動作時の各端子電圧を示す。今回は 5V の書き込みに対して非選択セルのソース・ドレインに 3V を印加しているが、この値は最適化されたものではない。

図 5-1-2-32(b) は空乏化を行った素子のディスタート特性である。Cell A の書き込み時間に対して、ドレインディスタート(Cell C)は  $10^8$  以上の比が得られている。これは  $R=\tau r/\tau w$  の値にほぼ等しく、FG からの電荷散逸はディスタートというより、リテンション特性そのもので決まることを意味している。

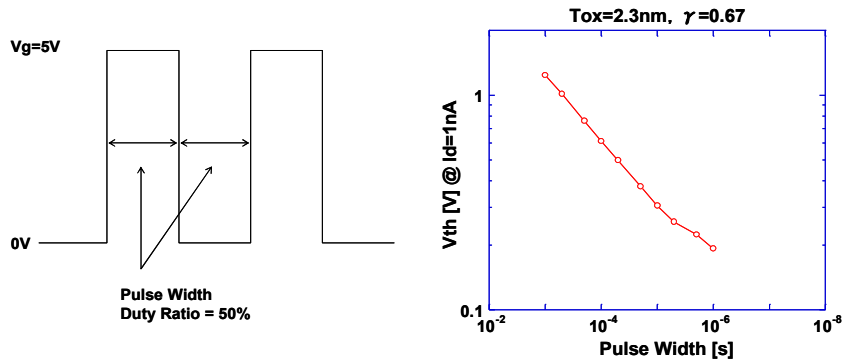
一方ゲートディスタート(Cell B)の書き込み時間に対する比は約  $10^6$  である。ゲートディスタートは少数キャリアの応答量により決まるが、その速度は高速ではないためゲートに印加するパルス幅に大きく依存する。図 5-1-2-33(a), (b) にパルスの Duty 比(=50%)およびパルスの積算時間(=10 秒)が一定の場合の、ディスタートのパルス幅依存性を示す。パルス幅を小さくすることで、ディスタート量を大幅に低減可能であることが分かる。したがって高速の RAM 動作をさせる場合には、ゲートディスタートもリフレッシュ時間に対して問題にならない程度に低減できる可能性がある。なお図 5-1-2-32(b)の特性は、このことを踏まえてパルス幅が 1 $\mu$ s の場合の結果を示している。



(a) AND型セルレイアウトと印加電圧

(b) ゲート, ドレインディスタート特性

図5-1-2-32. AND型セルのゲート、ドレインディスタート特性



(a) ゲート印加電圧

(b) ゲート印加パルス幅依存性

図5-1-2-33. ゲートディスタートのパルス幅依存性

(総パルス印加時間一定=10秒)

サイドウォール CG 型ではリードディスタブが大きく、読み出し破壊のイメージに近い。一方機能分離型では読み出しの際に DT 領域を使う必要がなく、DT 領域の  $V_{th}$  を適切に設定することでリードディスタブを大幅に低減することが可能である。図 5-1-2-20(a)から今回の条件振りの範囲内では、DT 領域の  $V_{th}$  は選択トランジスタの  $V_{th}$  より常に小さい。しかし空乏化を行うことで図 5-1-2-11(a)に示すように選択的に DT 領域の  $V_{th}$  を高めることが可能である。図 5-1-2-34 は空乏化の有無により DT 領域の閾値  $V_{thDT}$  と選択トランジスタの閾値  $V_{thTr}$  の大小関係を変化させ、ディスタブに与える影響を調べた結果である。ただし読み出し時の CG 電圧は 0.6V、パルス幅は 1 $\mu$ s に設定した。図 5-1-2-34(b)から、空乏化により DT 領域の  $V_{th}$  を大きくすることで、ディスタブに要する時間が  $10^5$  倍以上増加し、総読み出し時間が  $10^4$  秒経過した後もディスタブは軽微に抑えられている。この値を図 5-1-2-32(b)の書き込み時間と比較すればその比は  $10^8$  以上であり、FG への電荷

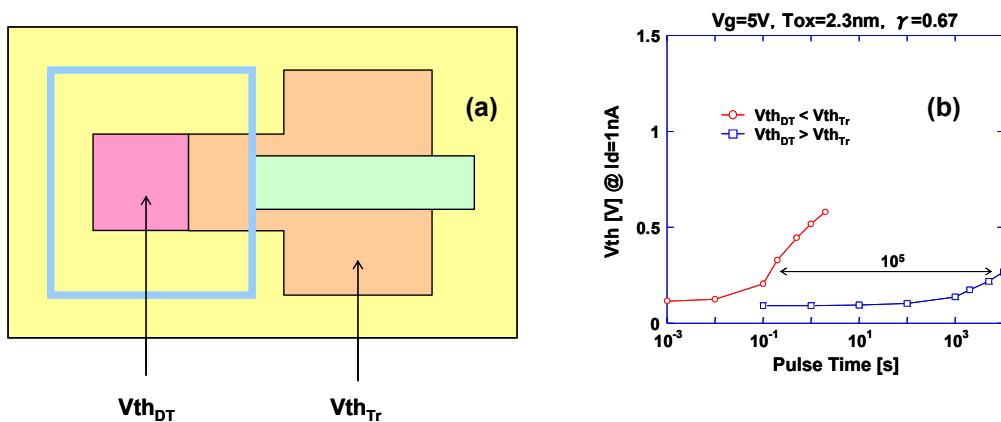


図5-1-2-34.  $V_{th}$ の大小関係とリードディスタブ

注入はリテンション特性そのものと遜色ない程度まで軽減されていることを示すことができた。

(p) まとめ

DTM のアプリケーションとしてロジックプロセスに embedded することが容易な RAM を想定し、ロジックプロセスとの親和性を向上させるために構造を従来のサイドウォール CG 型から機能分離型に切り替えることで、量産工場である三重工場の 0.18 $\mu$ m ロジックプロセスを用いて試作評価を行った。その結果、設計どおりの動作原理にてメモリ動作が可能であることを確認できた。今回のロットにて得られた知見を以下にまとめる。

書き込み・消去速度

$I_G=48A/cm^2$  ( $Tox=1.8nm$ ,  $V_G=7V$ ,  $\gamma=0.63$ ) の場合に  $\tau_w=65ns$

10ns 以下の高速動作を狙う場合は、 $I_G > 100A/cm^2$  が必要

リテンション時間/書き込み速度の比

ゲート非空乏化の場合、 $Tox=2.3nm$  で  $R=\tau_r/\tau_w=108$ ,  $Tox=1.8nm$  で  $R=10^7$

ゲート空乏化の場合、 $Tox=2.3nm$  で  $R=10^{10}$

過度の空乏化は  $\tau_w$  を劣化させるため、 $Tox=1.8nm$  の場合は  $R$  が改善しない

エンデュランス特性

$T_{ox}=2.3\text{nm}$  で  $10^8$  以上

ディスターブ特性（書き込み時間に対する比）

ドレインディスターブ  $>10^8$

ゲートディスターブ  $=10^6$  @パルス幅  $1\mu\text{s}$ 、高速動作で改善する

リードディスターブ  $>10^8$  @ $V_{thDT} > V_{thTr}$

機能分離型 DTM はロジックプロセスとの親和性を向上させる代償として面積を犠牲にしており、RAM の中でも SRAM 置き換えをメインターゲットにする必要がある。この場合、書き込み速度  $\tau_w$  としては  $10\text{ns}$  以下の高速性が要求される。DTM でこの速度を得るためには、ゲート電流密度  $I_G$  が  $100\text{A}/\text{cm}^2$  以上でなければならない。RAM として無制限のエンデュランスを確保しつつこのような大きい  $I_G$  を得るためにはトンネル酸化膜厚  $T_{ox}$  を薄膜化して  $Q_{BD}$  を増加させることが必須である。CG 電圧  $V_G$  が  $5\text{V}$  の場合  $T_{ox}$  は  $1.3\text{nm}$  以下で必要な  $I_G$  が得られるが、信頼性の観点から  $V_G$  を  $3\text{V}$  にした場合は  $1.1\text{nm}$  以下にする必要がある。ただし今回の評価で用いた酸化膜は酸窒化膜であり、Pure Oxide ではこの薄膜化への要求が大幅に緩和される。

$T_{ox}$  を薄膜化すると、それに伴い  $V_{th}$  Window も減少する。一方メモリ動作をさせるためには“0”と“1”状態で一定値以上の電流差を得る必要があり、Retention 時間を定義する  $\Delta V_{th}$  にも一定の最小値が存在する。そのため  $T_{ox}$  を薄膜化するとリテンション時間が極端に短くなり、 $R=\tau_r/\tau_w$  の値が劣化するため書き込み時間に対してリフレッシュ頻度が上がる結果、消費電力が増大する。また  $T_{ox}$  の薄膜化はリテンション特性のばらつきにつながり、さらに  $R$  の値を劣化させる。

ゲート空乏化はリテンション特性を改善するため  $R$  の改善に極めて有効な技術であるが、動作速度とのトレードオフの関係にある。また、酸化膜の劣化が電圧律速になる領域であるため、信頼性の観点から問題が生じる可能性もある。したがって今後の方針としては、 $T_{ox}$  を薄膜化したサンプルに関してゲート空乏化を最適化することでどこまで  $R$  の値を改善できるか、またそのような保持時間の短いサンプルにてリテンション特性のばらつきがどうなるか、さらに無制限の書き換え耐性を保証できるのかどうか等の確認に重点を置く必要がある。SRAM 置き換えを考えた場合、新規メモリが市民権を得るには 1T-RAM 以上のパフォーマンスが要求される。DTM と 1T-RAM はセル面積やロジックプロセスとの整合性に関しては、それほど大きな差がない。したがって、高速動作時に 1T-RAM(DRAM)における  $R=10^8$  を超える特性を実現できるかどうか機能が分離型 DTM にとって重要なポイントとなる。



### 5-1-3 高集積型DTMの研究開発結果

#### (i) 高集積型(サイドウォールCG型)DTMのコンセプト

機能分離型 DTM ではアプリケーションのターゲットをロジック混載用の RAM に絞り、ロジックプロセスとの親和性を向上させることで量産工場のラインを用いて試作評価を行った。その結果、DTM の書き込み・消去速度は設計通りゲートリーク電流と比例関係にあること、および機能分離型の構造を用いることでディスターブ特性が大幅に改善することを示した。一方使用したトンネル酸化膜が物理膜厚 1.8nm の酸窒化膜ということもあり、書き込み速度は 7V で 65ns と RAM として十分とは言えなかった。さらなる低電圧高速動作を行うためにはトンネル酸化膜の薄膜化を進める必要があるが、我々が利用可能な量産工場でのロジックプロセスの世代は 0.18 $\mu\text{m}$  であり、1.8nm 以下の極薄酸化膜形成プロセスは確立されていない。

機能分離型 DTM の開発は、SRAM や 1T-SRAM といったロジックベースの e-RAM に対抗するため、面積を犠牲にする代わりにロジックプロセスとの整合性を追及したものである。一方で e-RAM のマーケットに目を向けると、SRAM 以外に DRAM が非常に大規模な市場を形成している。DRAM は SRAM に比べてセルの占有面積が圧倒的に小さいというメリットがあるが、一方でキャパシタの蓄積電荷量がスケーリングできないことから、微細化に伴いキャパシタ形成プロセスが複雑化し、ロジックプロセスに対する追加工程の増加がコストの増加を招いている。また、トランジスタのスケーリングに必要な基板濃度の増加がジャンクションリークの増加を招くため、微細化に伴いリフレッシュ間隔が短縮し、消費電力の増加も顕在化している。

DTM を DRAM に対抗させるためには、従来のサイドウォール型 DTM により微細化を追求する必要がある。サイドウォール型は機能分離型と比べれば製造プロセスは複雑にはなるが、FG 型のゲインセル構造であるためキャパシタは不要で、DRAM に比べればロジックプロセスとの親和性ははるかに良い。そこで今回我々は、厚木研にて従来のサイドウォール型 DTM を用い、機能分離型で確認することができなかった低電圧で 10ns 以下の高速動作が可能であるか検証を行ったので、その結果を報告する。

#### (ii) サイドウォール型 DTM の試作条件

サイドウォール型 DTM のプロセスフローは既に図 5-1-2-2 に示した通りである。従来構造では、自然酸化膜を用いた FG の 2 層化による空乏化技術によりリテンション特性を改善させていた。しかし FG の 2 層化はロジックプロセスとの整合性を悪化させるだけでなく、トンネル酸化膜の薄膜化に伴い自然酸化膜との膜厚比が取れなくなるため、ゲート加工プロセスへの負担が増加する。したがって、今回はゲートへの不純物注入量を変えることで空乏化を行った。従来構造ではソース・ドレイン形成時の不純物注入により FG 中へも不純物が注入されゲート空乏化が行えないため、FG 上にハードマスクを追加することでこれを回避した。ハードマスク形成を含む具体的なプロセスフローと模式図を図 5-1-3-1 に示す。極薄トンネル酸化の前処理として 70°C の HNO<sub>3</sub> 処理により薄い酸化膜を形成した。その後常圧の横型炉にて 650°C からランピングを行い、800°C で 2 分の酸化を行った。酸化は N<sub>2</sub> 流量 10slm に対して、O<sub>2</sub> 流量は 500sccm(薄膜)/5slm(厚膜)に希釈している。



**Process Flow (Atsugi-Lab)**  
 LOCOS & Well  
 NVT-B+  
 G-OX1  
 P1L-PLY 150nm  
 P1N-P+ & RTA 1000C 10s  
 P1L-SIO 70nm  
 <FG>  
 HTO-E  
 P1L-E 150nm  
 G-OX2  
 P2L-DAS 150nm & RTA 1000C 10s  
 <CG>  
 P2L-EB  
 NLD-As+  
 SW-SIO 100nm  
 SW-EB  
 NSD-As+ & RTA 1000C 10s  
 Metallization

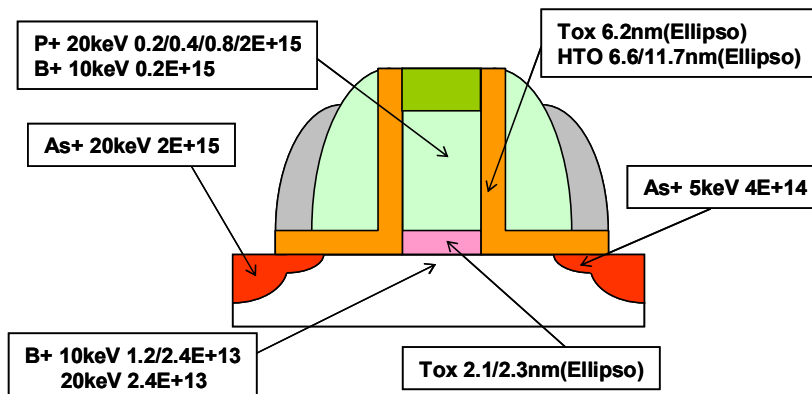
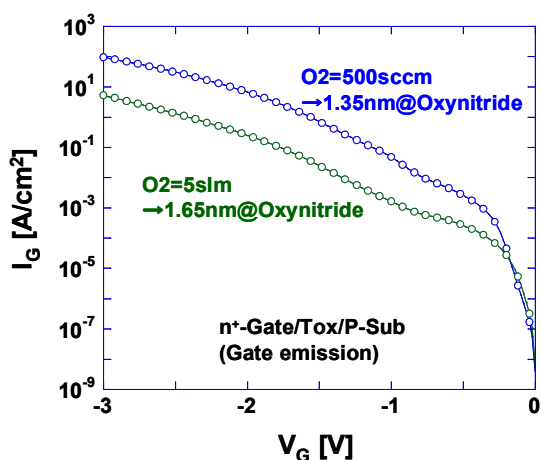
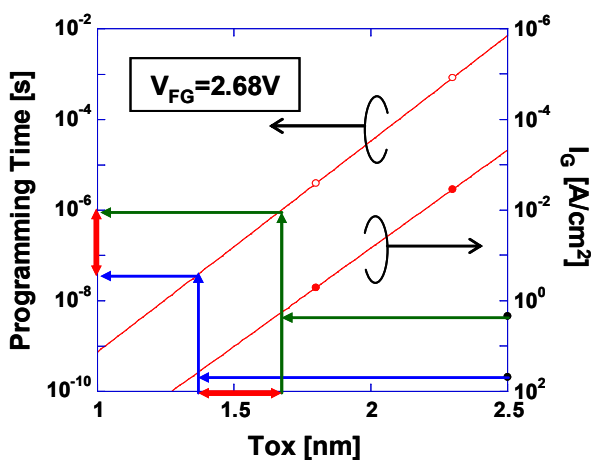


図5-1-3-1. サイドウォール型DTMのプロセスフローと模式図

図 5-1-3-2 に同様の酸化条件にて作成した MOS キャパシタの  $I_G$ - $V_G$  特性(a)と、得られた  $I_G$  および機能分離型の特性から予想される DTM の動作速度(b)を示す。酸素流量をコントロールすることで三重工場の酸窒化膜換算で 1.35~1.65nm の極薄酸化膜が得られており、その結果動作電圧 5V(カップリング比 $\gamma=0.54$ ,  $V_{FG}=2.68V$ )で  $1\mu s \sim 40ns$  の動作速度が得られると予想される。なお、MOS キャパシタの低電圧領域における  $I_G$  がトンネル酸化膜厚に依存しない理由は明らかでないが、シンター処理を行っていないためトンネル酸化膜/基板 Si 界面に大量の界面準位が存在し、この界面準位を介したトンネル電流が流れていることが原因である可能性がある。この界面準位を介したトンネル電流は基板の B 濃度が高い場合に顕著になるため、基板の注入を行っていない MOS キャパシタの場合に当てはまるかどうかは今後の検討課題であり、リーク電流の温度依存性等を測定することにより明らかにしていきたい。



(a) MOSキャパシタの $V_G$ - $I_G$ 特性



(b)  $I_G$ から予想される動作速度

図5-1-3-2. MOSキャパシタの $V_G$ - $I_G$ 特性と予想される動作速度

(iii) Simulationによるゲート空乏化とDTMのリテンション特性との関係

デバイス Simulation により計算した、消去状態( $V_{FG}=0.5V$ )におけるトンネル酸化膜界面でのバンド図の FG 濃度依存性を図 5-1-3-3 に示す。トンネル酸化膜厚は 1.5nm である。ゲートを空乏化させることで、空乏層により印加電圧の一部が消費される。その結果、基板の反転度合いが緩和されるため、ソース・ドレイン領域から供給される電子の量が減少し、伝導帯(Conduction Band, CB)間の電子のトンネル成分を抑制することができる。

また FG 中でのバンド曲がりにより、基板側の界面準位にトラップされた電子が FG 中の CB へ直接トンネルする成分についても減少する。

FG 側の界面準位にトンネルした電子に関しては、FG の CB 中へトンネルする成分と、FG 中のホールと再結合する成分とが考えられる。前者に関してはバンド曲がりにより減少し、後者に関しては FG が反転しているわけではないため、再結合確率は極めて小さく無視できると考えて良い。このように、ゲート空乏化により基板から FG 中へトンネルする全ての電子を効果的に抑制することが可能である。

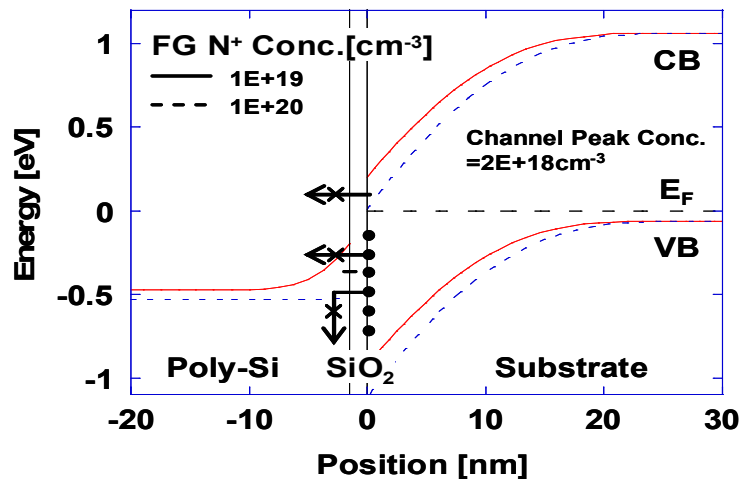


図5-1-3-3. 消去状態 ( $V_{FG}=0.5V$ )におけるバンド図のFG濃度依存性

書き込み状態に関しては、基板の B 濃度が高く  $V_{FB}$  が約  $-1V$  と大きいことが重要である。その結果、 $V_{FB} < V_{FG} < 0V$  の範囲(例えば  $V_{FG}=-0.5V$ )では、空乏層における電圧消費が基板のバンド曲がりをも緩和し、CB 間のポテンシャル障壁を増加させることで CB 間の直接トンネル成分を減少させる。一方でトンネル酸化膜近傍での電子密度が減少するため、トラップを介したリーク成分も抑制することが可能である。このように、ゲート空乏化を行うことで書き込み・消去いずれの保持状態においても FG-基板間の電子のやり取りを効果的に抑制でき、リテンション特性が大幅に改善すると予想される。

書き込み速度に関しては、ダイレクトトンネル電流は FN 電流と異なりトンネル酸化膜電界への依存性が小さいという特徴をもつため、ある程度の印加電圧があれば空乏化により大きくは劣化しない。図 5-1-3-4 は機能分離型 DTM において、ゲート(FG)電流の FG 濃度依存性を測定した結果である。空乏化を行うことで書き込み電圧( $V_{FG}=2.6V$ )における  $I_G$  はほとんど変化しないが、保持電圧( $V_{FG}=1.1V$ )においては  $I_G$  が効果的に減少している。保持電圧がより小さい場合には、Program/Retention 時の  $I_G$  比が更に改善すると予想される。

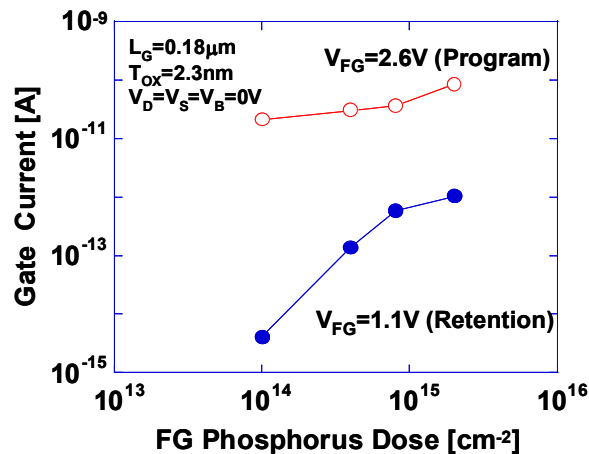


図5-1-3-4.  $I_G$ のFG不純物濃度依存性

(iv) Simulationによるゲート空乏化とDTMの書き込み特性との関係

ゲート空乏化は再酸化プロセスによる容量結合比の低下と、ゲートバースビークを抑制するためにも効果的であることが判明した。図 5-1-3-5 にプロセス Simulation により求めた容量結合比のコントロール酸化膜厚依存性を示す。FGの不純物濃度が高いとコントロール酸化膜形成のための再酸化プロセスにおける Poly-Si の酸化速度が基板 Si の酸化速度に比べて速いため、容量結合比が低下する。しかしゲート空乏化を行うことで Poly-Si の酸化速度を抑制でき、結果として  $C_{CG}$  を大きく取れることによりこの影響を抑制することができる。ただし容量結合比が大きく同一の書き込み条件で注入電荷量  $\Delta Q$  が増加する場合でも、 $C_{CG}$  が大きけ

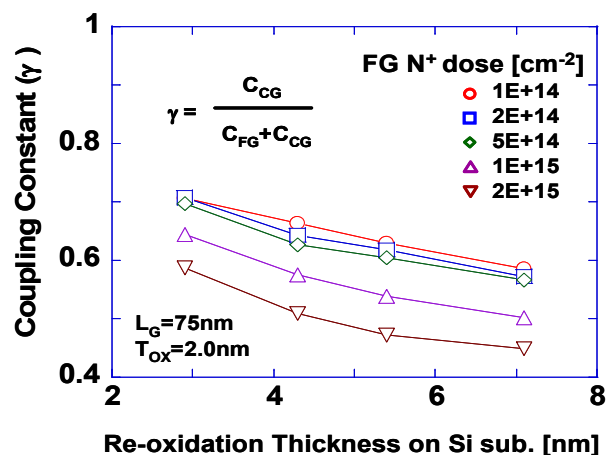


図5-1-3-5. 再酸化膜厚と容量結合比との関係

れば閾値電圧差  $\Delta V_{th} = \Delta Q / C_{CG}$  の増加には結びつきにくい。

一方、図 5-1-3-6 は規格化されたゲート電流のコントロール酸化膜厚依存性である。Simulation はゲート長  $L_G = 75 \text{ nm}$  で行ったため、図 5-1-3-6 で生じるゲート電流の減少は主として容量結合比の低下に起因しており、ゲートバースビークの影響はそれほど大きくない。しかしゲート長を微細化した場合には相対的にこの効果が大きくなり、ゲート空乏化によりバースビーク量を緩和することが高速動作のための重要な要素となる。

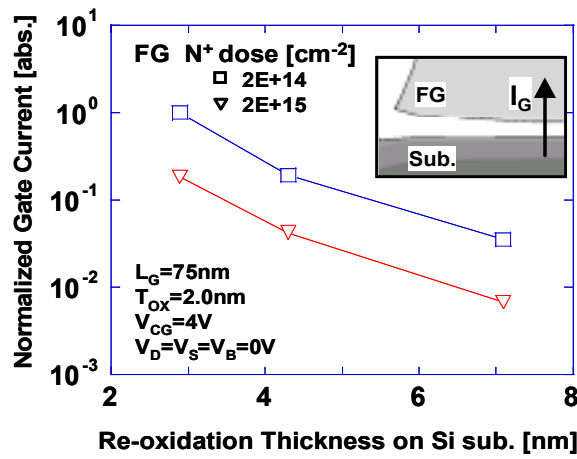


図5-1-3-6. 再酸化膜厚とゲート電流の関係

(v) トンネル酸化膜が厚い条件での素子の特性評価

図 5-1-3-7 にトンネル酸化条件が  $O_2=5\text{slm}$  の場合の書き込み・消去特性およびリテンション特性を示す。FG は  $L_G/W_G=75\text{nm}/20\mu\text{m}$  である。機能分離型の特性から、過度の空乏化は時定数の影響により過渡応答特性を悪化させることが分かっているため、この影響を低減できるよう FG への注入量を調整した。

ゲート空乏化の効果は機能分離型の場合とほぼ等しく、 $\Delta V_{th}$  が増加し、リテンション特性が向上する。一方で非空乏化サンプルの書き込み速度が劣化しているが、この原因としては図 5-1-3-5 に示した容量結合比の低下が考えられる。非空乏化の場合は消去による閾値電圧の変化が小さく、消去は書き込み状態から熱平衡状態への移行を意味しており、速度の劣化は小さい。このようにソース・ドレイ

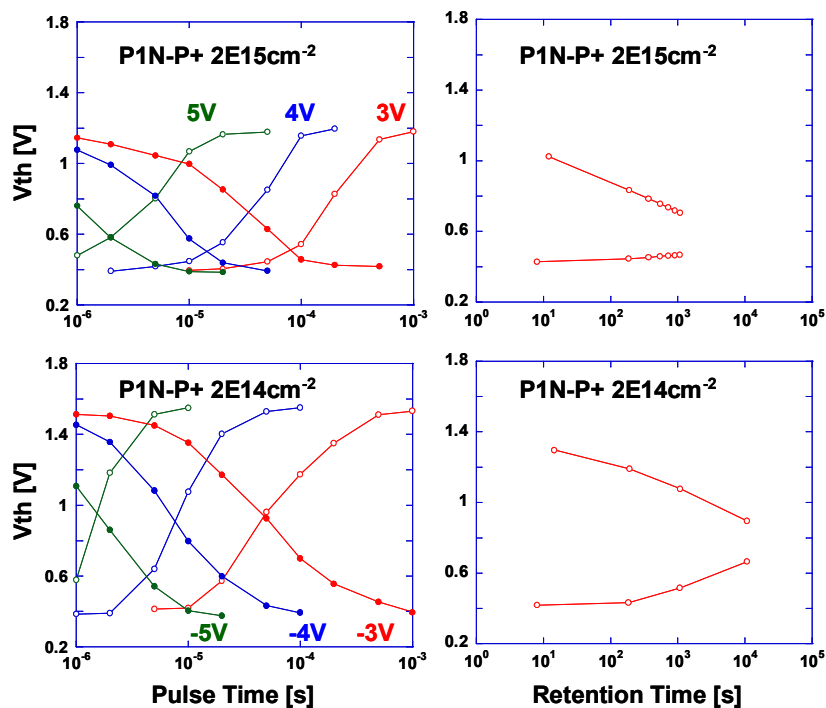


図5-1-3-7.  $O_2=5\text{slm}$  の場合の素子特性

ンからのオフセット量が小さいサイドウォール型 DTM では、空乏化を行わない場合トンネル酸化膜の薄膜化により消去動作自体が行えなくなるという特徴がある。

(vi) トンネル酸化膜が薄い条件での素子の特性評価

(a) 測定方法の評価

図 5-1-3-7 に示した書き込み・消去特性から 10ns 程度の動作速度を得るためにはトンネル酸化膜の更なる薄膜化が必要であるが、薄膜化に伴いリテンション時間が短くなり、またディスタープ耐性も劣化するため、通常の DC 測定により閾値電圧を抽出することができない。バイアスティーを用いるパルス測定法では十分大きい系のバンド幅が必要で、測定パルス幅が DC に近くなるほど誤差が大きくなる。そのため、ソースを  $50\Omega$  の入力抵抗を通してオシロスコープに接続し、ソース側の電流(電圧)をパルス測定により評価した。今後  $I_{on}$  や  $I_D$  で表示される測定電流は、実際にはすべてソース電流  $I_S$  を意味している。

図 5-1-3-8 は酸化膜が厚いトランジスタの  $I_D$ - $V_D$  特性に関して、DC 測定とパルス測定を比較した結果である。(c)のように基板バイアスまで補正することで両者は精度良く一致するが、補正には多くの測定データが必要となる。また測定電流値が小さい場合の誤差は小さい。そのため、 $I_D$ - $V_G$  測定に関しては(b)のように  $V_D$  および  $V_G$  の補正を行い、それ以外の書き込み・消去やリテンション測定に関しては(a)のように  $V_D$  のみ補正を行った。この場合、測定機器側の印加電圧に対して、ソースの電位上昇分だけ実際の端子に印加されるゲート電圧は減少していることになる。

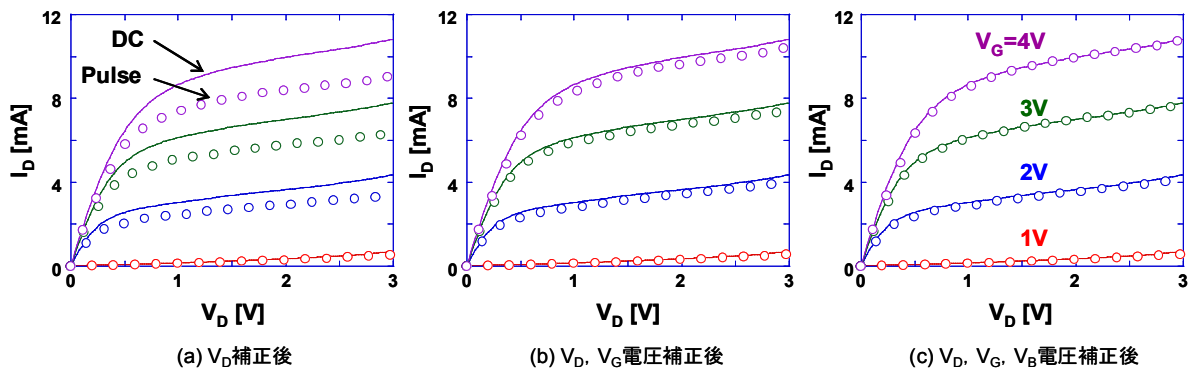


図5-1-3-8. 各端子電圧補正前後の  $I_D$ - $V_D$  特性

(b)  $I_D$ - $V_G$  特性

図 5-1-3-9 に  $O_2=500\text{sccm}$  の場合の  $V_G$ - $I_D$  特性を示す。FG は  $L_G/W_G=75\text{nm}/20\mu\text{m}$  である。書き込み・消去は  $V_G=\pm 4\text{V}$ ,  $V_D=V_S=V_B=0\text{V}$  で素子の状態が飽和するまで行い、その後  $10\mu\text{s}$ (リテンション時間よりも十分に短い時間)以内に  $V_D=1.5\text{V}$ ,  $V_S=V_B=0\text{V}$  で読み出した。トンネル酸化膜の薄膜化に伴い  $\Delta V_{th}$  が減少することが懸念されていたが、ゲート空乏化の有無にかかわらず、 $0.5\text{V}$  以上の閾値電圧差が確保できている。これは SOI ウエハの浮遊基板にホールを蓄える Capacitor-less 1T-DRAM がわずかに  $0.4\text{V}$  程度の閾値電圧差で回路動作させていることを考えれば、非常に有望な値である。

前述のように非空乏化の場合は消去動作により読み出し電流値が変化しないため、“1”状態は熱平衡状態と等しい。一方空乏化を行うことで基板から FG 中への電子のトンネル電流が減少し、消去側のリテンション特性が改善するため、消去動作により読み出し電流の増加が生じる。その結果、 $\Delta V_{th}$  の最大値が  $0.77\text{V}$  から  $1.45\text{V}$  まで増加する。空乏化した場合は Poly-Si/トンネル酸化膜界面における電圧降下の影響で平衡状態における閾値電圧が深くなり、同時に S 値も増加するが、

$\Delta V_{th}$  の増加量が大きいために利用可能な $\Delta I_{on}$  の最大値に関しても、有意に増加していることが分かる。

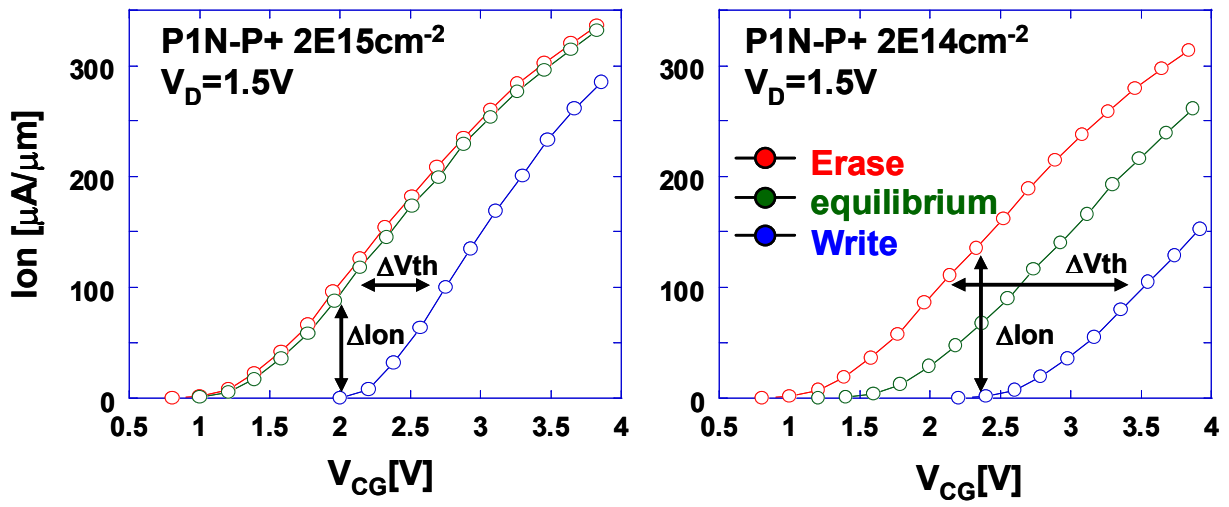


図5-1-3-9.  $I_D-V_G$ 特性のFG濃度依存性

(c) 書き込み・消去特性

図 5-1-3-10 は書き込み・消去特性の CG 電圧依存性である。読み出しは  $V_G=2V$ ,  $V_D=1V$  にて行った。書き込み速度は FG 濃度に依存せず一定であり、図 5-1-3-7 の結果と一部矛盾する。これは S 値が異なるために  $\Delta V_{th}$  と  $\Delta I_{on}$  の関係が一定ではないこと、および図 5-1-3-7 では消去状態からの書き込みを評価しているのに対して、図 5-1-3-10 では平衡状態からの書き込みを評価していることに起因していると考えている。

これまでの評価から明らかなように、ゲート空乏化を行わない場合は消去動作により読み出し電流値は変化しない。一方でゲート空乏化を行った場合は消去動作が有効である。今回の特性評価から、FG 濃度を最適化することにより、 $\Delta I_{on}$  が比較的小さい場合は消去の方が書き込みに比べて高速であることが判明した。この結果、目標としていた CG 電圧  $\pm 5V$  で 10ns 以下、3V で 100ns 程度の高速動作を初めて実現することができた。これは DTM の動作速度が RAM 用途にも適用できることを示した、初めての特性である。

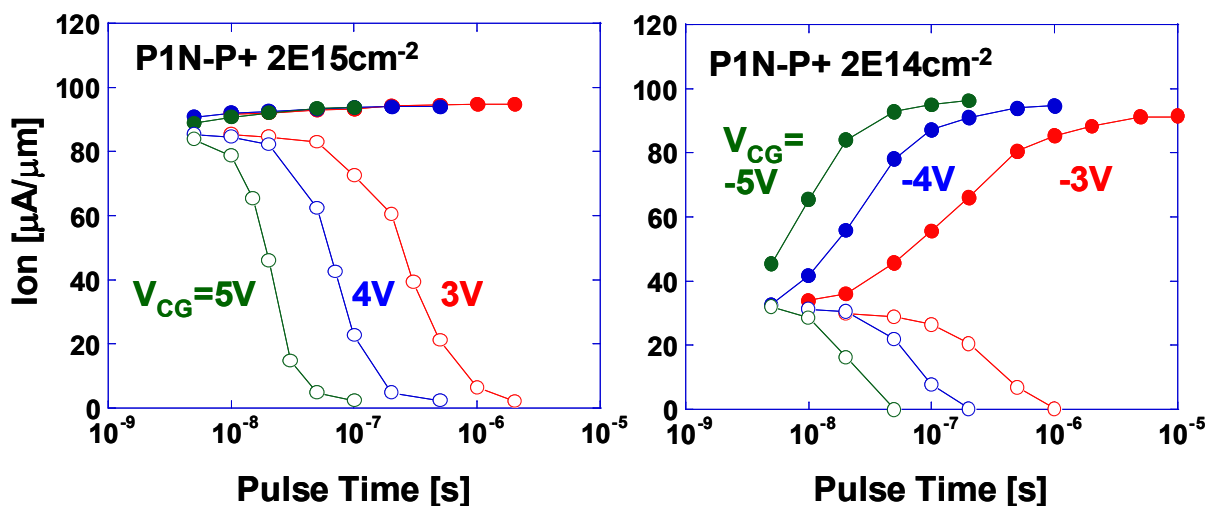


図5-1-3-10. 書き込み・消去特性のCG電圧およびFG濃度依存性



(d) リテンション特性

図 5-1-3-11 はリテンション特性の FG 濃度依存性である。読み出しは図 5-1-3-10 と同様に  $V_G=2V$ ,  $V_D=1V$  を用い、室温(25°C)にて測定した。図 5-1-3-3 に示した Simulation 結果を反映して、ゲート空乏化によりリテンション時間が 3 桁以上も改善している。電流駆動のセンスアンプを仮定してリテンション時間を定義する “1” 状態と “0” 状態の読み出し電流差を  $20\mu A/\mu m$  とすれば、空乏化によりリテンション時間は室温で 10 秒以上が得られた。これは通常の DRAM のリテンション時間と比べても十分長く、リフレッシュ頻度の減少による低消費電力動作が期待できる。また図 5-1-3-10 と図 5-1-3-11 から、リテンション時間と書き込み・消去時間の比は  $V_{CG}=5V$  の場合に少なくとも  $10^9$  以上、ほぼ  $10^{10}$  程度の良好な値を得る

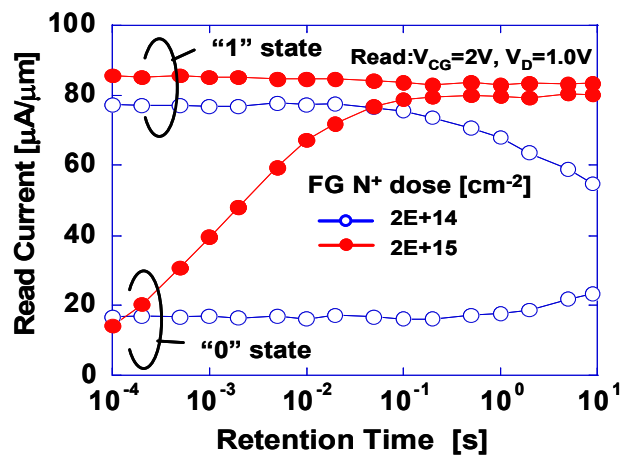


図5-1-3-11. リテンション特性のFG濃度依存性

ことができた。

(e) ディスタート特性

図 5-1-3-3 から明らかなように、ゲート空乏化によるリテンション特性の改善効果は、FG と基板との印加電圧の取り合いで決まる。したがって基板濃度を濃くすることでリテンション特性は改善する一方、閾値電圧も増加するため、読み出

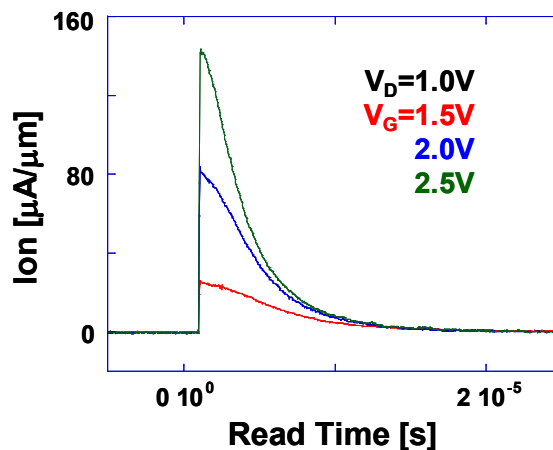


図5-1-3-12. リードディスタート特性



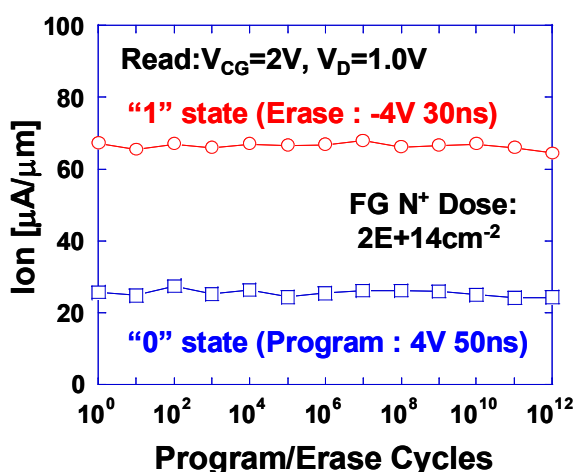
しに伴うディスターブ特性は悪化する。図 5-1-3-12 は読み出し電流の読み出し時間依存性である。

機能分離型では書き込み動作と読み出し動作で電流の経路が異なるため、読み出しディスターブの抑制が容易であり、無制限の読み出し(リテンション時間 < 読み出しディスターブ時間)を実現できた。しかしサイドウォール型ではゲートとソースの関係は書き込みと読み出しで電圧値が異なるだけであり、ディスターブが避けられない。読み出しに必要な時間を 10ns と仮定すると、図 5-1-3-12 から  $1\mu\text{s}=10^2$  回程度の読み出し時間で FG 中への電子注入による読み出し電流値の変化が顕著に現れることが分かる。このように、極薄膜のトンネル酸化膜を用いたサイドウォール型 DTM は DRAM の場合と同様に読み出し破壊であり、読み出し直後にデータをリストアするセンス回路が必要となる。

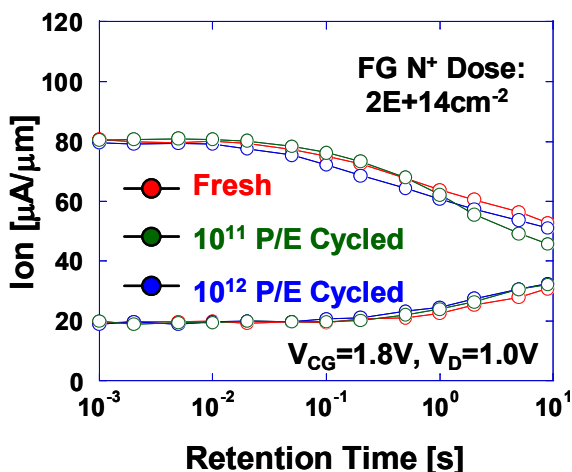
(f) 繰り返し書き換え耐性

図 5-1-3-13(a)はゲート空乏化を行った素子の、“1”状態と“0”状態の読み出し電流差の書き換え回数依存性である。測定は室温(25°C)にて行った。この結果から、 $10^{12}$ 回書き換え後においても読み出し電流の差は変化しないことを初めて示すことができた。またストレス試験前後のリテンション特性を図 5-1-3-13(b)に示すが、こちらも顕著な劣化は見受けられず、酸化膜へのストレスが軽微に抑制されていることを実証できた。

RAM においては無制限の書き換え耐性が必要とされるが、ダイレクトトンネル現象を利用することで図 5-1-3-13 に示すようにトンネル酸化膜の信頼性は飛躍的に向上する。DTM で使用するような極薄酸化膜における  $T_{BD}$  のデータは未だそれほど多くないが、 $T_{BD}$  が Power Law で決まるという報告を考えると、薄膜化による動作電圧の低下は本質的に信頼性を向上させる方向である。今後は高温でのストレス試験やトンネル酸化膜のばらつき等を含めた信頼性の議論を行っていく必要がある。



(a) 繰り返し書き換え耐性



(b) ストレス前後のリテンション特性

図5-1-3-13. エンデュランス特性

(g) まとめ

以上の結果を踏まえ、O<sub>2</sub>=500sccm の場合の主要な測定結果を表 5-1-3-I にまとめた。トンネル酸化膜の薄膜化とゲート空乏化を組み合わせることにより、5V で 10ns 以下の高速動作を初めて実証すると同時に、室温で 10 秒以上の電荷保持時間を実現し、保持時間／書き込み時間の比は 10<sup>10</sup> 程度を実現できた。これは DRAM と比べても良好な値であり、リフレッシュ頻度の減少による低消費電力化が期待できる。ただしアプリケーションとして携帯端末等を想定する場合は、更なる低電圧化を実現することが望ましい。今後は 3V での高速動作を実現するため、素子の最適化を図る必要がある。

DTM を RAM として用いる場合、最大の懸念点はトンネル酸化膜の劣化であるが、この点に関しても 4V の動作で少なくとも 10<sup>12</sup> 回以上の書き換え耐性を示すことができた。今後は高温でのストレス試験と、トンネル酸化膜厚のばらつきを考慮した信頼性の議論が必要となる。

表5-1-3-I. 作製したDTMの素子特性

	目標	到達値
動作速度	3V 10ns	5V <10ns 3V 100ns
リテンション時間	RT 10s 85°C 1s	RT >10s 85°C >1s
繰り返し書き換え耐性	無制限	>10 <sup>12</sup>

今回の実験結果から、極薄酸化膜を用いた単体素子の特性に関して概要を知ることができた。今後は単体素子の特性向上だけでなく、単体素子をアレーに展開することを視野に入れて開発を進める必要がある。DTM はゲインセル構造であるため DRAM に比べればロジックプロセスとの整合性は良いが、サイドウォール型 DTM の場合は対象とするテクノロジノードへの具体的な埋め込み方法や、高速動作に対応した適切なセルアレーの構成なくしては、そのメリットを生かしきることができない。またトンネル酸化膜の薄膜化により DTM は読み出し破壊に近くなる。したがって電流駆動のセンスアンプと、読み出し直後にデータをリストアする回路の組み合わせを検討していくことが重要だと考えられる。

#### 5-1-4 デバイスシミュレーションによる解析

これまでの試作により、DTM では動作電圧 5V で 10ns 以下の高速書き込みと、10s 以上のデータ保持時間を実現している。今回、更なる低電圧化と、書き込み時間/データ保持時間の比の向上を実現すべく、デバイスシミュレーション (ISE DESSIS) を用いて、DTM 素子のデバイスパラメータが各特性へ与える影響を解析し、さらにパラメータの最適化を検討した。図 5-1-4-1 にシミュレーション構造とデバイスパラメータを示す。ゲート長 (Lg) は 100nm 固定とし、Source/Drain は  $N^+ \text{Si}(1e20\text{cm}^{-3})$ 、制御ゲート(CG)は  $N^+ \text{Poly-Si}(1e20\text{cm}^{-3})$ とした。

デバイスパラメータとして以下を定義した。

- 浮遊ゲート(FG)の不純物濃度 :  $N_{fg}$  ( $1e20\text{cm}^{-3}$ ,  $5e18\text{cm}^{-3}$ )
- トンネル酸化膜厚 :  $T_{oxf}$  (1nm, 1.2nm, 1.5nm)
- 基板濃度 :  $N_{sub}$  ( $1e18\text{cm}^{-3} \sim 5e18\text{cm}^{-3}$ )
- S/D 領域と FG のオフセット量:  $L_{offset}$  (0, 30, 50, 80nm)
- コントロール膜厚 :  $T_{con}$  (5nm, 10nm)
- CG 酸化膜厚 :  $T_{oxc}$  (4nm, 8nm)
- コントロール絶縁膜の材質 :  $\text{SiO}_2(K=3.9)/\text{Al}_2\text{O}_3(K=9)$

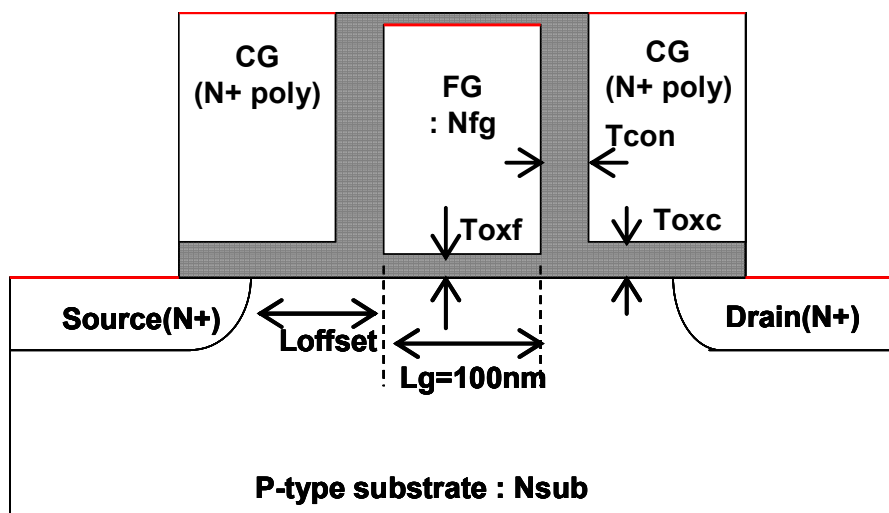


図 5-1-4-1. DTM のシミュレーション構造

#### 5-1-4-1 書き込み特性解析

##### (1) カップリング比の評価

カップリング比は、

$$\alpha = C_{cg} / (C_{fg} + C_{cg})$$

Ccg: CG-FG 間の容量

Cfg: FG-基板間の容量

で表され、FG と CG の容量結合の強さを示す定数である。 $\alpha$  はデバイス構造の違い( $T_{oxf}, T_{con}, N_{fg}$ )により異なり、書き込み特性に影響を与える。 $\alpha$  が大きいほど CG に印加した電圧が FG に伝わり易く、閾値電圧 ( $V_{th}$ ) は小さくなる一方で、同じ書き込み電圧でより高速な書き込み動作が可能になる。低電圧で高速動作させるためには、 $\alpha$  は 0.5 以上であることが望まれる。

DTM の構造で、カップリング比を比較した結果を表 5-1-4-I に示す。DTM の場合は FG の高さを変えることでもカップリング比が変化するが、今回は一定とした。カップリング比は、 $T_{con}$  を薄くすることにより目標値である 0.5 を満たし、さらに空乏化、およびコントロール絶縁膜を  $Al_2O_3$  にすることで増加する。空乏化によりカップリング比が向上するのは、空乏層容量がトンネル絶縁膜容量と並列に接続されるため、Cfg が低下することに起因している。

表 5-1-4-I. カップリング比  
(Default の値:  $N_{fg}=1e20cm^{-3}$ , コントロール絶縁膜= $SiO_2$ )

	$T_{con}=10nm$	$T_{con}=5nm$
$T_{oxf}=1.5nm$	0.47	0.60
$T_{oxf}=1.2nm$	0.43	0.56 0.69 ( $N_{fg}=5e18cm^{-3}$ ) 0.72 ( $Al_2O_3$ )

## (2) 書き込みCharge量の評価

今回用いた TCAD では、浮遊ゲートの空乏化とトンネル電流と蓄積電荷量を同時に見積もることが出来る。書き込み電圧を  $V_{cg}=3V$  とし、各パラメータを変化させた時の書き込み Charge 量

の時間依存性を図 5-1-4-1-2 に示す。

$T_{\text{oxf}}=1.5\text{nm}$  と  $1.2\text{nm}$  を比較すると Charge 量に 1 桁以上の違いがあり、今回のシミュレーション中で最も効果的なパラメータであることが分かる。また  $T_{\text{con}}$  を薄くすると、 $C_{\text{cg}}$  が増加してカップリング比が大きくなる為に Charge 量も増加する。これに対し  $T_{\text{oxc}}$  の膜厚はカップリング比には影響しないため、Charge 量は変化していない。FG の濃度を薄くして空乏化を考慮するとカップリング比は大きくなるが、空乏化した分見かけ上のトンネル酸化膜が厚くなるので、Charge 量は減少する。

このように、Charge 量だけから見ると、 $T_{\text{oxf}}$  あるいは  $T_{\text{con}}$  を薄くするか、コントロール膜を  $\text{Al}_2\text{O}_3$  にすることが効果的である。 $T_{\text{oxf}}$  の薄膜化は、同じ書き込み電圧においてトンネル電流を増加させる効果がある。一方  $T_{\text{con}}$  の薄膜化、あるいは  $\text{Al}_2\text{O}_3$  を用いた場合の Charge 量の増加は、カップリング比が大きくなったことによる効果であり、カップリングの増大は同じ書き込み Charge 量で比較した場合に  $\Delta V_{\text{th}}$  の減少につながることに注意する必要がある。両者はトレードオフの関係となっている。書き込み、消去の動作を考えたとき、外部から評価できるパラメータは  $\Delta V_{\text{th}}$  であり、Charge 量ではなく  $\Delta V_{\text{th}}$  を確保することが書き込み動作の必須条件である。

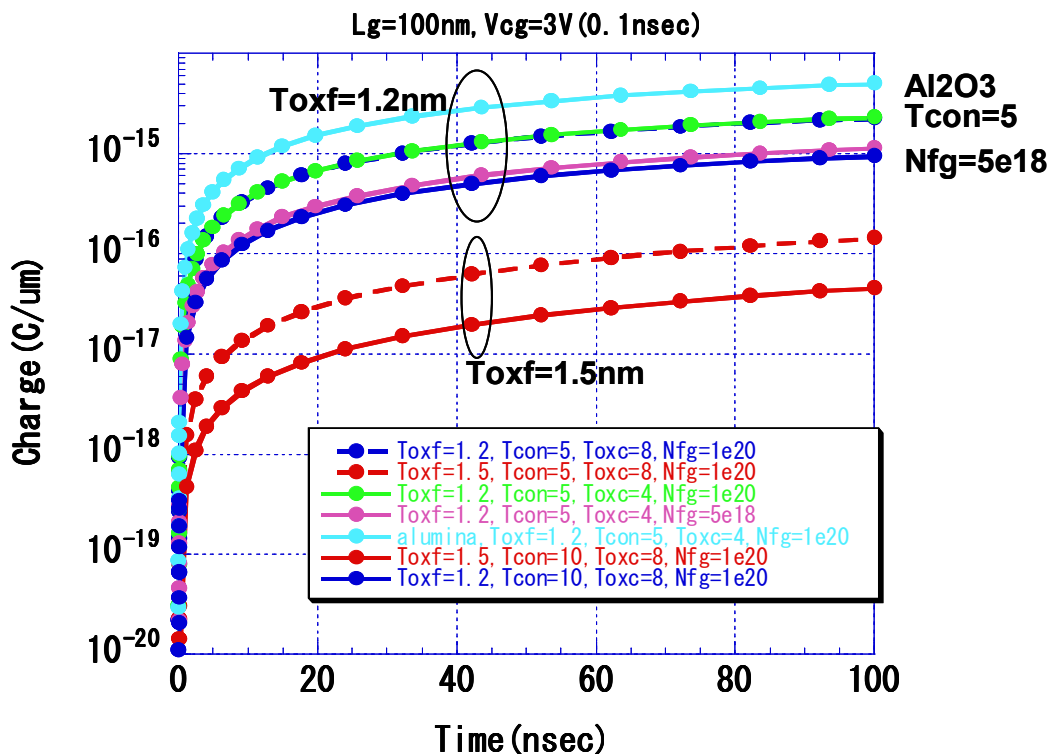


図 5-1-4-1-2. 書き込み Charge 量の時間依存性 (Vcg=3V)

(3) Vcg-Id特性と  $\Delta V_{th}$

次に、Vcg-Id 特性と  $\Delta V_{th}$  の関係について検討した結果を示す。DTM 構造では、制御ゲートが浮遊ゲートの両端に位置していることから、デバイス特性 (Vcg-Id 特性) は、CG 下のトランジスタと FG 下のトランジスタの2つの特性が合わさることになる。FG に Charge が有る場合と無い場合で、Vcg-Id 特性がどちらのトランジスタ特性に支配されているかを解析した結果が図 5-1-4-1-3 である。任意の構造で (ここでは、 $T_{oxf}=1.2\text{nm}$ ,  $T_{con}=5\text{nm}$ ,  $T_{oxc}=4\text{nm}$ )、 $V_{cg}=0.3\text{V}$ ,  $V_d=0.1\text{V}$  を印加したときのチャネル表面のポテンシャルを、FG に Charge が殆ど無い場合 ( $1e-16\text{ C}$ ) と有る場合 ( $1e-15\text{ C}$ ) で比較した。Charge が殆ど無い場合には、CG 端のポテンシャルが上がっていることから、Vcg-Id 特性は CG に律則されていることが分かる。Charge 量が多くなる ( $1e-15\text{ C}$ ) と CG 端の突起はなくなり、チャネルの全面が FG で律則されていることが分かる。

この結果、Charge が無い場合、すなわち消去後の Vcg-Id 特性は、CG 下のトランジスタ特性が支配的であり、Charge が有る場合、すなわち書き込み後では FG 下のトランジスタ特性に支配されることが明らかになった。

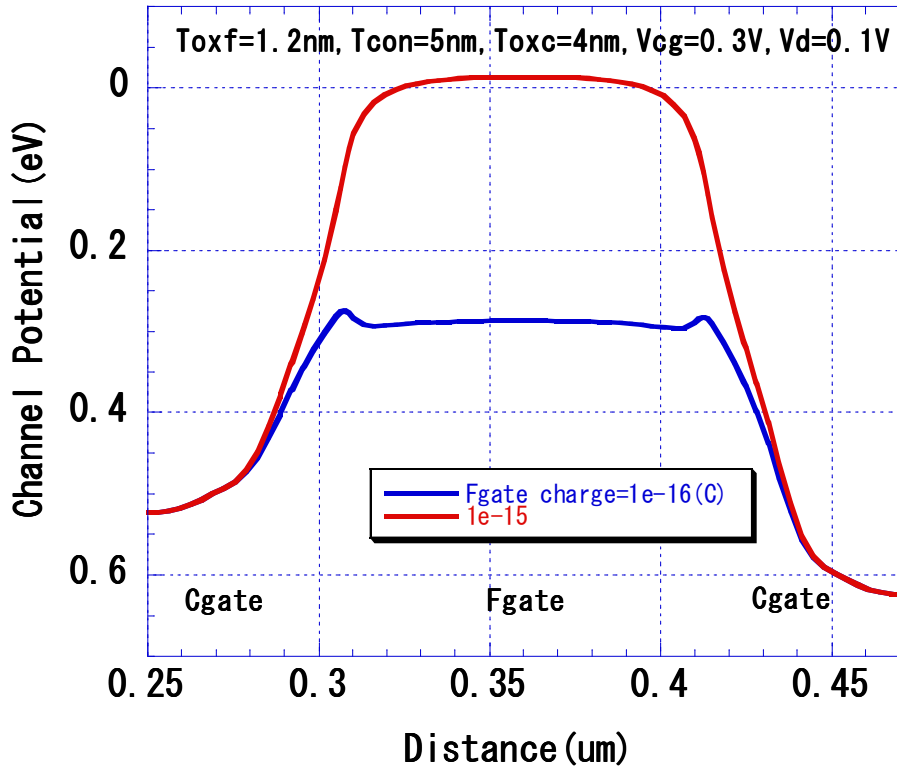


図 5-1-4-1-3. チャネル表面のポテンシャル分布

図 5-1-4-1-4(a)～(d)に、FG( $L_g=100\text{nm}$ ,  $W=1\mu\text{m}$ )に負の Charge をそれぞれ  $1\text{e-}16\text{ C}$ ,  $5\text{e-}16\text{ C}$ ,  $1\text{e-}15\text{ C}$  ( $6.24\text{e+}11\text{cm}^{-2}$ ,  $3.12\text{e+}12\text{cm}^{-2}$ ,  $6.24\text{e+}12\text{cm}^{-2}$ ) 置いた場合の  $V_{cg}\text{-}I_d$  特性 ( $V_d=0.1\text{V}$ ) を示す。

(a)は  $T_{con}$  依存性を表している。 $T_{con}=10\text{nm}$  と  $5\text{nm}$  で比較した。 $T_{con}$  を薄くするとカップリング比が増加するため、書き込み条件が同じであれば Charge 量が増加することは図 5—4-1-2 に示した通りである。一方、同じ Charge 量で比較すると  $\Delta V_{th}$  は大きく減少してしまうことが分かる。

(b)は  $T_{oxc}$  依存性を示す。 $T_{oxc}$  の薄膜化により、Charge が少ないときの  $V_{cg}\text{-}I_d$  特性の  $S$  値が向上し、低閾値側にシフトしている。その結果として  $\Delta V_{th}$  が増加している。



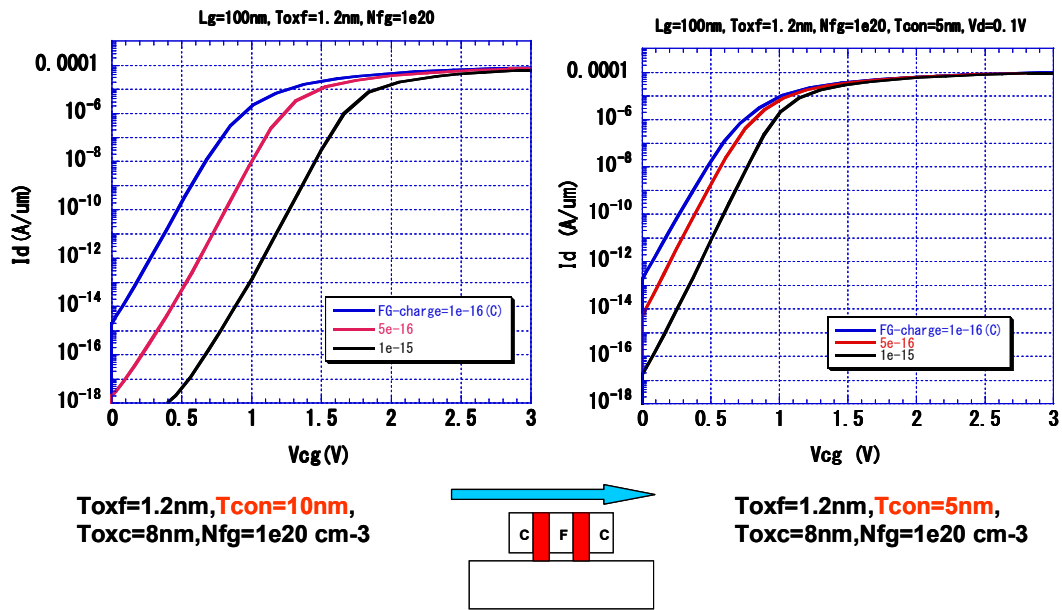


図 5-1-4-1-4. (a)  $V_{cg}$ - $I_d$  特性のコントロール膜厚依存性( $V_d=0.1\text{V}$ )

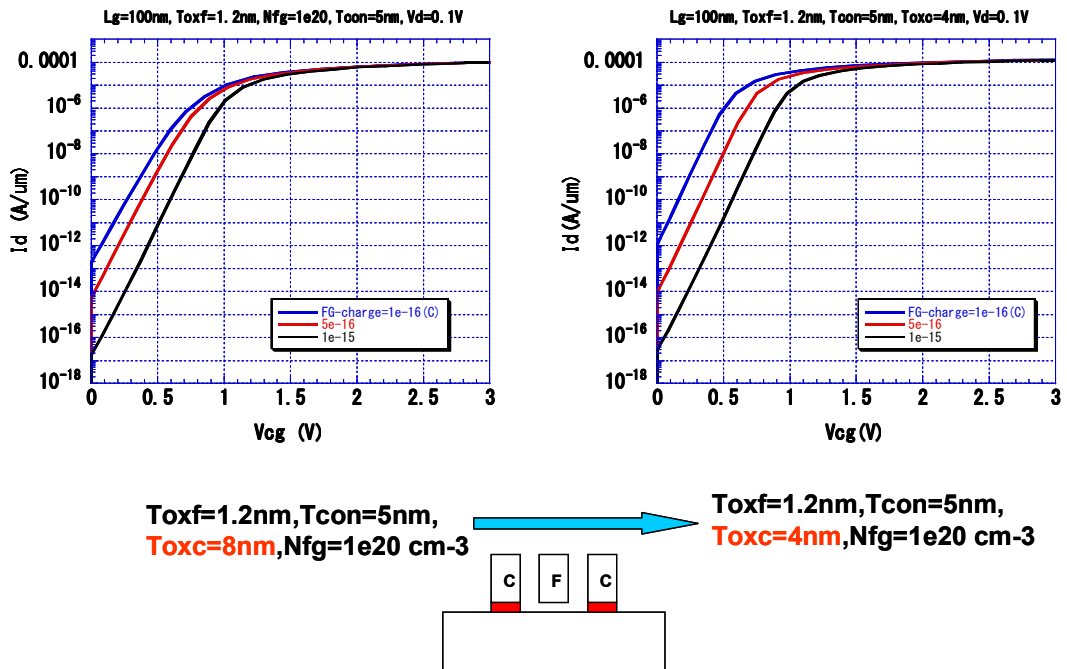


図 5-1-4-1-4. (b)  $V_{cg}$ - $I_d$  特性の CG 酸化膜厚依存性( $V_d=0.1\text{V}$ )

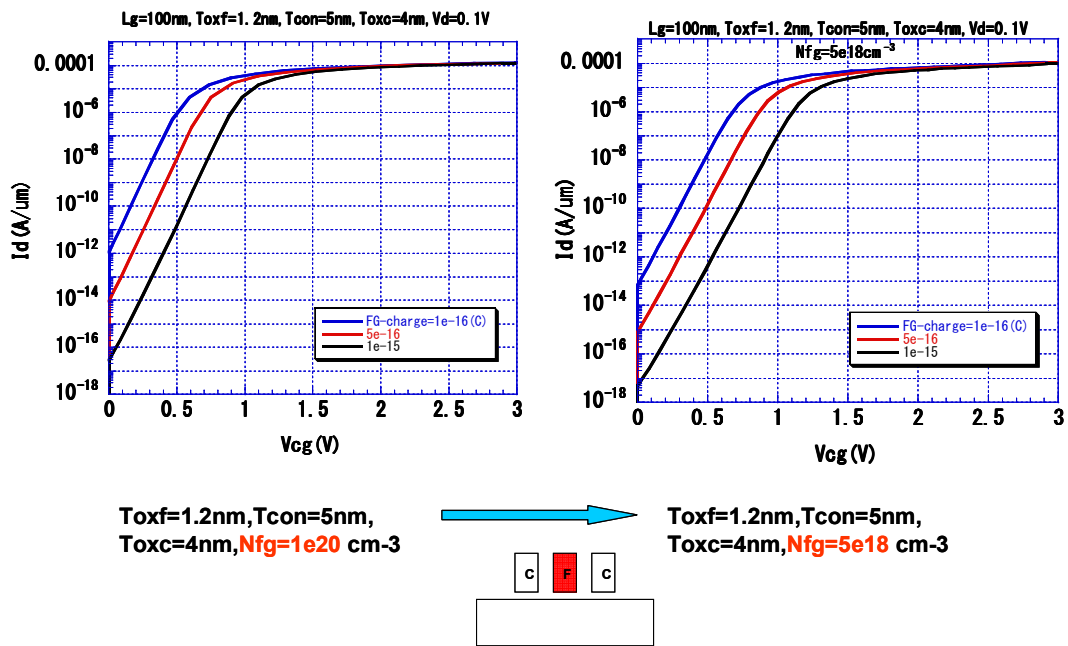


図 5-1-4-1-4. (c) Vcg-Id 特性の FG 濃度依存性(Vd=0.1V)

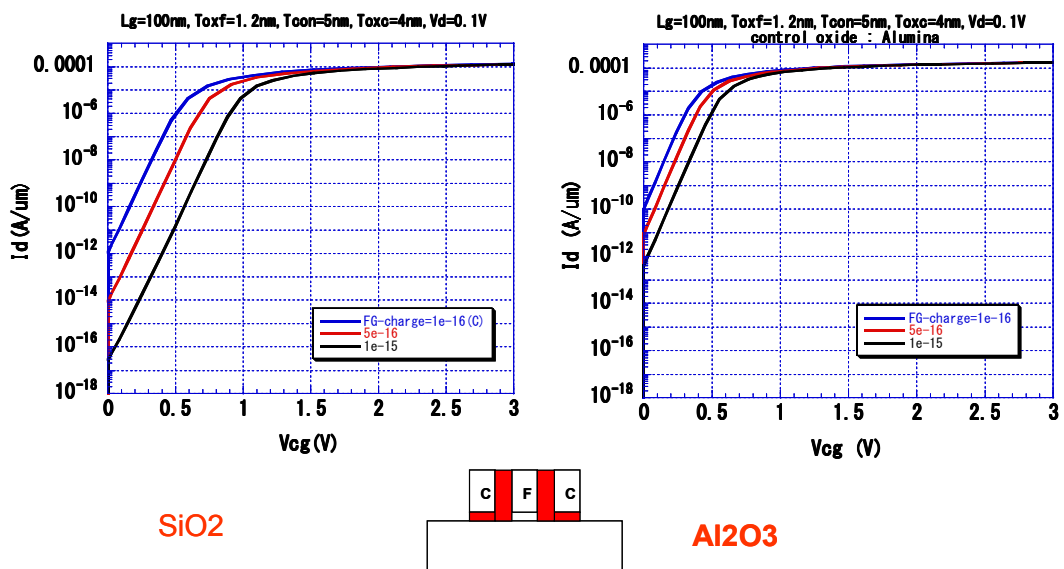


図 5-1-4-1-4. (d) Vcg-Id 特性のコントロール絶縁膜材質依存性(Vd=0.1V)

(c)はFGの濃度 ( $N_{fg}$ ) 依存性を示す。 $N_{fg}$ の低濃度化はカップリング比を増加させるが、空乏層により印加電圧が消費されるため、 $V_{th}$  がややシフトし、S値も少し悪化している。

(d)はコントロール酸化膜を  $SiO_2$  から  $Al_2O_3$  に変更した場合である。カップリング比は増加するが、その一方で  $\Delta V_{th}$  は大きく減少してしまうことが分かる。S値は向上する。

表 5-1-4-1-I に S 値の  $T_{oxc}$  および  $T_{con}$  依存性を抽出した結果を示す。ここで、S 値はドレイン電流  $I_d$  が一桁増加するのに要する  $V_{cg}$  で定義し、FG に Charge を  $5e-16C$  置いた時の抽出結果を示す。

表 5-1-4-1-I. S 値 ( $T_{oxf}=1.2nm$ 、FG Charge= $5e-16C(3.12e12cm^{-2})$ )  
(Default:  $N_{fg}=1e20cm^{-3}$ 、コントロール絶縁膜= $SiO_2$ )

	$T_{oxc}=8nm$	$T_{oxc}=4nm$
$T_{con}=10nm$	94 (mV/Dec)	-----
$T_{con}=5nm$	92.5	80 92 ( $N_{fg}=5e18cm^{-3}$ ) 75 ( $Al_2O_3$ )

このように、DTM の各パラメータを変えた場合、カップリング比が変化することで  $V_{cg}$ - $I_d$  特性が変化し、 $\Delta V_{th}$  と S 値に影響を与える。したがって、書き込み特性の評価は単純に書き込み Charge 量の評価だけでなく、実際の閾値変化量を調べるのが重要であるということが分かった。

#### (4) 書き込み時間の抽出

FG の Charge 量を変化させた  $V_{cg}$ - $I_d$  特性から  $V_{th}$  を抽出し、Charge 量と  $V_{th}$  の関係を示したのが図 5-1-4-1-5 である。

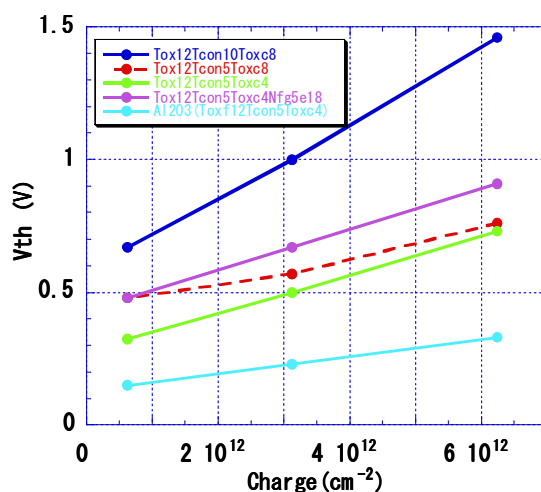


図 5-1-4-1-5. Charge- $V_{th}$  特性のデバイスパラメータ依存性( $T_{con}$ ,  $T_{oxc}$ ,  $N_{fg}$ ,  $Al_2O_3$ )

ここで、 $V_{th}$  は、 $I_d=1e-8(A \cdot m)$ となる  $V_{cg}$  と定義した。

この図から、Charge 量と  $V_{th}$  は直線で近似することができる。またカップリング比が大きい条件ほど傾きは小さくなっていることが分かる。そこで、この Charge 量と  $V_{th}$  の関係と、図 5-1-4-1-2 に示した書き込み Charge 量の時間依存性から、 $\Delta V_{th}$  の書き込み時間依存性を求めたのが図 5-1-4-1-6 である。ここでの書き込み電圧は  $V_{cg}=3V$  とした。

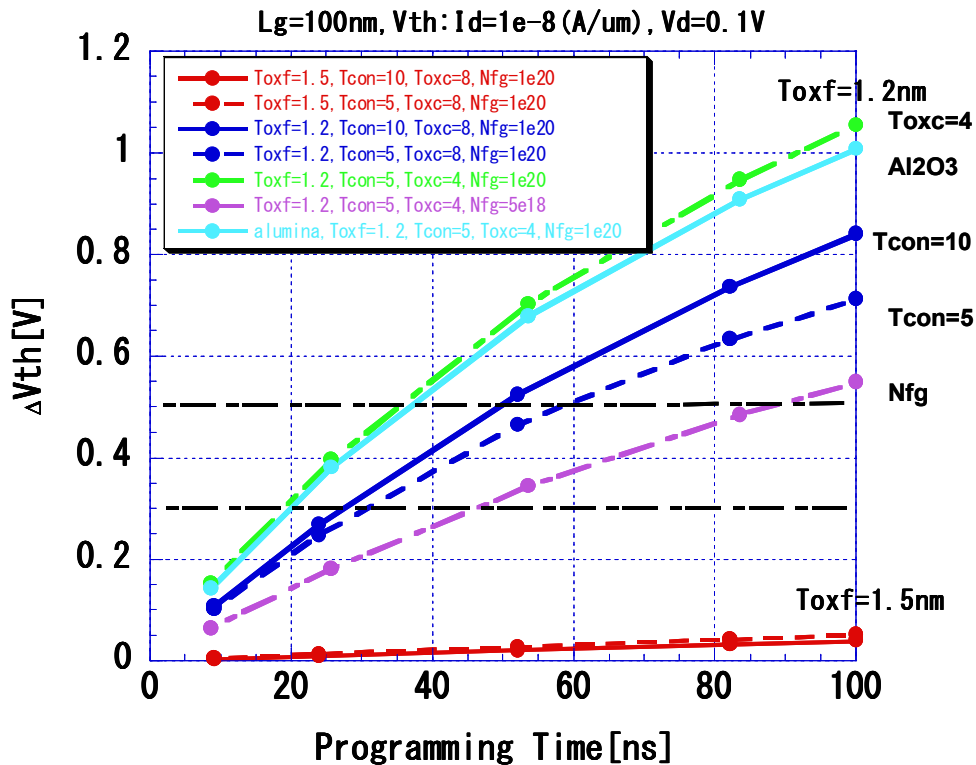


図 5-1-4-1-6. 書き込み時間と  $\Delta V_{th}$  特性( $T_{con}$ ,  $T_{oxc}$ ,  $N_{fg}$ ,  $T_{oxf}$  依存性)

$T_{oxf}=1.5nm$  では  $T_{con}$  の値にかかわらず、どちらの条件も書き込み Charge 量が少ないために、100ns 以下の書き込み時間では十分な  $\Delta V_{th}$  が確保できないことが明らかである。したがって 3V 程度の低電圧において高速動作を実現させるためには、トンネル酸化膜の薄膜化が必須であることが分かった。そのため、以降は  $T_{oxf}=1.2nm$  において、各デバイスパラメータが書き込み特性に与える影響を比較した。

図 5-1-4-1-6 から、 $T_{con}$  の薄膜化は書き込み速度の高速化にはあまり効果がないことが分かる。この原因を明らかにするため、図 5-1-4-1-7 には、書き込み電圧  $V_{cg}=3V$  で 50ns の書き込みを行った際の、書き込み電荷量 ( $\Delta Q$ ) とその時の  $V_{th}$  の変化量 ( $\Delta V_{th}$ ) の  $T_{con}$  依存性を解析した結果を示す。

その結果、 $T_{con}$  が薄膜化されるにつれて容量結合比が増加するため FG に印加される電圧が増加して  $\Delta Q$  は増えていくが、一方で  $\Delta V_{th}$  は  $\Delta Q$  と  $C_{cg}$  との比で決まるため、 $T_{con}$  への依存性は小さいことが分かった。このように、 $T_{con}$  の薄膜化は Charge 量の増加には寄与するが、ダイレクトトンネル電流を用いた書き込み速度の向上自体にはあまり効果が無いという新しい知見を得ることができた。

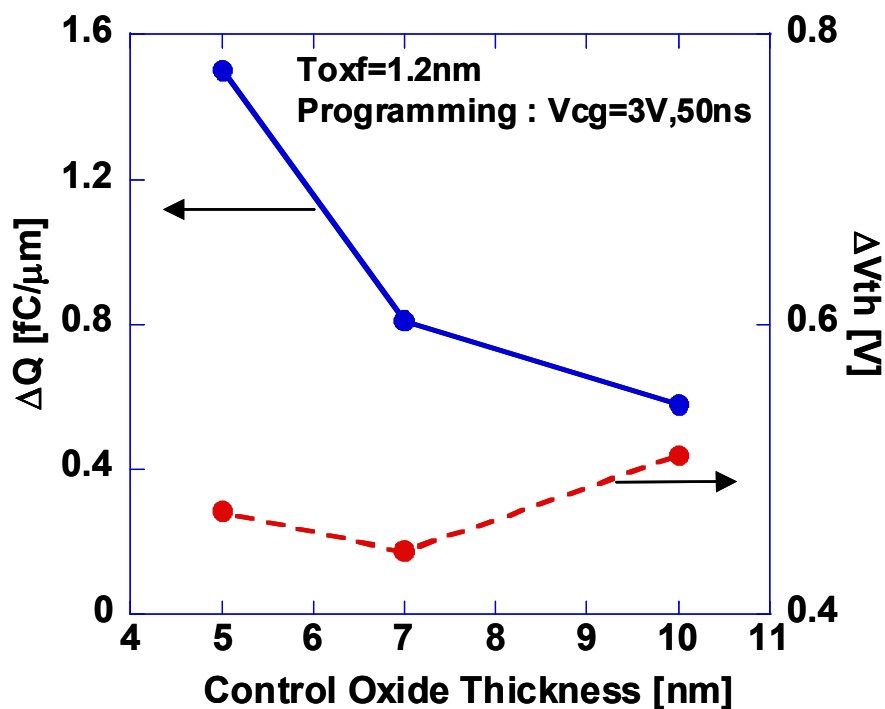


図 5-1-4-1-7. 書き込み Charge と  $\Delta V_{th}$  の  $T_{con}$  依存性

これに対して、図 5-1-4-1-6 から  $T_{oxc}$  の薄膜化は書き込み速度の向上に予想以上の効果があることが分かった。図 5-1-4-1-7 と同様にして、図 5-1-4-1-8 に  $\Delta Q$  と  $\Delta V_{th}$  の  $T_{oxc}$  依存性を求めた結果を示す。 $T_{oxc}$  の変化は書き込み Charge 量には無関係であるが、一方で  $T_{oxc}$  の薄膜化は  $\Delta V_{th}$  を大きく増加させる。このことは、先に示した CG 下のトランジスタの特性の向上によるものである。この為に、 $T_{oxc}$  の薄膜化が等価的に  $\Delta V_{th}$  で評価する書き込み速度を向上させていることが明らかになった。

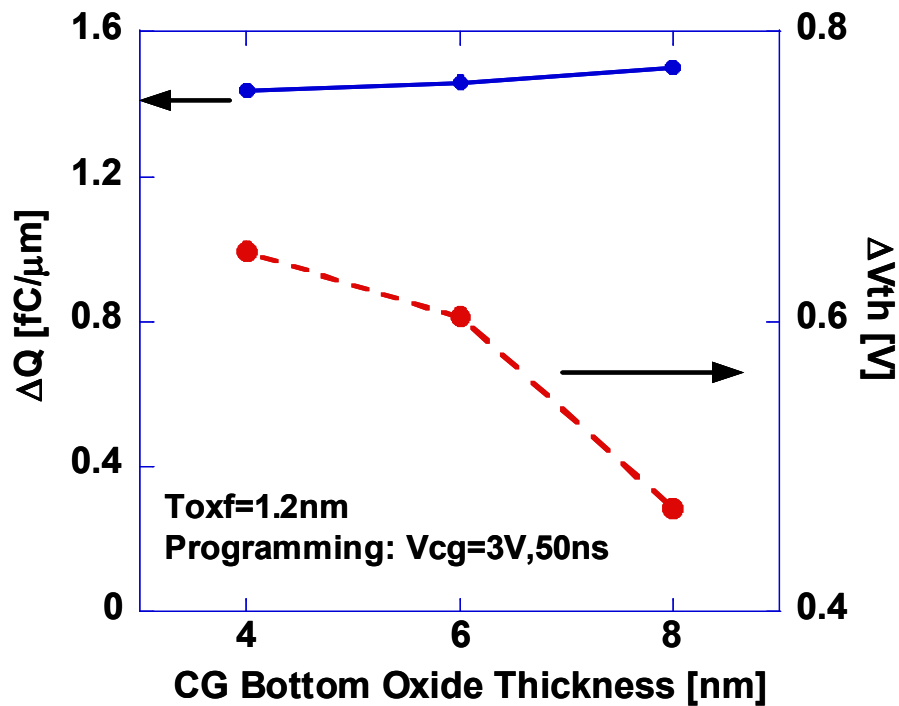


図 5-1-4-1-8. 書き込み Charge と  $\Delta V_{th}$  の  $T_{oxc}$  依存性

図 5-1-4-1-9 には、 $N_{fg}$ 、 $N_{sub}$  および  $L_{offset}$  の書き込み速度への影響を示した。図 5-1-4-1-6、図 5-1-4-1-9 のいずれの図からも、 $N_{fg}$  の低濃度化（ゲートの空乏化）は書き込み速度を遅くすることが分かる。しかし、その際の書き込み速度の劣化は非空乏化の場合と比較して、1/2～1/3 程度に留まっていることが重要な点である。なぜなら後述するように、空乏化は保持時間の改善には大変有効なパラメータであり、保持時間と書き込み時間の比という観点から評価すれば、素子特性の向上に寄与することが示されるからである。

一方  $N_{sub}$  および  $L_{offset}$  に関しては、これらのパラメータによる書き込み速度への影響は殆どないことが分かる。DTM の書き込みを支配するゲートのダイレクトトンネル電流は、トランジスタのすべてのチャンネルが ON した後は、フローティングゲートとソース・ドレイン領域の電位差で決まると考えられる。 $N_{sub}$  および  $L_{offset}$  の書き込み速度への影響が小さいということは、書き込み電圧が印加された状態では、FG の下および CG の下のトランジスタが十分に ON しており、またオフセット領域の寄生抵抗の影響も無視できる程度に小さいということを意味している。

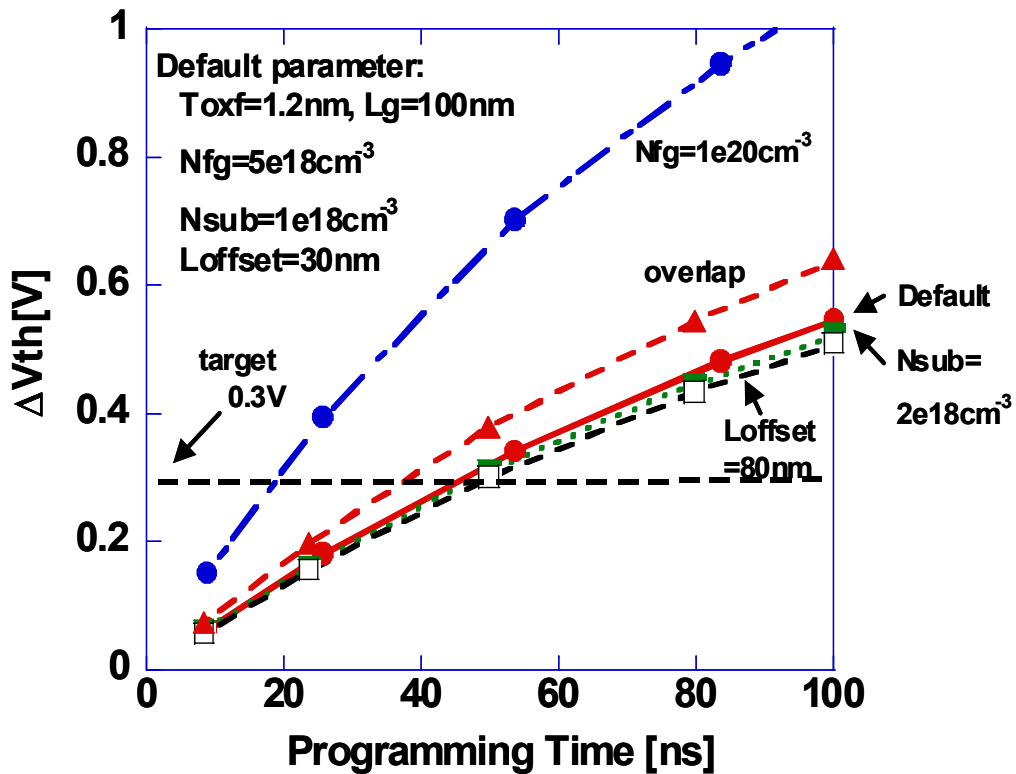


図 5-1-4-1-9. 書き込み時間と  $\Delta V_{th}$  特性( $N_{sub}$ ,  $L_{offset}$  依存性)

表 5-1-4-1-II に、各パラメータが書き込み速度に与える影響を比較した結果を示す。ただし書き込み速度は  $\Delta V_{th}=0.5V$  あるいは  $0.3V$  におけるパルスの印加時間で定義しており、 $V_{cg}=3V$  である。ここでは書き込み(FG への電子の注入)だけに着目しているために、 $\Delta V_{th}$  は片側(消去を含めた場合の  $\Delta V_{th}$  の半分)の値と考えて良い。

今回の書き込み特性の評価では、 $T_{oxf}=1.2nm$ ,  $T_{con}=5nm$ ,  $T_{oxc}=4nm$  の条件が一番書き込みが速く、 $\Delta V_{th}$  が  $0.5V$  の場合に  $35ns$ ,  $0.3V$  の場合に  $18ns$  の書き込み速度が得られた。この条件に空乏化を考慮しても、 $\Delta V_{th}=0.3V$  の場合に  $48ns$  という高速書き込みが可能である。

このように、DTM の書き込み速度はトンネル酸化膜の薄膜化が最も効果的で、それ以外にコントロールゲートの下に形成されるトランジスタの閾値電圧を低くし、FG に入った Charge の影響を全体のトランジスタの閾値電圧のシフトに反映させることが有効であることが明らかになった。ただしこれらのパラメータは電荷の保持特性にも影響を与えるため、素子の特性向上という観点からは、保持特性も評価して初めてどのパラメータが有効であるか明らかになる。そこで次節では、保持特性に関する詳細な評価を行った。



表 5-1-4-1-II. 書き込み時間抽出結果  
 (Default:  $N_{fg}=1e20cm^{-3}$ , コントロール絶縁膜  $SiO_2$ )

	$\Delta V_{th}=0.5V$ (片側)	$\Delta V_{th}=0.3V$ (片側)
$T_{oxf}=1.5nm$ ( $T_{con}=10nm, T_{oxc}=8nm$ )	1000 ns	600
$T_{oxf}=1.2nm$ ( $T_{con}=5nm, T_{oxc}=4nm$ )	35 88 ( $N_{fg}=5e18$ ) 36 ( $Al_2O_3$ )	18 48 ( $N_{fg}=5e18$ ) 20 ( $Al_2O_3$ )

#### 5-1-4-2 データ保持特性(Retention特性)の解析

データ保持特性は、書き込みによって FG に Charge を貯めた状態、または、消去によって FG から Charge を引き抜いた状態からの、Charge の時間依存の特性である。

DTM 構造では極薄トンネル酸化膜を使用している為に高速書き込みが得られる反面、データ保持時間については不揮発性メモリのような長時間を確保することは難しい。逆に、保持時間が比較的短いためにシミュレーションにより定量的な解析を行うことが可能となる。そこで、シミュレーションによって保持特性に影響するデバイスパラメータを解析した。

シミュレーションでは、書き込み状態(Write 側)からの保持特性評価には FG に負の Charge を置き、消去状態(Erase 側)からの保持特性評価には正の Charge を置いて、過渡解析によって Charge の変化を追跡した。

保持特性は Si/SiO<sub>2</sub> や SiO<sub>2</sub>/Poly-Si の界面の状態に非常に敏感である。そこで、この保持特性に関わってくるデバイスパラメータとして、トンネル酸化膜厚 (T<sub>oxf</sub>) , FG の不純物濃度(N<sub>fg</sub>)、基板濃度(N<sub>sub</sub>)、ソース・ドレインのオフセット量(L<sub>offset</sub>)の影響が大きいのではないかと予測した。さらに、コントロール酸化膜厚(T<sub>con</sub>)とコントロール絶縁膜材質にも依存する可能性もある。これらのパラメータが保持特性に与える影響を解析した結果を以下に示す。

##### (1) FG 濃度(N<sub>fg</sub>)および基板濃度(N<sub>sub</sub>)依存性

図 5-1-4-2-1(a)~(d)に、各デバイスパラメータを変化させた場合の Write 側の保持特性の計算結果を示す。トンネル酸化膜厚は 3V で高速動作が可能な 1.2nm に設定した。なお、ここでは基本的にバンド間のダイレクトトンネル電流について計算を行っており、酸化膜中、あるいは酸化膜と FG や基板の界面に形成される、トラップや準位を介したトンネル成分については考慮していない。

図 5-1-4-2-1 の Write 側の特性では、FG に Charge をそれぞれ 1e-14, 2e-15, 1e-15, 5e-16 クーロン (C) 置いた場合の(a)N<sub>fg</sub> 依存性, (b)N<sub>sub</sub> 依存性を表している。このとき、トランジスタの各端子電圧は、V<sub>cg</sub>=V<sub>s</sub>=V<sub>d</sub>=V<sub>sub</sub>=0V である。

(a)では、実線が N<sub>fg</sub>=1e20cm<sup>-3</sup>, 点線が 5e18cm<sup>-3</sup> であり、このとき N<sub>sub</sub>=1e18cm<sup>-3</sup> は一定ある。同様に、(b)では実線が N<sub>sub</sub>=1e18cm<sup>-3</sup>, 点線が 5e18cm<sup>-3</sup> であり、このとき N<sub>fg</sub>=5e18cm<sup>-3</sup> は一定である。前述のように保持特性は、時間とともに Charge がトンネル酸化膜を抜けて減少していく様子を示している。この特性を見ると、いずれの場合も Charge 量が多い場合は抜ける速度も速く、少なくなるとゆっくりと抜けていく様子が分かる(縦軸が Log であることに注意)。これは Charge が多いほど Poly-Si/SiO<sub>2</sub> 界面と SiO<sub>2</sub>/Si 界面の伝導帯のエネルギー差が大きくなり、トンネル酸化膜中に大きな電界が生じている為である。

またこれらの図から、初期状態で書き込まれている Charge 量が異なる場合でも、一定時間が経過した後はほとんど同じ保持特性を示していることが分かる。これは実際のデバイスでも観察されている現象である。したがって、比較的 Charge が少ない状態で保持状態を定義できるならば、保

持時間は初期状態に依存しないことが明らかである。

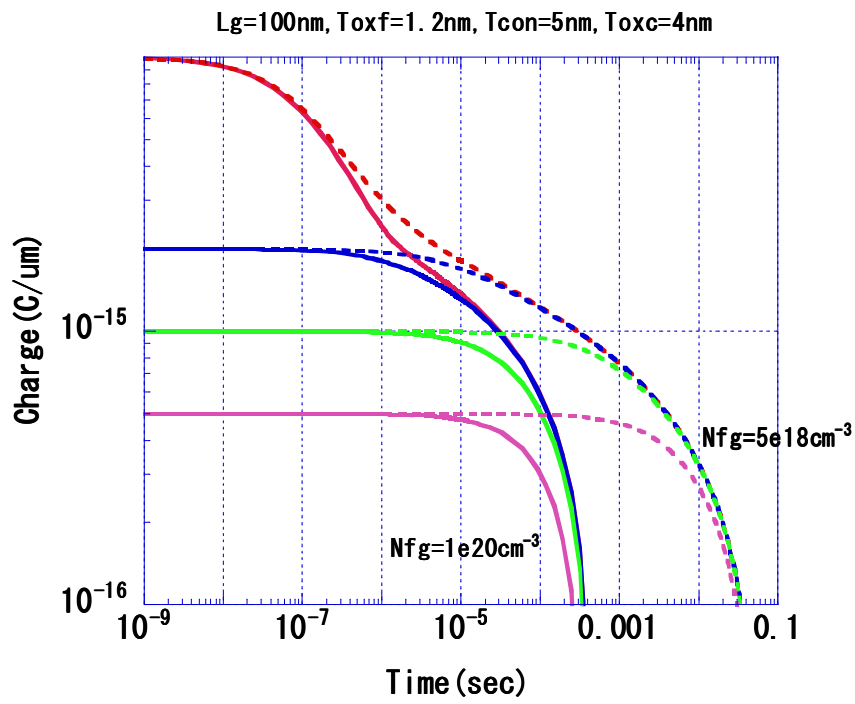


図 5-1-4-2-1. (a) Write 側データ保持特性 ( $N_{fg}$  依存性)

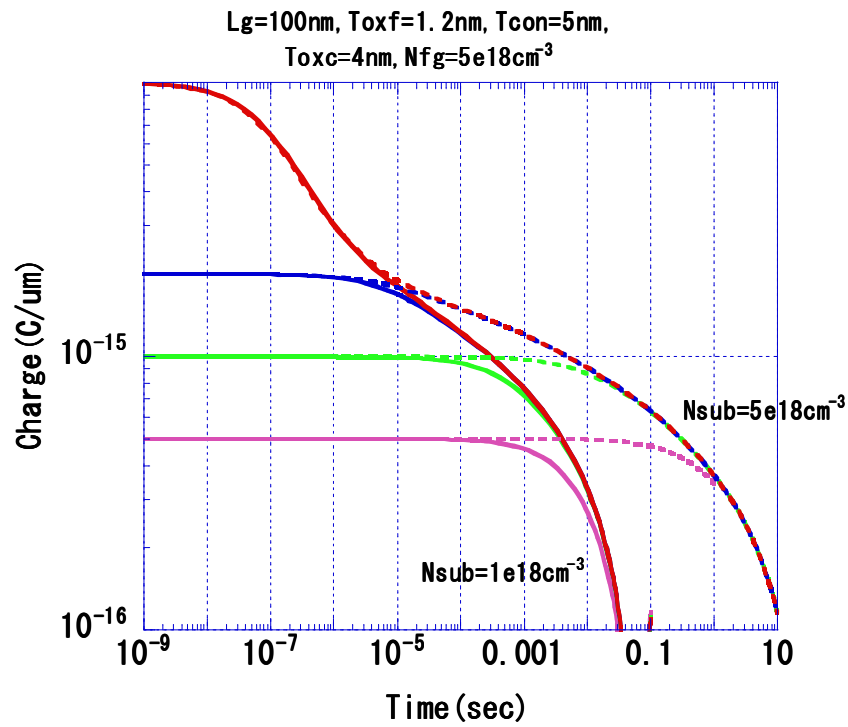


図 5-1-4-2-1. (b) Write 側データ保持特性 ( $N_{sub}$  依存性)

図 5-1-4-2-1(a),(b)で最も重要な点は、FG の不純物濃度  $N_{fg}$  を減少させた場合、および基板濃度  $N_{sub}$  を増加させた場合にリテンション時間が極めて大きく改善している点である。以下、バンド図によりこの現象を説明する。

図 5-1-4-2-1(c)は、初期状態での Charge 量が  $1e-14(C)$  の場合の Conduction band 下端の energy の変化を時間ごと ( $t=1e-9s, 1e-7s, 1e-6s, 1e-5s, 1e-3s$ ) に示したものである。実線は  $N_{fg}=1e20cm^{-3}$ 、点線は  $5e18cm^{-3}$  の時である。

Charge が多きとき（時間が短いとき）には FG と基板とのエネルギー差が大きく、時間とともに Charge が抜けていくとエネルギー差は小さくなる。FG と基板とのエネルギー差がほとんどなくなったときに注目すると、この点は図 5-1-4-2-1(a)で見ると、Charge の保持特性の変曲点に相当していることが分かる。具体的には、 $N_{fg}=1e20cm^{-3}$  のとき  $t=1e-6(s)$ 、 $N_{fg}=5e18cm^{-3}$  のとき  $t=1e-5(s)$  付近である。FG の空乏化によるリテンション時間の改善効果は、主としてこの変曲点以後の特性改善に起因していることが分かる。

一方で、図 5-1-4-2-1(d)は同様に  $N_{sub}$  依存性に関して Conduction band の時間推移を見たものである。この時、図 5-1-4-2-1(b)で見ると変曲点は両者で同じ時間 ( $1e-5(s)$ ) であり、その場合には FG と基板とのエネルギー差がほとんど無いことが(d)より分かる。また、基板濃度の増加によるリテンション時間の改善効果は、やはりこの変曲点以降に顕著であることも分かる。

このように、ゲートの空乏化、あるいは基板濃度の高濃度化を行うと、FG と基板のエネルギー差がほとんど消失する変曲点以後、リテンション特性が非常に大きく改善することが明らかになった。これは、変曲点以降は FG でゲートの空乏化が生じて、本来ならばトンネル酸化膜に印加されるべき電圧を消費している影響であると考えられる。ゲート空乏化により消費される電圧は、基板のバンド曲がりとの取り合いで決まる。したがって、基板の濃度が高い場合は基板でのバンド曲がりにより緩和されるために、リテンション特性が改善するものと予想される。

ここで注意すべきは、変曲点=フラットバンド電圧が p 型基板と n 型 FG の間で約-1V と非常に大きい点である。フラットバンド電圧が大きいため、それより小さい負の電圧領域、言い換えれば FG にそれほど多くない Charge が書き込まれた状態では、リテンション特性の改善が望めると考えられる。

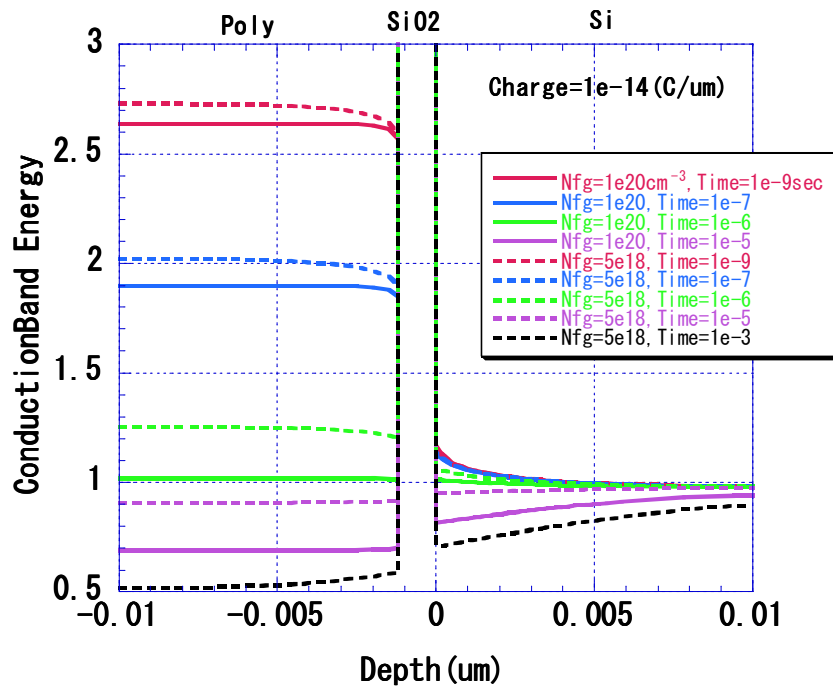


図 5-1-4-2-1. (c) Conduction band の時間推移 (Charge=1e-14C, N<sub>fg</sub> 依存性)

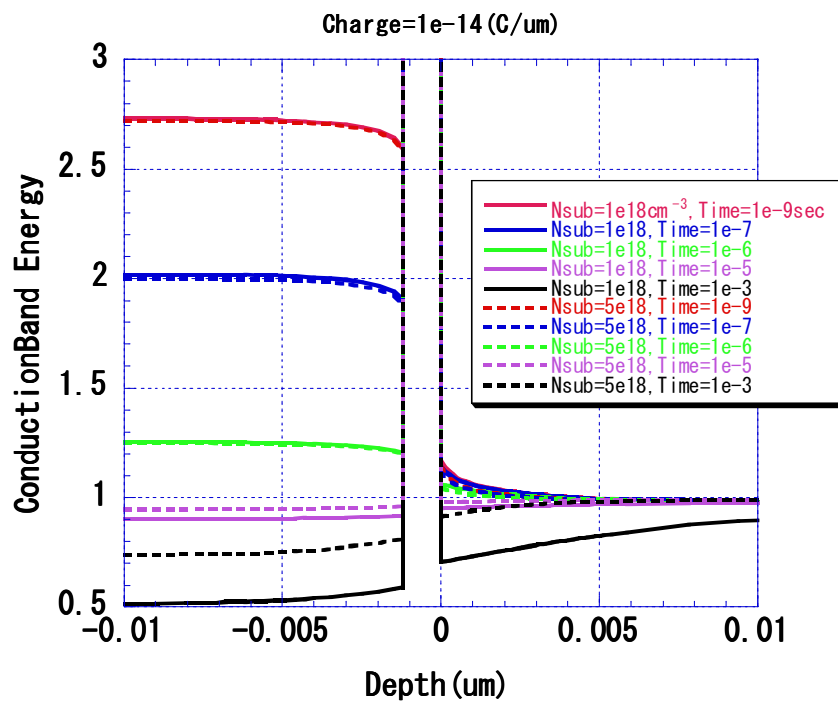


図 5-1-4-2-1. (d) Conduction band の時間推移 (Charge=1e-14C, N<sub>sub</sub> 依存性)

図 5-1-4-2-2(a),(b)に示した Erase 側の電荷保持特性では、初期状態における Charge 量が  $1e-15(C)$  の場合だけについて特性を比較した。Erase 側では計算上、FG 中に正の Charge を置いている。熱平衡状態における FG の Charge が正であるために、時間の経過で平衡状態になって Charge が飽和する様子が見えている(Write 側でも本来は同じように Charge が飽和する様子が観察されるはずであるが、Charge が負から正へ切り替わる際に非常に微小な電荷を取り扱う必要があり、収束性の問題や丸め誤差に起因した計算精度の問題が顕在化してしまうために観察できない)。また、これら熱平衡状態における Charge 量が条件により異なるのは、FG が n 型の CG と p 型の基板に挟まれており、容量結合比の変化によってこの Charge 量が決まるからである。

これらの図から、Erase 側も Write 側と同様に  $N_{fg}$  低濃度化と  $N_{sub}$  高濃度化は保持特性改善に非常に効果的であり、いずれの場合もパラメータの最適化により、それぞれ 2~3 桁保持時間が向上することが分かった。この原因に関しては、基本的に Write 側の場合と同様であるが、Erase 側の方がより分かりやすい。

前述のように n 型の FG と p 型の基板の間ではフラットバンド電圧が負で大きく、したがって FG に 0V が印加されている状態を考えれば、基板のバンド曲がりが大きく生じていることが分かる。ゲート空乏化を行わない場合、FG 中に正の Charge を入れれば基板のバンド曲がりの方が更に顕著になり、すぐに反転状態が形成されるため、基板から FG に電子が注入されてしまいリテンション特性は良くない。一方ゲート空乏化を行えば、正の Charge を入れた際に生じる電界の一部が空乏層により消費され、それゆえ基板のバンド曲がり緩和される。その結果、基板表面における電子密度が減少し、FG 中に注入される電子量が減少するためにリテンション特性が改善するのである。

基板濃度依存性に関しても書き込み状態の場合と同様であり、基板濃度を高くすることで相対的に FG における電圧消費が促進される結果、リテンション特性が改善されると考えられる。

このように、FG の空乏化と基板の高濃度化は Write, Erase いずれの場合もリテンション特性の改善に効果的であることが明らかになった。

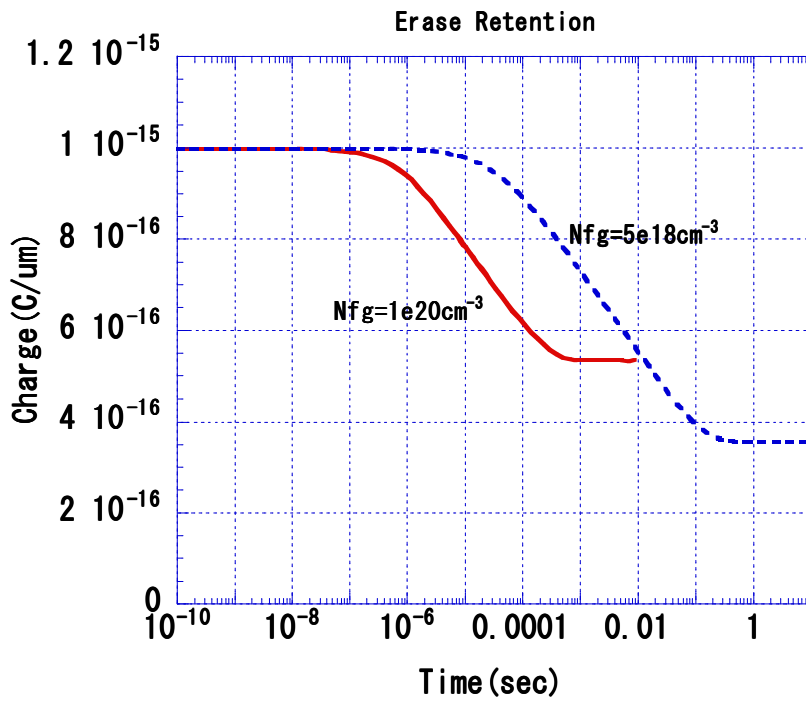


図 5-1-4-2-2. (a) Erase 側データ保持特性 ( $N_{fg}$  依存性)

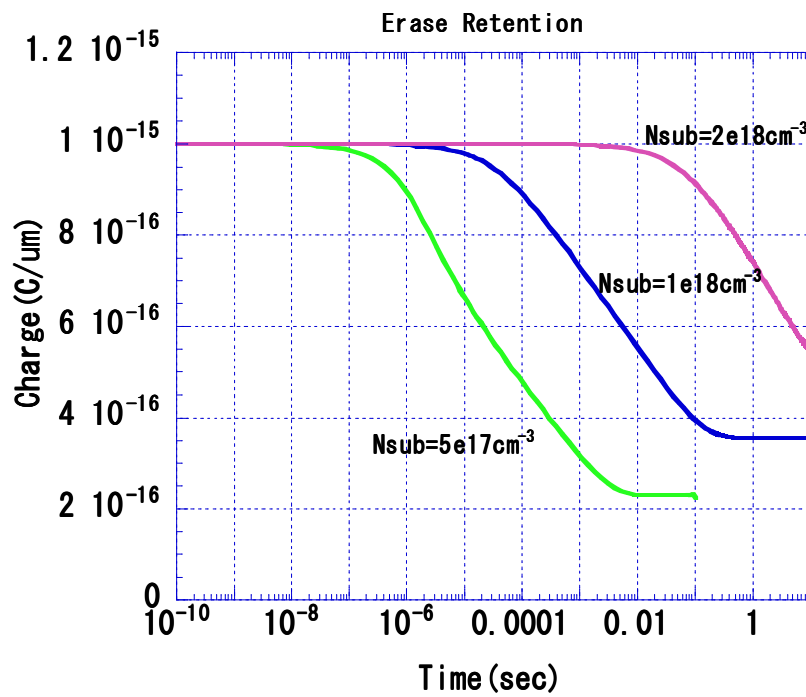


図 5-1-4-2-2. (b) Erase 側データ保持特性 ( $N_{sub}$  依存性)



以上の結果を踏まえ、Erase 側のリテンション特性に関して、Charge 量の変化を  $\Delta V_{th}$  の変化として見たのが図 5-1-4-2-3 である。各条件に対して平衡状態からの Charge の変化量を求め、先に求めた Charge と  $V_{th}$  の関係から  $\Delta V_{th}$  に変換することで求めることができる。なお、図中に示した各条件は以下の通りである。

- :  $N_{fg}=1e20cm^{-3}$ ,  $N_{sub}=1e18cm^{-3}$
- :  $N_{fg}=5e18cm^{-3}$ ,  $N_{sub}=1e18cm^{-3}$
- :  $N_{fg}=5e18cm^{-3}$ ,  $N_{sub}=2e18cm^{-3}$

$\Delta V_{th}=-0.15V$  を仮定すると、保持時間は  $N_{fg}=1e20cm^{-3}$  から  $N_{fg}=5e18cm^{-3}$  にすることで  $1e-6(s)$  から  $1e-3(s)$  に改善され、さらに基板濃度を  $N_{sub}=1e18cm^{-3}$  から  $N_{sub}=2e18cm^{-3}$  にすることで  $1(s)$  になることが明らかになった。

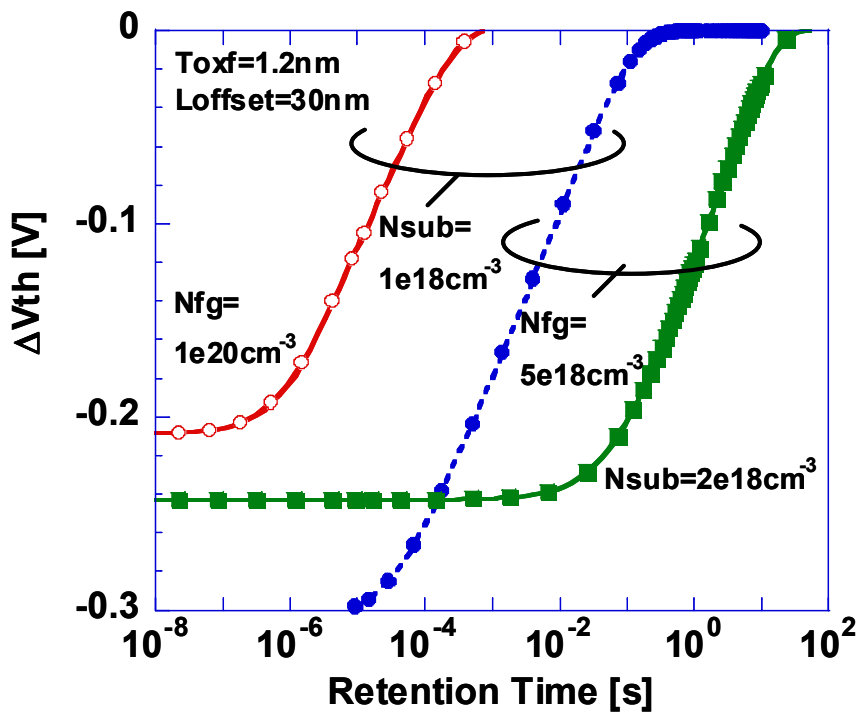


図 5-1-4-2-3. データ保持時間と  $\Delta V_{th}$  特性 ( $N_{fg}$ ,  $N_{sub}$  依存性)

図 5-1-4-2-4 と 5-1-4-2-5 に、Write 側の保持特性で Charge 量が  $0.5fC(5e-16 C)$  になったときの Conduction band を改めて示す。これらの図から、FG の低濃度化と基板の高濃度化は、Poly-Si/SiO<sub>2</sub> 界面における空乏化と、それに起因した SiO<sub>2</sub>/Si 界面のバンド曲がりの緩和を生じさせることで、リーク電流を抑制することができる為であることが明らかである。

なおこれらの図から、ゲート空乏化の効果は伝導帯の不連続量が増加する効果だけでなく、Poly-Si/SiO<sub>2</sub> 界面での電子密度が減少することにより、トラップや界面準位を介したトンネル電流成分が減少する効果も期待できることが分かる。また図には明示していないが、Erase 側のバンド図を考えてみれば、この場合に関しても、基板の界面準位から FG へトンネルする成分が空乏層により減少することが期待できる。

本シミュレーションではトラップや界面準位の効果を取り入れていないが、今後定量的な精度を高めていくためには、このような理想的な系とは異なる状況に関しても積極的に評価してゆく必要があると考えられる。

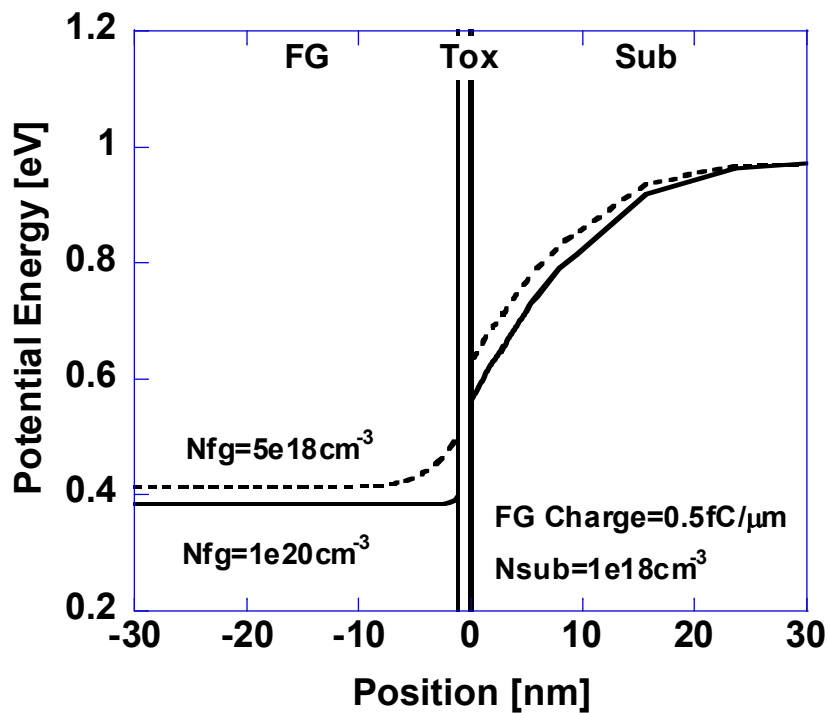


図 5-1-4-2-4. Write 側での Conduction Band の比較( $N_{fg}$  依存性)

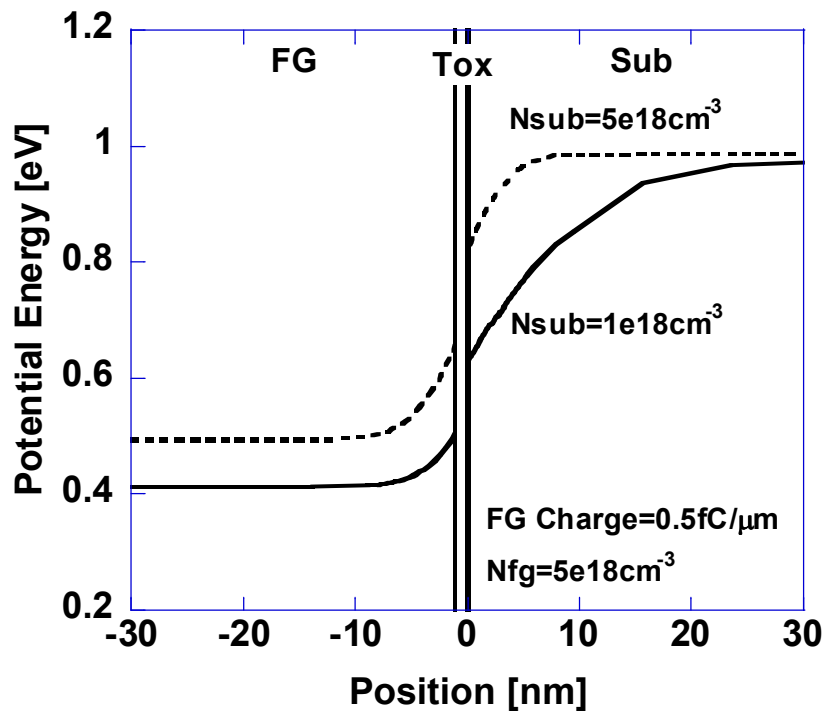


図 5-1-4-2-5. Write 側での Conduction Band の比較( $N_{\text{sub}}$  依存性)

以上、FG の濃度と基板濃度の影響に焦点を絞り、リテンション特性に与える影響を評価してきた。その結果、これらのパラメータを最適化してゲート空乏化を生じさせることにより、リテンション特性が大幅に改善することが予想される。しかし書き込み特性のようにフラッシュメモリ等で比較の実績があるシミュレーションとは異なり、リテンション特性の評価はこれまでほとんど行われていないのが実情である。DTM ではリテンション時間が比較的短いためにこのようなシミュレーションが可能になったわけであるが、その場合でも非常に微小な量の電荷のやりとりを計算する必要があるため、少なくともシミュレーションが実測を定性的には再現していることが望ましい。

図 5-1-4-2-6 は、実測から得た保持特性の  $N_{\text{fg}}$  依存性である。実測においてもシミュレーションと同様の傾向が得られ、 $N_{\text{fg}}$  低濃度化で保持時間の大幅な改善が見られている。このことから、シミュレーションは少なくとも定性的にはリテンション時間のパラメータ依存性を忠実に再現していることが判明した。したがって基板濃度の影響に関しても、同様に保持特性の改善効果が期待できると考えている。

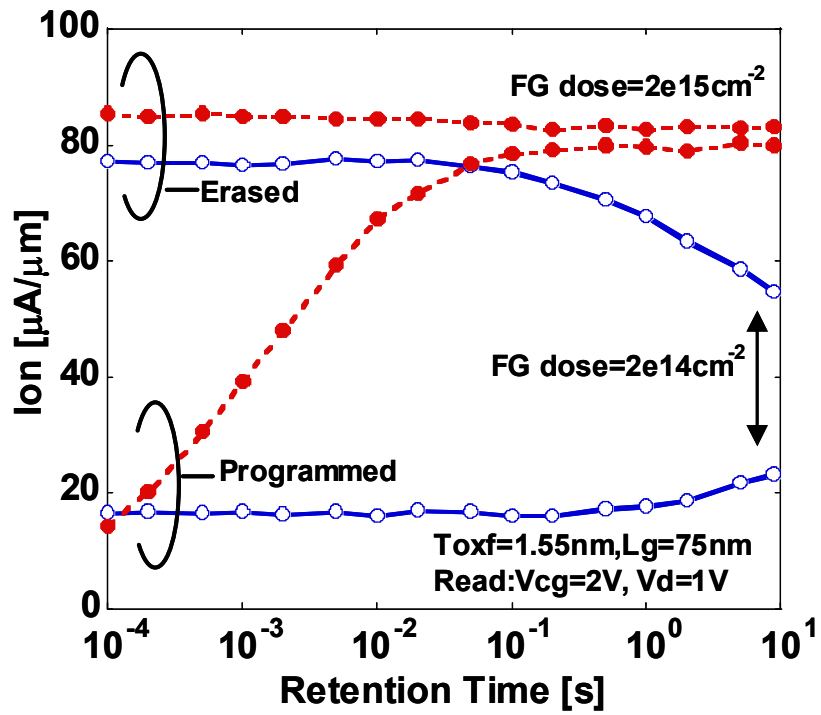


図 5-1-4-2-6. 実測の保持特性 ( $N_{fg}$  依存性)

(2) Source/Drain オフセット ( $L_{\text{offset}}$ ) 依存性

DTM は電荷保持特性を向上させるために、サイドウォール状に形成された CG を用いることで、Source/Drain の拡散層領域と FG をオフセットさせていることに特徴がある。 $L_{\text{offset}}$  は、Source/Drain の拡散層領域と FG までの距離を示すパラメータである。これまで、オフセットにより保持特性が向上することは予想されていたが、 $L_{\text{offset}}$  としてどれほどの値が必要かということは明らかでなかった。今後 DTM を微細化していくためには、 $L_{\text{offset}}$  のスケラビリティに関しても明らかにしておく必要がある。

書き込み動作の場合には、CG の下にもチャンネルが形成されている状態である。このチャンネル抵抗は小さく、オフセットの有無で書き込み速度に変化がほとんど無いこと、同様に  $L_{\text{offset}}$  依存性も見られないことは先に示した。ただし、ドレイン電流については、チャンネル長が変わってくるので  $V_{\text{th}}$  には依存性が見られると予想される。

一方で Erase 側の保持特性を考えたとき、 $L_{\text{offset}}$  の違いはリークパス、すなわち Source/Drain 領域からの電子の供給経路の出来やすさの違いに影響があると予想できる。そこで、Source/Drain と FG がオーバーラップしている場合 ( $L_{\text{offset}}=0$ ) と、 $L_{\text{offset}}=30, 50, 80\text{nm}$  にした場合とで、Erase 側の保持特性を比較した結果を図 5-1-4-2-7 に示す。

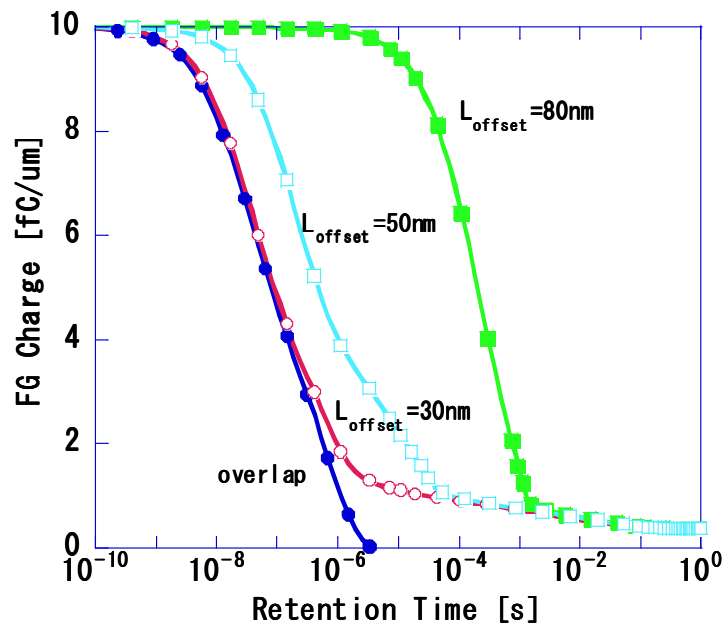


図 5-1-4-2-7. Erase 側の保持特性 ( $L_{\text{offset}}$  依存性)

Charge の減少の仕方には明確な  $L_{\text{offset}}$  依存性があり、 $L_{\text{offset}}$  が大きいほど保持特性が改善している。ただし十分に時間が経過して、平衡状態に近づいた時の保持特性と、最終的な平衡状態での Charge 量は  $L_{\text{offset}}$  によらず同じである。一方、オーバーラップしている場合には FG と n+領域がカップリングするため、この部分での電子のトンネル成分が顕著になり、保持特性はオフセットの場合と比べて非常に悪い。また平衡状態での Charge 量も異なる。

図 5-1-4-2-8 は、図 5-1-4-2-7 を  $\Delta V_{\text{th}}$  と保持時間の関係に書き直したものである。FG と Source/Drain をオーバーラップさせた場合には急峻な  $V_{\text{th}}$  の低下となるが、オフセットさせた場合には保持時間が大幅に改善する。また重要な点として、 $\Delta V_{\text{th}} = -0.2\text{V}$  以下であればオフセット量の違いは殆どみられない。 $\Delta V_{\text{th}}$  が大きい場合は、オフセット量が多いほど保持時間は改善される。

図 5-1-4-2-9 に、 $|\Delta V_{\text{th}}| = 0.1, 0.2, 0.3, 0.4\text{V}$  としたときの  $L_{\text{offset}}$  と保持時間の関係を示す。この結果、 $\Delta V_{\text{th}}$  が  $0.2\text{V}$  以下であれば  $L_{\text{offset}} = 30\text{nm}$  程度であっても、オーバーラップしている場合に比べて保持特性を数桁改善させることが可能であることが示された。

これらの特性から、 $\Delta V_{\text{th}}$  が小さい条件では、Source/Drain 領域を FG からわずかにオフセットさせることで、保持時間を大幅に改善できることが分かった。デバイスサイズを小さくしていく場合、FG のチャンネル長だけでなく、サイドウォール CG の膜厚に関してもスケーリングする必要が生じる。したがって、DTM といえども Source/Drain 領域を FG から十分な距離だけオフセットさせるのは困難になる。しかし、今回のシミュレーション結果から  $\Delta V_{\text{th}}$  が小さい場合はオフセット量が小さくても十分に効果が得られるということを初めて明らかにすることができた。これは、微細化と保持特性改善の両立という観点から大変有効な結論である。

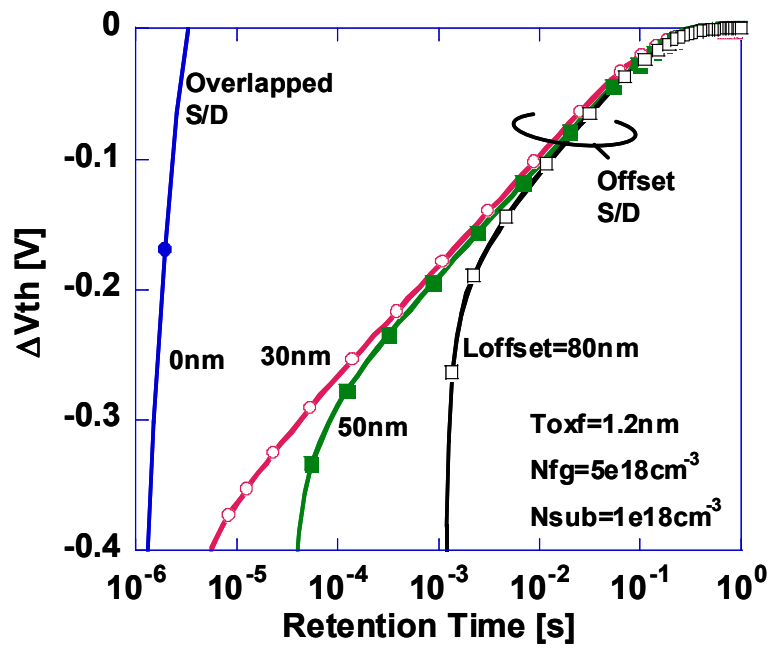


図 5-1-4-2-8. Erase 側データ保持時間と  $\Delta V_{th}$  との関係 ( $L_{offset}$  依存性)

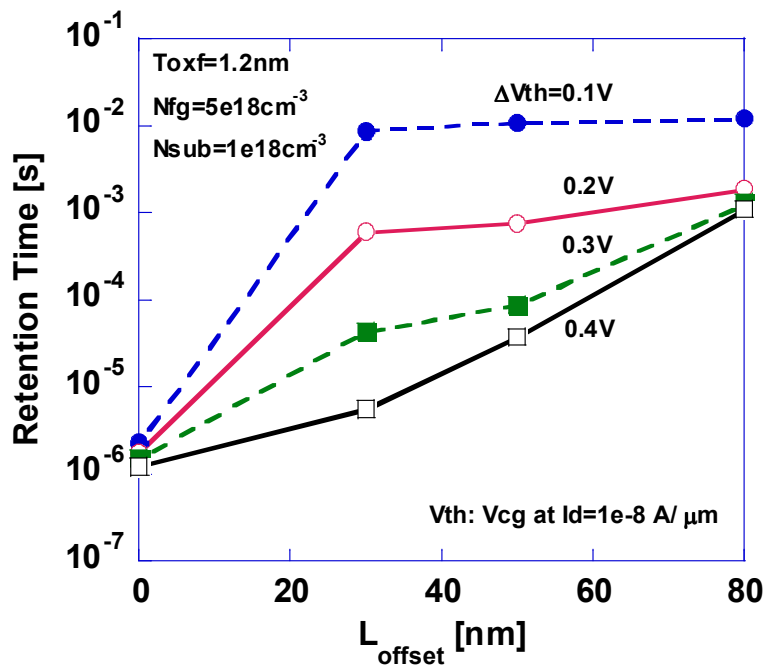


図 5-1-4-2-9.  $L_{offset}$  と保持時間の  $\Delta V_{th}$  依存性

(3) コントロール酸化膜厚 ( $T_{con}$ ) 依存性、コントロール絶縁膜材質依存性  
Write 側のデータ保持特性に関して、コントロール酸化膜厚依存性を図 5-1-4-2-10 に、一方コントロール絶縁膜の材質を変えた場合の特性を図 5-1-4-2-11 に示す。

図 5-1-4-2-10 から、 $T_{con}$  の薄膜化により数倍程度ではあるが保持特性が改善できることが分かる。一方、図 5-1-4-2-11 ではコントロール絶縁膜を  $\text{SiO}_2$  から  $\text{Al}_2\text{O}_3$  に変えることで、こちらも数倍程度保持特性が改善することが分かった。ただしシミュレーション上、絶縁膜の材質の違いは比誘電率、バンドギャップ、電子親和力だけに反映されている。

この原因としては、容量結合比の影響を考慮することができる。コントロール酸化膜の薄膜化、あるいはコントロール絶縁膜の High-K 化は、 $C_{cg}$  を増加させることにより容量結合比を増加させる。FG に一定の電荷が蓄積されたとき、そのポテンシャルの変動量は容量結合比に影響される。容量結合比が増加すれば、電荷の蓄積による FG のポテンシャル変動が緩やかになり、結果として基板との間の電子の漏れ量が減少することで、リテンション特性が改善すると予想できる。

この点に関しては、Erase 側のリテンション特性を含めて、今後更に詳細を検討していく必要があると考えられる。



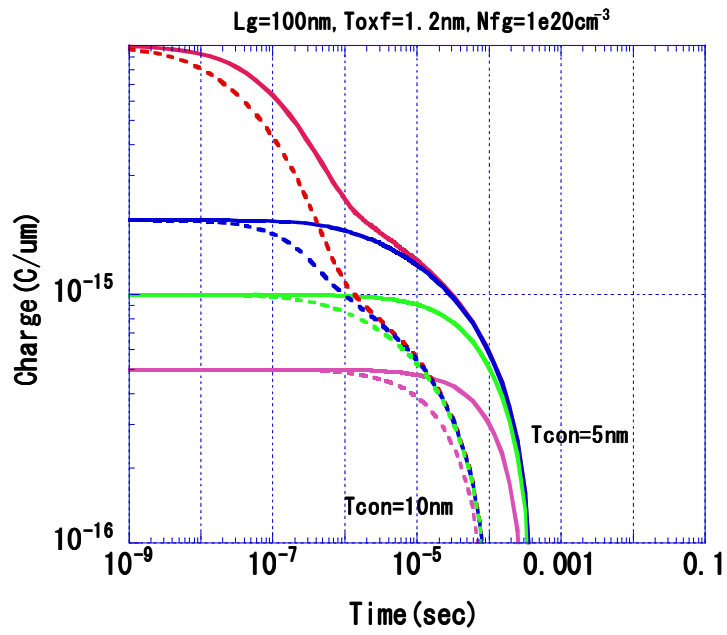


図 5-1-4-2-10. Write 側データ保持特性 (Tcon 依存性)

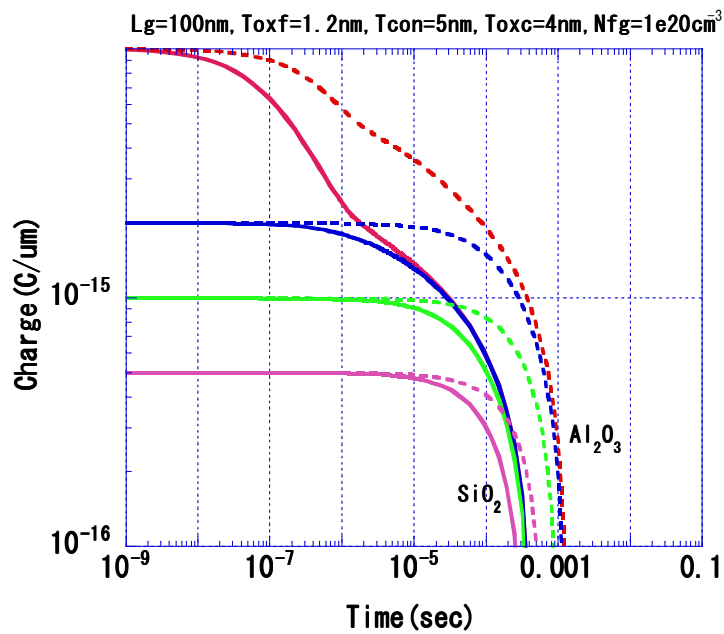


図 5-1-4-2-11. Write 側データ保持特性 (コントロール絶縁膜依存性)

### 5-1-4-3 デバイスパラメータの最適化

ここまで、各デバイスパラメータが書き込み速度と保持時間にどの程度影響を及ぼすかについて解析してきた。その結果得られた、各パラメータの効果の度合いを表 5-1-4-3-I に示す。

- FG の低濃度化は書き込み速度を  $1/2 \sim 1/3$  に低下させるが、保持時間を 2～3 桁向上させた。
- 基板濃度の高濃度化と Source/Drain をオフセットさせることは、書き込み速度への影響は殆ど無く、保持時間は 2～3 桁改善した。
- トンネル酸化膜の薄膜化は書き込みの高速化にもっとも影響の大きいパラメータであるが、保持時間は減少する。
- コントロール酸化膜 ( $T_{con}$ ) と CG 酸化膜 ( $T_{oxc}$ ) の薄膜化は、保持時間を数倍ではあるが改善させ、 $T_{oxc}$  については書き込み速度を数倍速くさせることが分かった。

デバイス設計の指針としては、まず要求される動作速度があり、その条件を満たす範囲でリテンション時間を改善させ、低消費電力化を狙うことが望ましいと考えられる。そこで、書き込み速度はトンネル酸化膜を 1.2nm にすることによって高速化し、一方で、デバイスパラメータを最適化することによってデータ保持時間を大幅に改善することを検討する。

表 5-1-4-3-I. デバイスパラメータの保持時間・書き込み速度への効果

	$N_{fg}$ 低濃度化	$N_{sub}$ 高濃度化	$L_{offset}$ 増加	$T_{oxf}$ 薄膜化	$T_{con}$ 薄膜化	$T_{oxc}$ 薄膜化
保持時間への効果	◎	◎	◎	×	○	○
書き込み速度への効果	×	△	△	◎	△	◎

- ◎：大幅に改善
- ：改善
- △：影響なし
- ×

表 5-1-4-3-II には、各パラメータの初期(initial)値と最適(optimized)値を示す。保持時間と書き込み速度に関しては、initial 時の時間で規格化して比較した結果を示す。また図 5-1-4-3-1 には、書き込み電圧 3.3V での書き込み速度と保持時間の関係を、各パラメータの改良による特性向上の推移という形で示した。

最適化前の条件 (青●) では、各パラメータに関して

$$N_{fg}=1e20cm^{-3}, N_{sub}=1e18cm^{-3}, L_{offset}=30nm, T_{con}=5nm, T_{oxc}=4nm$$

を使用した。この場合、トンネル酸化膜を薄膜化すれば書き込み速度は高速化するが、一方でリテンション特性は悪化するといった Trade-off の関係が得られている。

▲、○、■の各点は、 $T_{oxf}=1.2nm$  としてそれぞれパラメータ  $N_{fg}$ ,  $L_{offset}$ ,  $N_{sub}$  を単独で変化させていったときの特性の推移を示した。最適化後の条件(図中の”Optimized parameter set”)は、これらの変化を踏まえて、表 5-1-4-3-II で示したパラメータセットを使用した場合の結果である。

今回のパラメータ最適化によって、書き込み電圧を 3.3V まで低電圧化した場合でも、30ns 程度の書き込み時間と 10s のデータ保持時間を実現する見通しを得た。

表 5-1-4-3-II. デバイスパラメータの最適化

Parameter	Initial	Optimized	Ratio of Optimized/Initial	
			Retention time	Programming time
$N_{fg}[cm^{-3}]$	1e20	5e18	1000	2
$N_{sub}[cm^{-3}]$	1e18	3e18	1e6	1
$L_{offset}[nm]$	overlap	80	1000	1.2
$T_{oxf}[nm]$	1.5	1.2	0.01	0.08
$T_{con}[nm]$	10	5	10	1
$T_{oxc}[nm]$	8	4	1	0.5

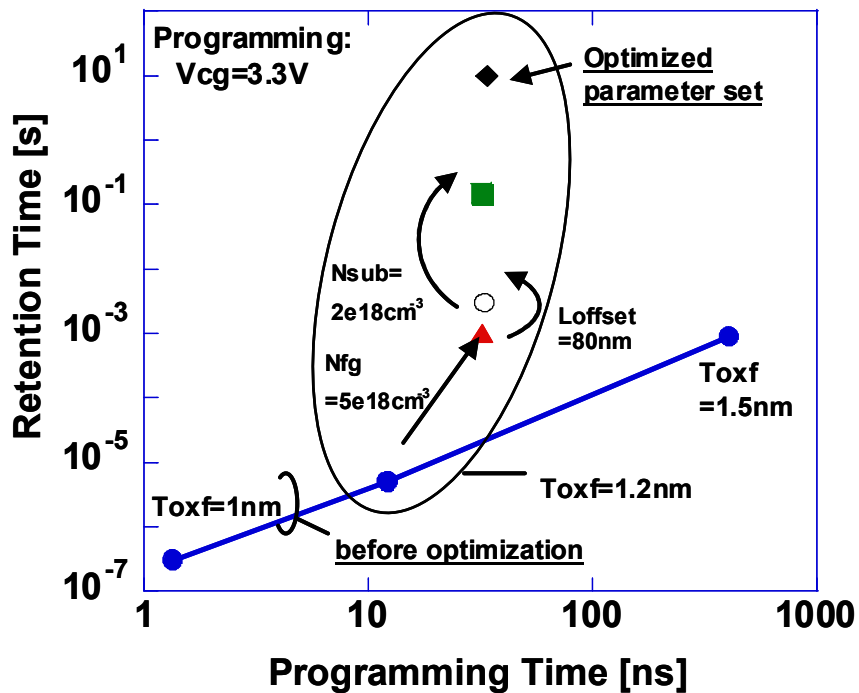


図 5-1-4-3-1. 書き込み時間と保持時間のパラメータによる推移と最適パラメータ特性 ( $V_{cg}=3.3V$ )

#### 5-1-4-4 シミュレーションのまとめ

今回、シミュレーションにより DTM の書き込み速度とリテンション時間に関して、各デバイスパラメータへの依存性を詳細に検討した。

書き込み速度に関しては、トンネル酸化膜の薄膜化が最も効果的で、それ以外にコントロールゲートの下に形成されるトランジスタの閾値電圧を低くし、FG に入った Charge の影響を全体のトランジスタの閾値電圧のシフトに反映させることが有効であることが明らかになった。一方でゲート空乏化により、速度が  $1/2 \sim 1/3$  に低下することも判明した。

保持時間に関しては、ゲートの空乏化と基板の高濃度化が非常に有効であり、それぞれリテンション時間を数桁程度改善することが分かった。また、FG と Source/Drain のオフセット量が小さくても、閾値電圧の変化量が小さい領域では十分に改善効果があり、DTM は素子のスケーリングに対応した構造を持つことを初めて示した。

これらの結果を踏まえてデバイスの最適化を行った結果、動作電圧を 3.3V まで低電圧化した場合でも、30ns 程度の書き込み時間と 10s のデータ保持時間を実現する見通しを得た。

今回のシミュレーションにより得られた結果は、DTM の動作電圧を携帯通信機器に求められる低電圧(3.3V)まで減少させた場合でも、現在の DRAM に匹敵する高速動作と、DRAM 以上の保持特性を実現できることを意味している。保持特性が良いということは、リフレッシュ頻度が減少して、消費電力を小さくできるということである。また DTM はゲインセル構造であるためキャパシタが不要であり、DRAM と比較した場合はロジックプロセスとの親和性が圧倒的に優れている。また素子の微細化に有利な構造を持つ。これらの特性から、DTM は次世代の低電力混載メモリとして非常に有望であると言える。

今後のシミュレーションに関しては、単体メモリセルの特性を実デバイスの特性と合わせこみ、メモリセルアレーのシミュレーションや設計に役立つデータを提供することが重要であると考えられる。

## 5-1-5 まとめ

5-1 節では、メモリセル単体の設計試作に関して、その開発の進捗状況を述べた。以下にその内容をまとめる。

機能分離型 DTM は、アプリケーションとして SRAM 置き換えの e-RAM を想定し、ロジックプロセスとの整合性を最優先にしたセルの設計から生じた新たなセル構造である。従来の高集積型(サイドウォール CG 型)DTM に対してメモリセルの占有面積は増加するが、基本的な動作原理は同じであり、また CG が平坦な構造を持つためプロセス開発を行わなくても既存のロジックプロセスで作製することが可能になる。我々は本年度、量産工場において機能分離型 DTM 用の新規マスクを起版し、0.18 $\mu\text{m}$  のロジックプロセスを用いて実際に試作を行った結果、DTM としての基本特性を確認することに成功した。また機能分離型 DTM の電気的特性から、DTM の動作速度はゲート電流と比例関係にあることを明確に示すことができ、その結果 10ns の高速性を得るためには 100A/cm<sup>2</sup> 程度のゲート電流密度が必要であることが判明した。さらにゲート空乏化はリテンション特性を劇的に改善させるが、過度の空乏化を行うことで速度が飽和してしまうという知見を得た。加えて、機能分離型はその構造に起因して、各種ディスターブ特性を大幅に改善可能であるという事を定量的に示した。

高集積型 DTM は微細化が容易であるため、DRAM 置き換えが第一のターゲットとなる。我々は本年度、これまでの課題であった高速動作の実証を目指し、トンネル酸化膜に極薄酸化膜を適用した。さらに機能分離型で得た知見を生かして FG の不純物濃度を最適化することでゲート空乏化を有効利用した結果、5V にて 10ns の高速動作と、室温で 10 秒以上のリテンション時間を同時に達成し、リテンション/書き込み時間の比が約 10<sup>10</sup> と、既存の DRAM を大幅に上回る特性を示すことに成功した。このことにより、リフレッシュ頻度を DRAM に比べて大幅に減少させることができ、携帯通信機器用のデバイスにとって最も重要な低消費電力化に目処をつけることが可能となった。さらに、懸案だった繰り返し書き換え耐性に関しても、少なくとも 10<sup>12</sup> 以上の耐性を持つことを初めて示し、DTM の RAM としてのポテンシャルの高さを証明することができた。ただしトンネル酸化膜の薄膜化によりディスターブ特性が悪化することが判明したため、セルアレーおよびセンスアンプ等の周辺回路は読み出し破壊を念頭に置いて設計を行う必要があることも同時に明らかになった。

単体セルからセルアレーを設計していくためには、単体セルの特性をパラメータ化する必要がある。我々は本年度から本格的なプロセス・デバイスシミュレーションによる DTM の解析を開始した。その結果、極薄酸化膜を用いる場合、容量結合比を増加させて FG への印加電圧を増加させることは動作速度の向上に対する影響が予想より小さいこと、一方で CG により形成されるトランジスタの閾値電圧を下げることで、等価的に書き込み速度が向上することを新たに示した。また FG 濃度と基板濃度を調整することで更なるリテンション特性の改善が期待でき、パラメータの最適化により 3.3V で 30ns 程度の高速動作と、10 秒程度のリテンション時間を確保できることを明らかにした。動作電圧の低電圧化は、携帯通信機器用途には非常に大切であり、今後はシミュレーションと実際の試作との相補的

な関係を確立し、更なるデバイス特性の向上に努める所存である。

以上、本年度はメモリセル単体の設計試作を通して、DTM という素子の特性をほぼ明らかにすることができた。我々はこの特性を、従来のデバイスにかわって携帯通信機器に十分適用可能な優れたものだと考える。したがって今後は、単体素子の特性向上を継続的に進めるのはもちろんのこと、素子の特性をアプリケーションに有効に反映していくため、ロジックプロセスとの整合性を意識したメモリセルアレーのレイアウト、センスアンプ等の周辺回路の構成方法など、より製品に近い部分の最適化に重点をおく必要がある。

## 5-2 回路設計

### 5-2-1 序論

高速RAMを混載LSIに搭載する場合、チップ内におけるメモリアレイ占有面積を小さくすることが要求される。メモリの大容量化が進む現状で、従来用いられてきた6T-SRAMは、構成素子の多さからチップ面積の縮小化には、不利となってきた。下表は、従来型6T-SRAMとSRAM代替メモリ候補の一つである1T-SRAMおよび改良型の1T-SRAM-Qの各最小加工線幅におけるセル面積である。DTMは、1セル1Tr構成であるので、SRAMと比較してセル面積を小さく、大容量メモリの混載が要求されるシステムにも対応可能となる。6T-SRAMの代替を見据えると、1T-SRAM-Qより小面積のセルアレイを構成することが要求される。

表 5-2-1 各ノード寸法におけるセル面積

	最小加工寸法		
	0.13 $\mu\text{m}$	90 nm	65 nm
6T-SRAM	2.43 $\mu\text{m}^2$	1.36 $\mu\text{m}^2$	0.71 $\mu\text{m}^2$
1T-SRAM	1.10 $\mu\text{m}^2$	0.61 $\mu\text{m}^2$	0.32 $\mu\text{m}^2$
1T-SRAM-Q	0.50 $\mu\text{m}^2$	0.28 $\mu\text{m}^2$	0.15 $\mu\text{m}^2$

また、DTMの書込み高速化の為、トンネル酸化膜を極薄膜（1.2nm程度）にすると、ワードライン（ゲート）に電圧が印加される動作における選択セルまたは非選択セルへのディスタートが顕著になることが懸念される。このディスタートを把握することは、回路設計上非常に重要となる。

そこで平成15年度は、5-1-1で述べられた機能分離型セルおよび高集積型（サイドウォールCG型）セルにおけるアレイ構成について検討を行った。また、高集積型セルアレイにおけるディスタート特性を前述のデバイス・シミュレーションを用いる手法で評価を行った。

### 5-2-2 セルアレイの検討

#### 5-2-2-1 機能分離型セルアレイ

5-1-1でも述べられている通り、機能分離型セルは、ロジック回路プロセスとの親和性を重視しているため、セル面積が高集積型よりも大きくなる。また、ディスタート軽減のため、通常ランダムアクセスメモリで多く用いられる隣接セルとソース線を共有するNOR型(図 5-2-2-1(a))ではなく、ソース線が分離されたAND型(図 5-2-2-1(b))をセルアレイ構成に採用した方がセル動作の信頼性が向上すると考えられる。しかしながら、ソー



ス線の素子分離分による面積増が生じてしまうのがAND型アレイの短所である。

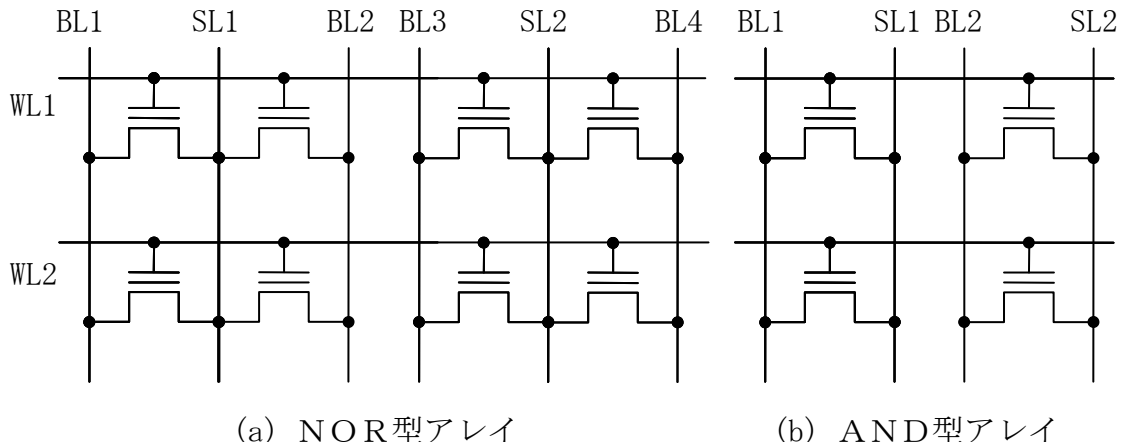


図5-2-2-1. ランダム・アクセスに適した代表的セルアレイ

図 5-2-2-2 および図 5-2-2-3 は、それぞれ機能分離型DTMセルにおいて、隣接ワードラインのBLおよびSLのコンタクト共有させたNOR型およびAND型に配置したDTMセルアレイのレイアウトである。これらのセルアレイを構成する場合、最低2層のメタル層を要し、ワード線 (WL) は、図の縦方向でセルに接続され、ビット線 (BL) およびソース線 (SL) は、横方向でセルに接続される。

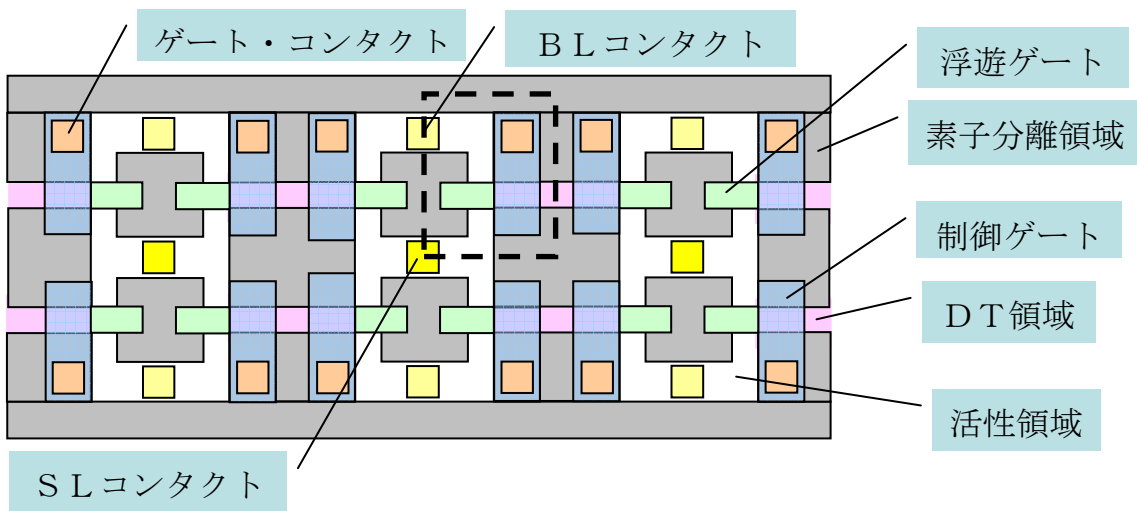


図5-2-2-2. NOR型セルアレイ

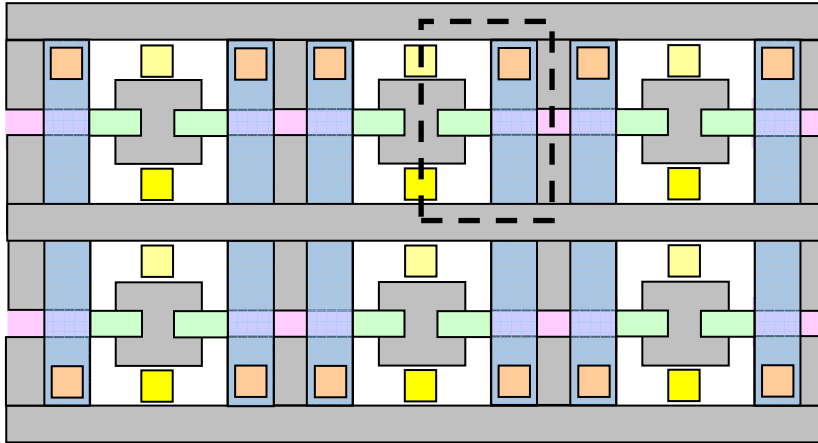


図5-2-2-3. AND型セルアレイ

ここで、最小加工寸法が 90 nm の場合、

- ・ゲート長／幅（活性領域上）：90 nm/100 nm
- ・コンタクト径：120 nm
- ・コンタクトーゲート間隔：130 nm
- ・ゲートーゲート間隔：130 nm
- ・ゲートの素子分離領域への突き出し：100 nm

が標準的な最小値であるので、図 5-2-2-2 で示した NOR 型アレイの破線で囲まれた単位セル面積は、

$$0.62 \mu\text{m} \text{ (WL方向)} \times 0.51 \mu\text{m} \text{ (BL方向)} = 0.3162 \mu\text{m}^2$$

となる。一方、図 5-2-2-3 で示した AND 型アレイの場合は、BL 方向の寸法は、NOR 型アレイと同じであるが、WL 方向の寸法は、パターンとしてソース線分離用の素子分離領域分とソース線（ビット線）コンタクト分が追加される。従って、図中破線で囲まれた単位セル面積は、

$$0.77 \mu\text{m} \text{ (WL方向)} \times 0.51 \mu\text{m} \text{ (BL方向)} = 0.3927 \mu\text{m}^2$$

となり、NOR 型アレイの面積のおよそ 20% 大きな値となる。

機能分離型 DTM セルアレイの面積を表 5-2-1 で示した 1T-SRAM-Q (0.28  $\mu\text{m}^2$ ) と比較した場合、AND 型アレイでは、40%、ソース線を共有している NOR 型でも 13% の面積増となる。

AND 型アレイにおける単位セル面積が大きくなる要因として、

- ・前述したソース線分離に伴うパターン増
- ・浮遊ゲート突き出し方向（ビット線方向）の広いスペース

が挙げられる。（図 5-2-2-4）

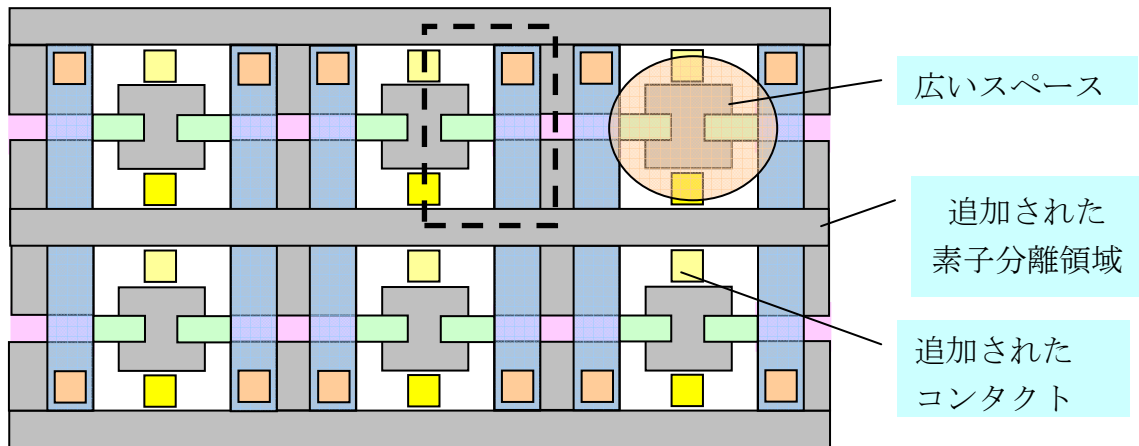


図5-2-2-4. AND型セルアレイの問題点

そこで、AND型アレイの改良型として、分割ワード線（WL）型アレイを検討した。図5-2-2-5は、分割WL型アレイの回路図である。

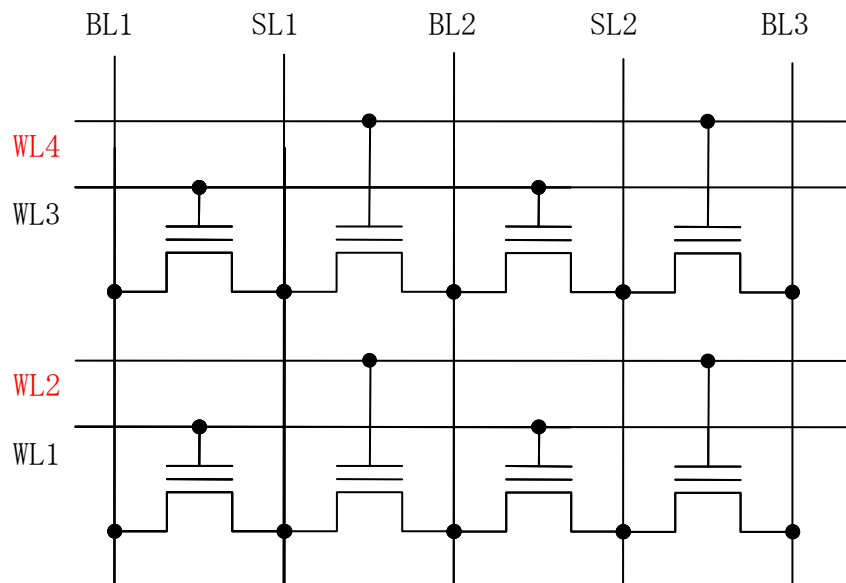


図5-2-2-5. 分割ワード線型セルアレイ

分割WL型アレイでは、通常のAND型アレイで分離されているビット線コンタクトおよびソース線コンタクトを隣接セル同士で共有しており、ワード線方向の素子分離領域を省略している。また、従来同一ワード線に接続されているセルを偶数番と奇数番で異なるWLに接続し、これらのペアとなるワード線を同時に動作させないことにより、近接セルの干渉を防止している。つまり、選択セルの両隣のセルのワード線が、常にLow状

態であるので、選択ワード線上では、ビット線とソース線が分離された状態となり、擬似的にAND型接続が実現されている。ワード線が単位セル当たり1本増加するが、浮遊ゲート突き出し部のスペースに配置することにより、最小限の面積増に抑えることが可能となる。図5-2-2-6は、分割WL型アレイの機能分離型DTMへの適応例である。この場合、メタル層は3層必要となる。

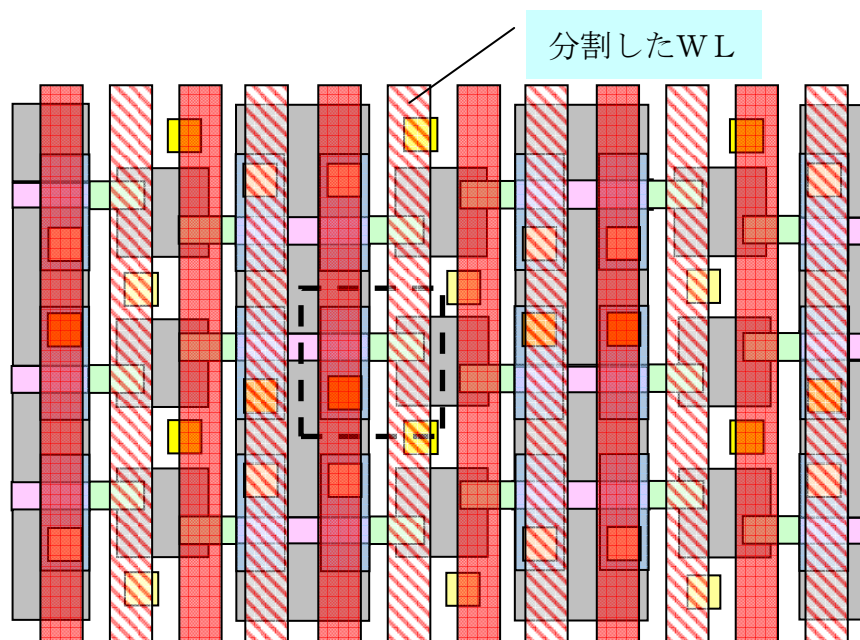


図5-2-2-6. 分割ワード線型セルアレイのレイアウト1

セル面積は、ワード線方向の素子分離領域が省略されているので、

$$0.55 \mu\text{m} (\text{WL方向}) \times 0.56 \mu\text{m} (\text{BL方向}) = 0.3080 \mu\text{m}^2$$

となり、前述のNOR型アレイよりは、小面積ではあるが、1T-SRAM-Qと比較すると10%大きな面積となる。分割ワード線型アレイにおいて、図5-2-2-6よりさらに小面積化を狙ったものが、図5-2-2-7に示したレイアウト2である。このレイアウトでは、制御ゲートをL字型とし、近接する4つのセルでDT領域を共有させることで、ワード線方向の寸法縮小を図っている。セル面積は、

$$0.48 \mu\text{m} (\text{WL方向}) \times 0.56 \mu\text{m} (\text{BL方向}) = 0.2688 \mu\text{m}^2$$

となり、最小加工寸法90nmにおける1T-SRAM-Q（セル面積 $0.28 \mu\text{m}^2$ ）よりも小面積のDTMセルアレイを実現できる。

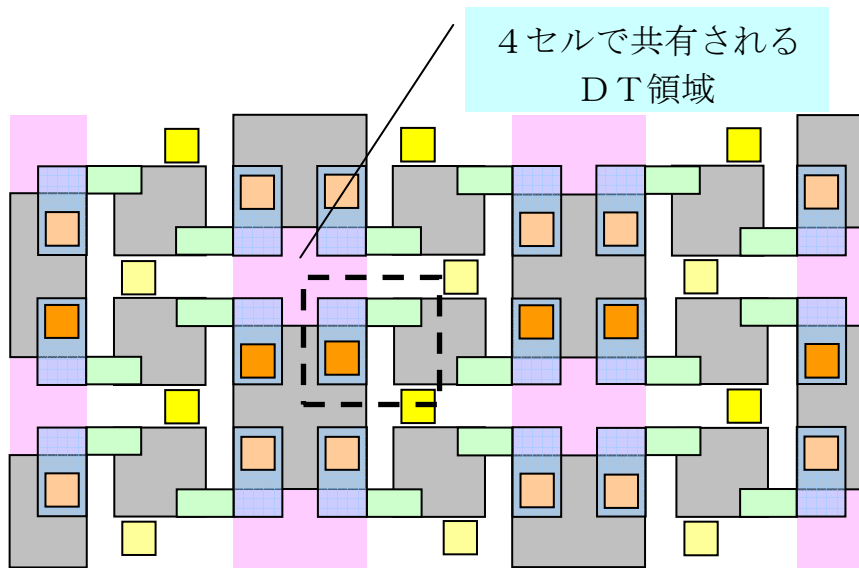


図5-2-2-7. 分割ワード線型セルアレイのレイアウト2

### 5-2-2-2 高集積型（サイドウォールCG型）セルアレイ

高集積型セルは、機能分離型セルに比べ、小面積化が容易であるので、大容量RAM用途に適している。単体セル特性としては、10ns の書込みが確認されており、高速RAMとしても期待できる。システムとして用いる場合、可能な限り単体セルの特性を損なうことなくアレイが構成できることが望ましい。したがって、高集積型DTMセルでは、図 5-2-2-8 に示すように、同一ワード線に配されるセルの浮遊ゲート同士を近づけることにより、浮遊ゲートの周囲に自己整合的に形成される制御ゲートを接続させることにより、ワード線を形成し、各セルのビット線およびソース線のコンタクトは、隣接セルと共有させることによりAND型アレイを構成している。これは、単体セルの素子作製工程と全く同一であるので、アレイ作製による工程増はなく、ビット線およびソース線を拡散層により形成するアレイよりも寄生抵抗の影響が少ないという長所を有する。

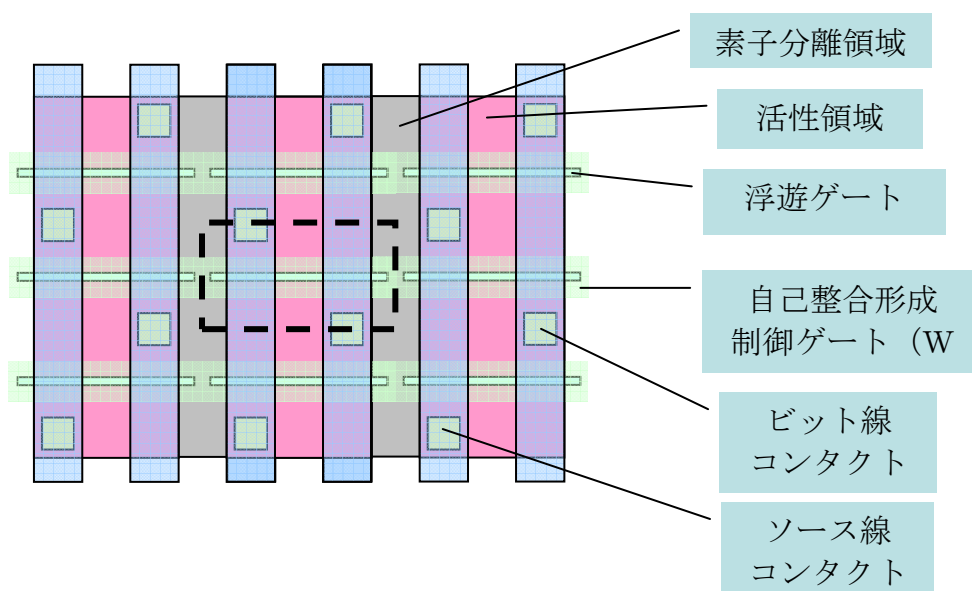


図5-2-2-8. 高集積型セルAND型アレイのレイアウト

機能分離型セルの場合と同様に最小加工寸法を 90nm として、セル面積を見積もると、

$$0.56 \mu\text{m (WL方向)} \times 0.41 \mu\text{m (BL方向)} = 0.2296 \mu\text{m}^2$$

となる。これは、1T-SRAM-Qのセル面積の82%に相当し、混載LSI向け高速大容量RAM用のメモリとして、セル占有面積の面では優位性があると言える。

DTMセルアレイ動作における、書込み／読出し時のディスタープは、読出し方式（破壊読出しを許容するかなど）やリフレッシュ・レートなどの

決定に関わるため、回路設計への影響が大きい。特に高速RAM向けの高集積型DTMセルでは、ディスタージブが顕著になることが、容易に予測される。5-1-4 で用いたデバイスシミュレーションによる過渡解析手法で、高集積型DTMセルのディスタージブ評価を行った。

評価に用いたデバイス構造を図5-2-2-9に示す。

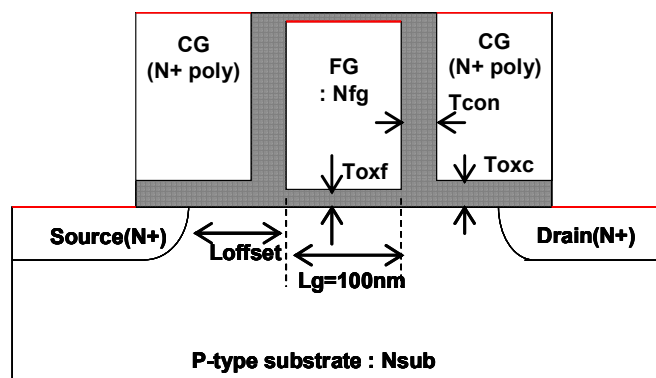


図5-2-2-9. ディスタージブ評価に用いたデバイス構造

また、各デバイスパラメータは、以下の通りである。

- 浮遊ゲート濃度  $N_{fg}$  :  $5E+18 \text{ cm}^{-3}$
- トンネル酸化膜厚  $T_{oxf}$  : 1.2 nm
- 基板濃度  $N_{sub}$  :  $1e+18 \text{ cm}^{-3}$
- S/D-FG オフセット  $L_{offset}$  : 50 nm
- コントロール膜厚  $T_{con}$  : 5 nm
- 制御ゲート酸化膜厚  $T_{oxc}$  : 4 nm

評価は、図5-2-2-10に示したAND型アレイを想定した。初期状態における浮遊ゲート電荷量は、“0”状態では、0 C、“1”状態では、 $-1e+15 \text{ C}$ とした。選択セルに対して、書き込みまたは読出し動作を行う場合、選択されたワード線に書き込み時には+5 V、読出し時には+1.5 V印加される。このとき非選択のワード線電圧は、0 Vである。また、選択ビット線電圧は書き込み時には0 V、読出し時には0.1 V、選択ソース線電圧は、いずれの場合にも0 Vである。非選択ビット線およびソース線は常に同電位とし、0~2 Vの電圧を印加した。それぞれの印加パルスは、図5-2-2-10に示すように、立上り・立下り時間3ns、パルス幅10nsとした。以上のように設定された印加電圧条件下でデバイスシミュレーションにより、過渡解析を行い、浮遊ゲート内電荷の変化量（セルトランジスタの閾値電圧変化に対応する）が非選択セルのソース/ドレイン電圧によりどの程度影響を受けるかを評価した。

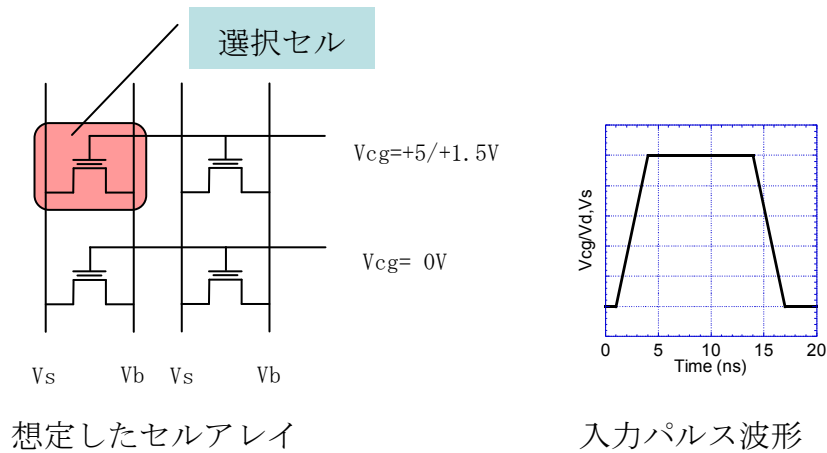


図5-2-2-10. 評価方法

図 5-2-2-11 は、評価アレイ構成セルの状態を“0”（浮遊ゲート電荷量が 0 C）とした時、選択セルへの書き込み動作における非選択セルの浮遊ゲート電荷量変化である。左図が選択されたワード線に接続されているセル、右図が選択されていないワード線に接続されたセルのシミュレーション結果である。左図の  $V_d = V_s = 0$  V（黒線）は、選択セルへの書き込み条件と同じ電圧条件である。 $V_{cg} = 5$  V, 10ns の書き込みパルスで、“1”状態として想定した電荷量の  $-1E-15$  C に達しており、このシミュレーションにおいて高速な書き込み動作を再現されていることが分かる。また、 $V_d = V_s = 1$  V（赤線）、 $V_d = V_s = 2$  V（青線）と非選択セルのソース・ドレイン電圧を上げることにより、トンネル酸化膜にかかる電界を緩和し、浮遊ゲートに書き込み動作時に注入される電荷量が減少している。一方、右図の非選択ワード線に接続されたセルでは、 $V_{cg} = 0$  V であるので、書き込みとは逆バイアスが印加される状態になる。従って、浮遊ゲート電荷量は正方向に変化するが、その変化量は、 $V_d = V_s = 2$  V（青線）の時、 $7E-22$  C であり、選択ワード線上のセルの変化量に比べ、非常に小さい。



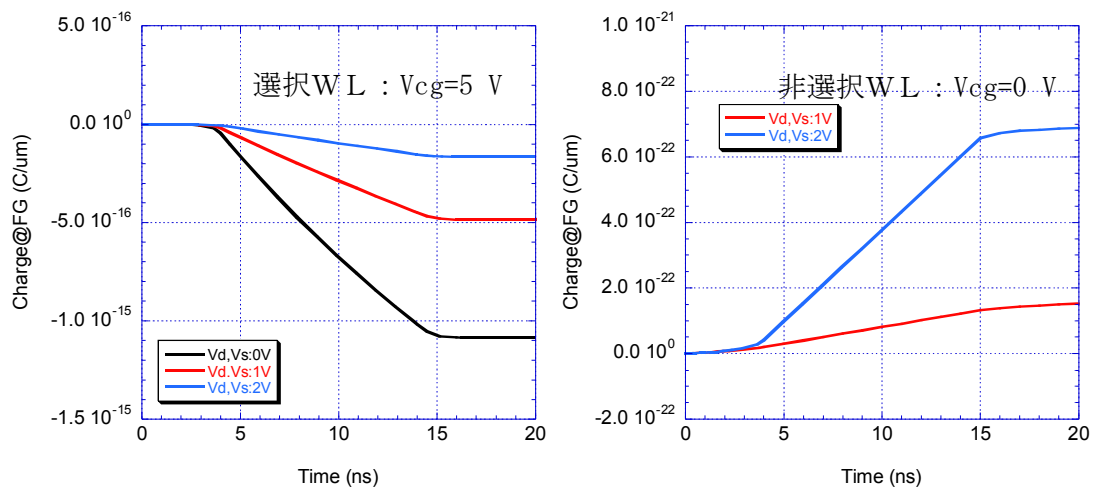


図5-2-2-11. “0”状態のセルにおける  
書き込み動作時の浮遊ゲート電荷量変化

図 5-2-2-12 は、評価アレイ構成セルの状態を“1”（浮遊ゲート電荷量が $-1\text{E}-15\text{ C}$ ）とした時、選択セルへの書き込み動作における非選択セルの浮遊ゲート電荷量変化である。選択ワード線および非選択ワード線における変化量の傾向は、セル状態“0”の場合と同様である。しかし、選択ワード線に接続されたセルの浮遊ゲート電荷の変化量は、既に電荷が注入されているために、飽和傾向にあり、“0”状態の場合よりも少なくなる。一方、非選択ワード線に接続されたセルでは、引き抜かれる電荷が存在する為、電荷の変化量が大きくなる。その値は、 $V_d=V_s=2\text{ V}$ （青線）の時、 $1\text{E}-19\text{ C}$ であり、“0”状態の場合と異なり、十分小さな変化量とは言えない。

図 5-2-2-13 は、セル状態が“0”（左図）および“1”（右図）における選択セルに対して読出し動作を行った時の選択ワード線上（ $V_{cg}=1.5\text{ V}$ ）の非選択セルの浮遊ゲート電荷量変化である。どちらの状態でも、想定した読出し動作（ $V_d=0.1\text{ V}$ ,  $V_s=0\text{ V}$ （黒線））で、浮遊ゲート電荷量に変化（“1”状態の電荷量の数%）している。この読出し条件では、数十回の読出し動作で、“0”から“1”へのデータ反転が起こることを示している。書き込み動作時のシミュレーションと同様に、ソースおよびドレインの電圧を上げることにより、ディスターブが軽減されている。 $V_{cg}=1.5\text{ V}$ と書き込み時よりもワード線電圧が低いため、 $V_d=V_s=1\text{ V}$ （青線）でほとんどディスターブフリーの状態となっている。

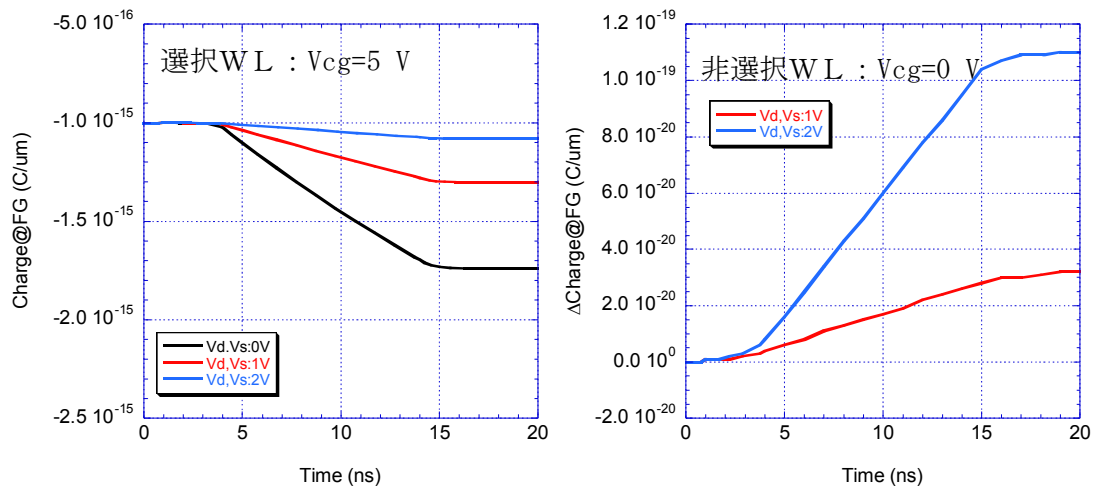


図5-2-2-12. “1”状態のセルにおける  
書き込み動作時の浮遊ゲート電荷量変化

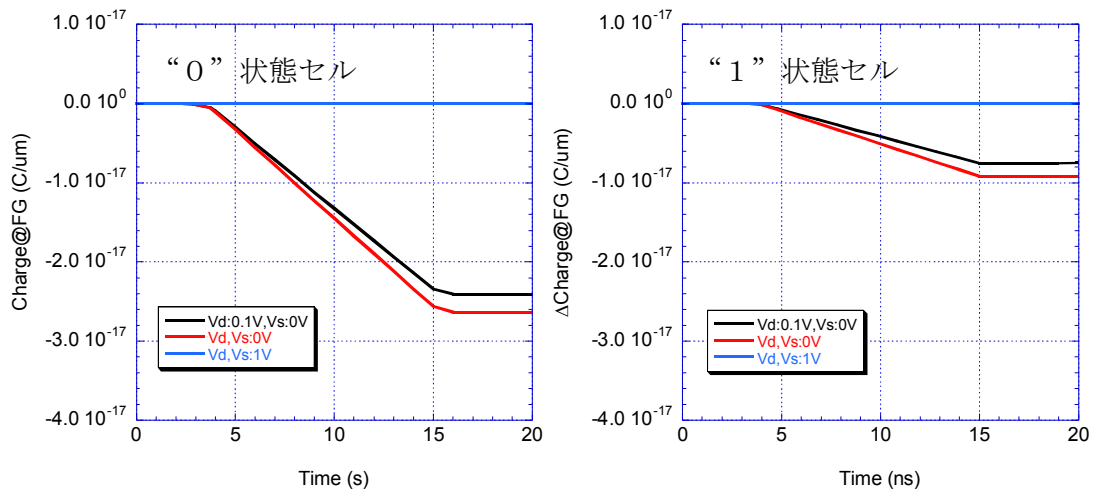


図5-2-2-13. 読み込み動作時の浮遊ゲート電荷量変化

書き込み時および書き込み時のディスタープを軽減する方法として、トンネル酸化膜に掛かる電界を緩和させるために、非選択セルのソースおよびドレイン電圧を上げることが、有効であることが、このシミュレーションにより明らかになった。

### 5-2-3 まとめ

5-2 節では、ダイレクトトンネルメモリの回路設計に関して、特に機能分離型セルおよび高集積型（サイドウォールCG型）セルのアレイ化について述べた。以下にその内容をまとめる。

機能分離型DTMセルは、ロジック回路プロセスとの親和性を保ち、ディスターブ軽減に有利なAND型でアレイを構成するために、セル面積が大きくなるという短所がある。混載LSI向け高速RAMを見据えた場合、できるだけセル占有面積を小さくすることが要求される。そこで、機能分離型DTMセルにおけるアレイレイアウトを検討し、AND型アレイの長所を活かしつつ小面積が実現可能な、ワード線分離型アレイを考案し、最小加工寸法 90nm の作製工程において、1セル当たりの面積を  $0.2688 \mu\text{m}^2$  に縮小可能であることを示した。この値は、1T-SRAM-Qの約 95%である。

高集積型DTMセルは、小面積化が容易であるので、大容量RAM用途に適している。単体セル特性としては、10ns の書込みが確認されており、高速RAMとしても期待できる。単体セル作製工程と全く同一工程で、1セル当たりの面積が1T-SRAM-Qの 82%に相当する  $0.2296 \mu\text{m}^2$  のAND型アレイを構成可能であることを示した。また、高集積型DTMセルアレイにおけるディスターブをデバイスシミュレーションにより評価し、ディスターブ軽減の為に、非選択セルのソースおよびドレイン電圧を上げ、トンネル酸化膜にかかる電界を緩和する方法がある程度有効であることを示した。

今後は、DTMの特性を踏まえたセルアレイ周辺の回路（ドライバ系、センス系など）の開発を行い、DTMチップの実現に向けて、セルアレイ評価を試作およびDTMセルのデバイスパラメータを用いた回路シミュレーションを通して行っていく。

### 5-3 メモリチップ試作

最終的な商品として得られるメモリの特性は、単体メモリ素子の特性だけでなく、メモリセルアレーの構成や周辺回路の性能にも大きく影響される。DTM 単体素子の特徴である低消費電力での書き込み・消去動作は、AND 型のセルアレーを構成することでその利点を活かし、セルアレーとしての低消費電力動作を実現することが可能となる。我々は本年度、高集積型(サイドウォール型)DTM に関して研究所の試作ラインを用いて単層メタルで評価が可能な AND 型のメモリセルアレーを設計し、その試作を開始した。その結果、サイドウォール状の CG を FG 間に埋め込むことでチャンネルと垂直方向に延在させ、ワード線として用いることが可能であることを明らかにした。現在、メタル層までのマスク起版は終了しており、継続してロットを流品中である。このメモリアレーは大規模なものではないが、アレーとしての基本的な評価を行い量産工場での試作に向けて多くの知見を得るための重要なステップである。

#### 5-3-1 序論

DTM は書き込み・消去にダイレクトトンネル電流を用いるため、ファウラー・ノルドハイムトンネル電流と同様に、電子の収支効率はほぼ 1 に近い。そのため、チャンネルホットエレクトロン注入を用いる NOR 型のフラッシュメモリと異なり、書き込み・消去の際にソース・ドレインを貫通する電流を流す必要がない。したがって、単体素子としては極めて低い消費電力にて動作させることが可能である。このメリットを生かし、さらにディスタブ特性を低減するためには、隣接するメモリセル同士でビット線、あるいはソース線を共有する NOR 型のセルレイアウトを用いることは望ましくない。このことから、DTM のメモリセルレイアウトとしては AND 型が適切であると考えられる。

AND 型のレイアウトでは、CG をチャンネルと水平方向に延在させ、埋め込みソース・ドレインをビット線として用いる方式がフラッシュメモリの分野において提案されている。しかし DTM ではサイドウォール状に形成された CG をマスクとしてソース・ドレインの不純物注入を行うため、CG をチャンネルと水平方向に延在させる方法では、埋め込みソース・ドレインが CG の下で分断されてしまうことから、ビット線として用いることができない。ダミーのサイドウォールを用いるか、あるいは Poly-Si を 2 重に形成することでこの問題を回避することは可能であるが、その場合はロジックプロセスとの親和性が悪化することになる。また、RAM として高速動作させる場合には、そもそも抵抗のあまり低くない埋め込み拡散層をビット線として用いること自体にも問題がある。

以上のことを踏まえ、本試作においては CG を FG の間に埋め込み、チャンネルと垂直方向に延在させることでワード線として用いる方式を採用した。この場合、サイドウォール状に形成されたワード線の低抵抗化が実現できるかどうか重要な評価項目となる。また、単層メタルで評価するためにソース・ドレインはそれぞれ別のメタル線で引き出し、ワード線と垂

直方向に形成する。素子分離が LOCOS であること、および単層メタルのピッチ制限があることから高密度なセルアレーを形成することはできないが、各種ディスタブ特性等、メモリセルアレーの本質的な評価を行うことは可能であると考えられる。

## 5-3-2 AND型メモリセルアレイ試作の研究開発結果

### (i) セルアレイのレイアウト

本試作で用いたメモリセルアレイの大きな特徴の一つは、その作製プロセスが単体メモリセルと完全に共有できるという点にある。したがってプロセスフローに関しては、図 5-1-3-1 に示した通りである。

AND型メモリセルアレイの回路的な接続図を図 5-3-2-1 に示す。前述のように、我々の AND型セルアレイでは CG をチャンネルと垂直方向に延在させ、ワード線として用いている。したがって、チャンネルの方向は図 5-3-

#### ワード線

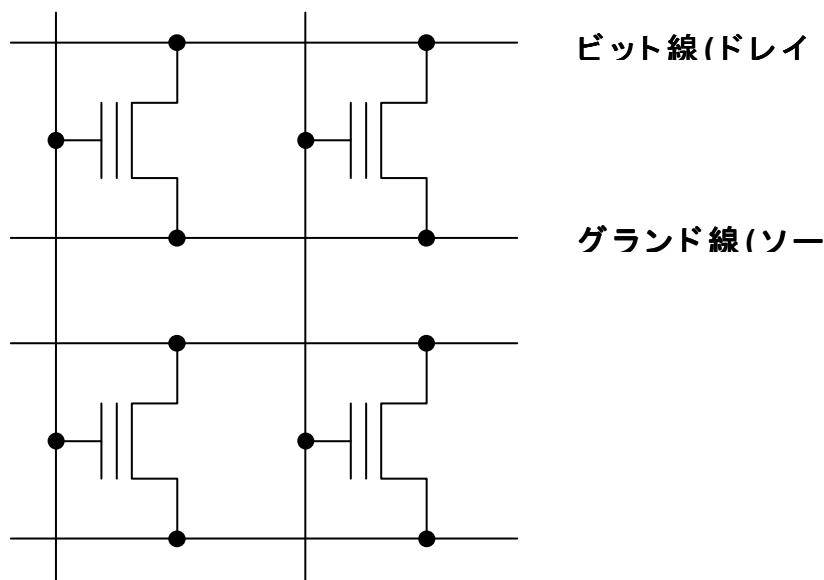


図5-3-2-1 AND型セルアレイの接続図

2-1 中のビット線やソース線の延在方向に等しい。

このような回路を実現するための CAD レイアウトを図 5-3-2-2 示す。活性領域形成後に FG を形成し、再酸化プロセスによりコントロール酸化膜を形成する。その後 CG 用の Poly-Si を成膜して FG 間を埋め込み、エッチバックしてサイドウォール状に残す。FG 間隔および CG 膜厚を調整することにより、FG 間に埋め込まれた CG はエッチバック後も残るため、図 5-3-2-2 中で縦方向に延在するワード線を形成することが可能となる。このようなプロセスを用いれば、ワード線の形成は引き出しパッド以外リソグラフィが不要であり、FG に対して自己整合的に形成することができる。また、ワード線をチャンネルと垂直方向に形成できるため、ソース・ドレインの注入をサイドウォール越しにダイレクトトンネル領域に対して自己整合的に行うことも可能となる。

単層メタルで評価を行うためにはソース、ドレインそれぞれに接続されたメタル線を同一のレイヤーで形成する必要がある。そのため、図 5-3-2-2

中の活性領域に関してはチャンネルと垂直方向に異なる部分でそれぞれのメタル線とコンタクトしている。また FG 直下の活性領域はトランジスタのゲート幅を決める部分であるが、この部分に関してはコンタクトによる長さの制約が無いので、この部分のみ独立に値を設定することが可能である。この部分の長さを変えると、LOCOS 上に乗り上げた FG の長さも同時に変わるため、容量結合比が変化してセルの特性に影響を及ぼす。

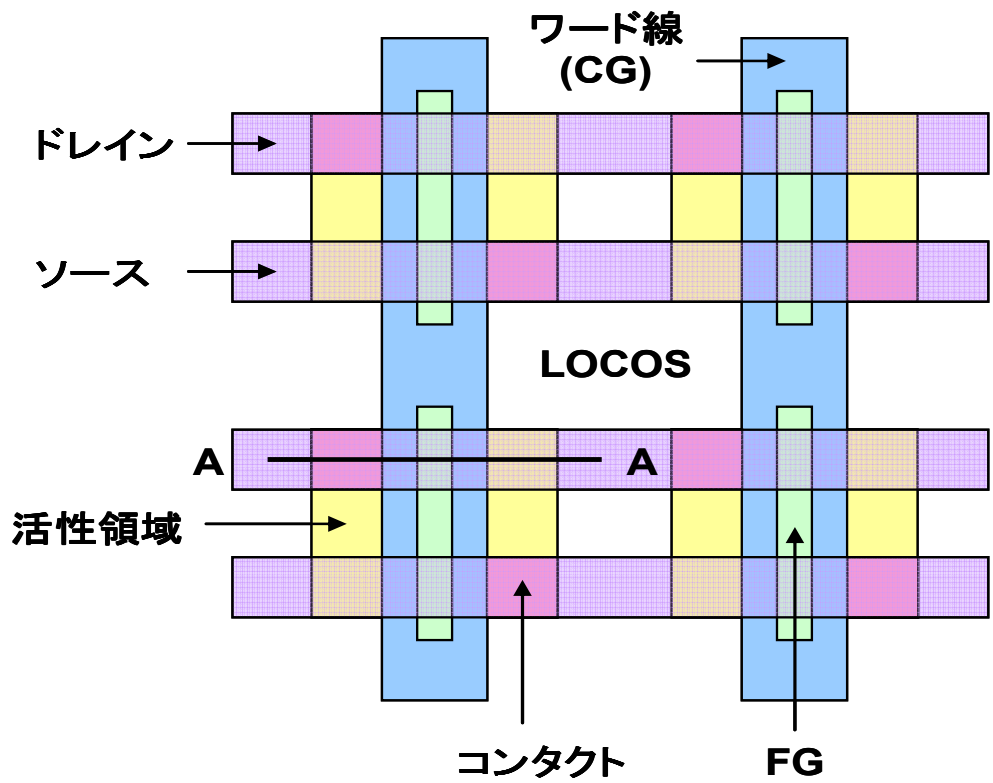


図5-3-2-2 サイドウォール型DTMを用いたAND型のメモリセルのCADレイアウト

図 5-3-2-2 の A-A 部分の断面図を図 5-3-2-3 に示す。上記セルレイアウトを用いることにより、図 5-1-3-1 に示す単体セルの模式図と同様のセルが形成できることが分かる。

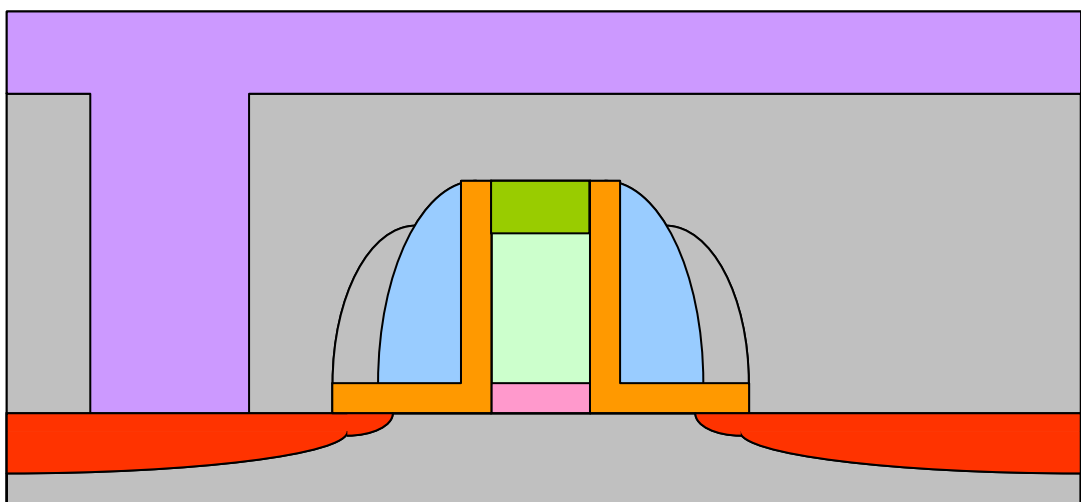


図5-3-2-3 図5-3-2-2におけるA-A部分の断面模式図



(ii) セルアレーの試作結果

図 5-3-2-4 は CG の Poly-Si 成膜後の FG 間の埋め込みの様子を観察した SEM 写真である。図中では FG のゲート長( $L_{des}$ )、FG-FG 間のスペース( $S_{des}$ )、CG Poly-Si の膜厚をパラメータとしている。 $S_{des}$  を小さくし、CG の Poly-Si 膜厚を厚くすることで FG-FG 間が埋め込まれ、縦方向に一続きのワード線を形成していることが分かる。また  $L_{des}$  が長い場合も FG-FG 間のスペースが小さくなり、結果として FG 間の埋め込み特性が向上する。今回の結果から、CG の Poly-Si を 70nm まで薄膜化しても、FG 間を埋め込むことでワード線として用いることが可能であることが分かった。

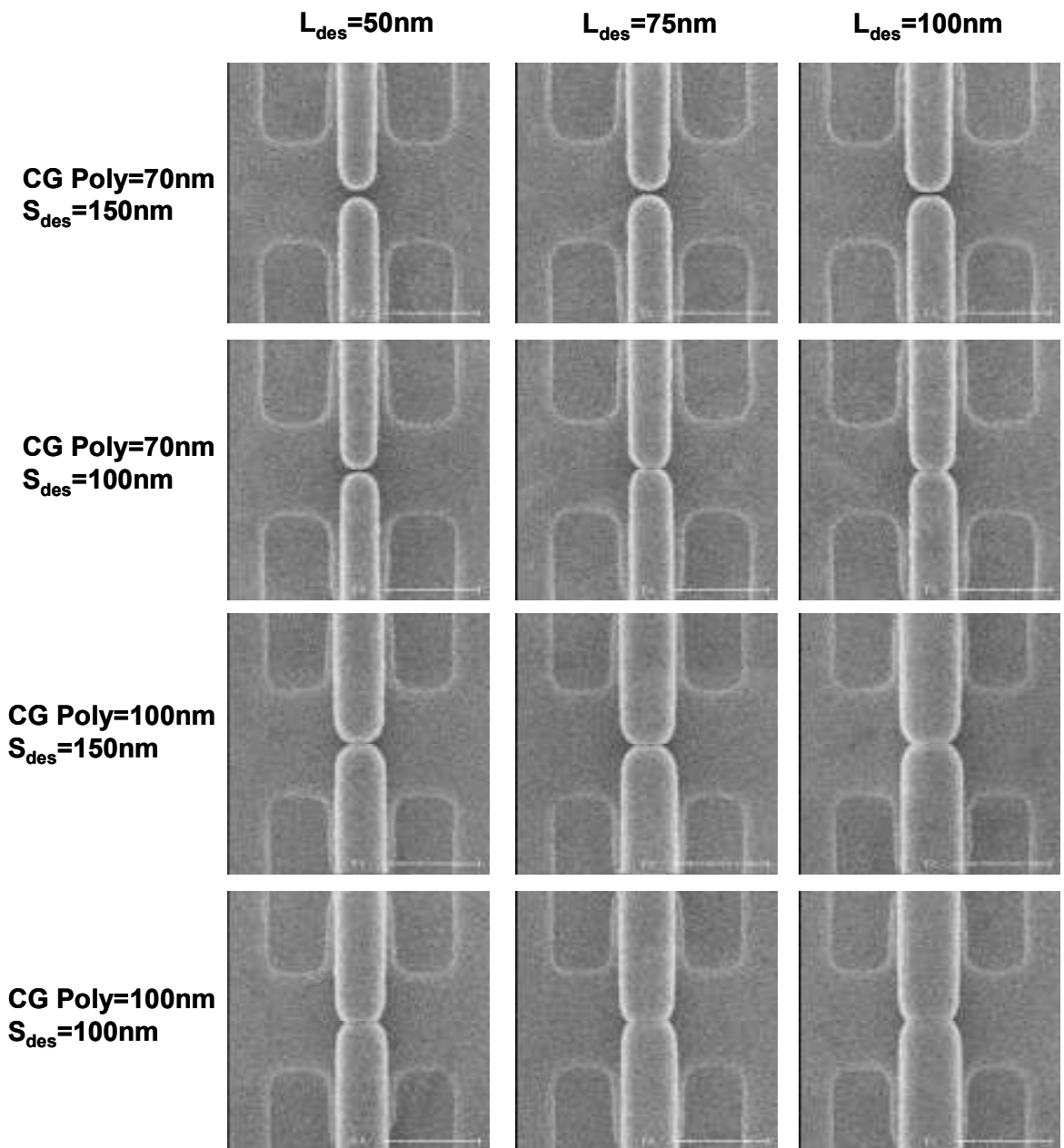


図5-3-2-4 CG Poly-Si成膜後のFG間の埋め込みのSEM写真

図 5-3-2-5 は CG の Poly-Si をエッチバックした後の SEM 写真である。周辺部分の引き出しパッドはリソグラフィにより形成する一方で、CG とそれを縦方向につないだワード線は FG と自己整合的に形成できていることが分かる。このように、FG-FG 間隔、Poly-Si 膜厚、およびエッチバック条件を調整することで、CG をチャンネルと垂直方向に延在させてワード線を形成することが可能であることを具体的な試作を通じて示すことができた。現在はソース・ドレインをメタル配線に引き出すバックエンド工程を流品しており、アレイの特性取得まであと一步のところまで来ている。

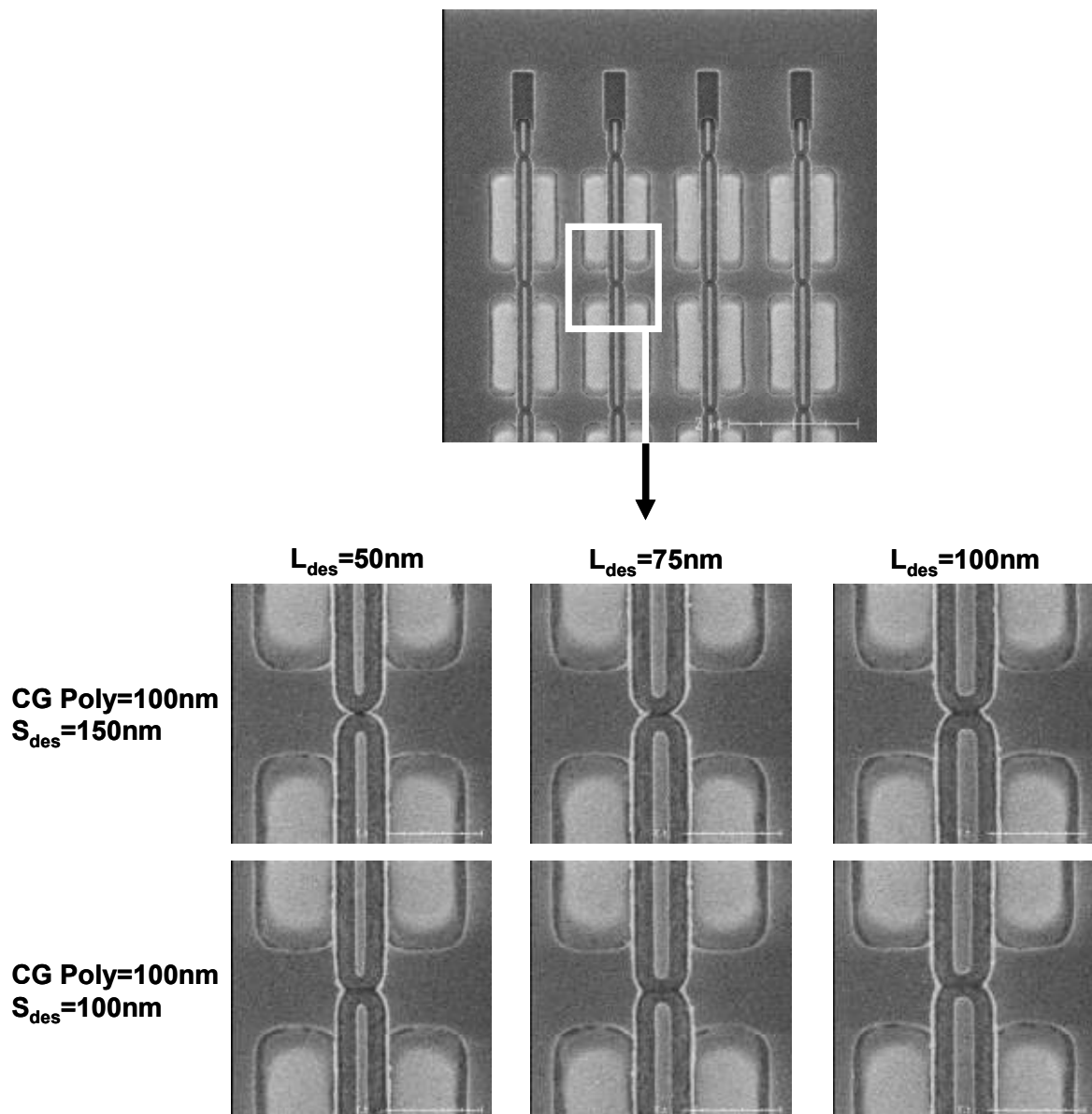


図5-3-2-5 CG Poly-Siエッチバック後のSEM写真

### 5-3-3 まとめ

5-3 節では、メモリセルアレーの設計試作に関して、その開発の進捗状況を述べた。以下にその内容をまとめる。

DTM の単体セルの特徴である低消費電力動作をメモリセルアレーにおいても実現するため、AND 型のセルアレーに関して設計を行った。DTM ではコントロールゲートをマスクとしてソース・ドレインの不純物注入を行うため、ワード線をチャンネルと垂直方向に形成することが望ましい。そのため、FG の間隔を調整し、その間をサイドウォール状に形成された CG で埋め込むことでワード線として利用する方式を提案した。

この方式で重要な鍵となる CG の埋め込み特性に関しては、FG-FG 間隔、CG Poly-Si 膜厚、および FG のゲート長を調整することで、エッチバック後も FG-FG 間を埋め込めること、したがってワード線として用いることが可能であることを示すことができた。現在進捗中のロットはバックエンド工程を流品中であり、今後はセルアレーを用いたディスターブ特性等の電気的特性の取得を行う予定である。

#### 5-4 総括

DTM は極薄ゲート酸化膜をもつ浮遊ゲートタイプのメモリでロジックデバイスとの親和性がよい。ターゲット商品として携帯機器用途のグラフィックス（カメラ）、オーディオ信号処理用途の大容量メモリ混載 ASIC の SRAM、DRAM 置き換えがふさわしいと考え、特性を検証した。

メモリに要求される要素としてコストが重要課題である。基本構造をゲート長 75nm のサイドウォール CG 型 DTM にすることで高集積化、低コスト化を図った。さらに SRAM、DRAM 置き換えを視野に、1.55nm の極薄酸化膜を用いることで 10ns 以下の高速動作を実現した。データ保持時間は 10s で低消費電力化が図られる。10<sup>11</sup> 回書き換え保証まで確認した。

今後量産化に向けたセル、マクロ設計に注力する。

#### 参考資料、参考文献

- [1] N.Horiguchi et al., IEDM Tech. Dig., pp.922, (1999).
- [2] T.Usuki et al., NVSMW, pp.80, 2001
- [3] C.Kuo et al., IEEE EDL, vol24, No7, pp.475, 2003
- [4] K.Inoh et al., VLSI Tech. Dig., pp63, 2003
- [5] Paul E. Nicollian et al., IEEE Pro. Int. Rel. Phys. Sym., pp7, 2000

1 研究発表、講演、文献等一覧

Direct Tunneling Memory, Tatsuya Usuki, Kouji Tsunoda, Akira Sato, Toshiro Nakanishi, Hitoshi Tanaka, FUJITSU Sci. Tech. J., 39, 1, p. 72-77 (June 2003).

Ultra-High Speed Direct Tunneling Memory (DTM) for Embedded RAM Applications, K. Tsunoda, A. Sato, H. Tashiro, K. Ohira, T. Nakanishi, H. Tanaka and Y. Arimoto, 2004 Symposium on VLSI Technologyに採択。