

平成15年度 研究開発成果報告書

「テラビットルータに向けた高速信号処理用光モジュールの開発」

目 次

1	研究開発課題の背景	3
2	研究開発分野の現状	6
3	研究開発の全体計画	9
3-1	研究開発課題の概要	9
3-2	研究開発目標	9
3-2-1	最終目標	9
3-2-2	中間目標	10
3-3	研究開発の年度別計画	11
3-4	研究開発体制	12
4	研究開発の概要（平成15年度まで）	13
4-1	研究開発実施計画	13
4-1-1	研究開発の計画内容	13
4-1-2	研究開発課題実施計画	14
4-2	研究開発の実施内容	15
5	研究開発実施状況（平成15年度）	16
5-1	光I/O内蔵型スイッチLSIモジュールの研究開発	16
5-1-1	開発の位置づけ	16
5-1-2	光I/O内蔵型スイッチLSIモジュール構成と設計指針	17
5-1-3	超小型光I/Oの動作検証	19
5-1-4	量産化対応超小型光I/Oの設計	21
5-1-5	10Gbps/portクロスポイントスイッチLSIの動作実証	39
5-1-6	まとめ	42
5-2	1.3 μ m帯多波長VCSELの研究開発	43
5-2-1	1.3 μ m帯多波長VCSEL	43
5-2-2	長波長VCSELの高速変調	43
5-2-3	単一モード高出力化	50
5-2-4	VCSELの多波長アレイ化技術	63
5-2-5	まとめ	65
5-3	総括	66

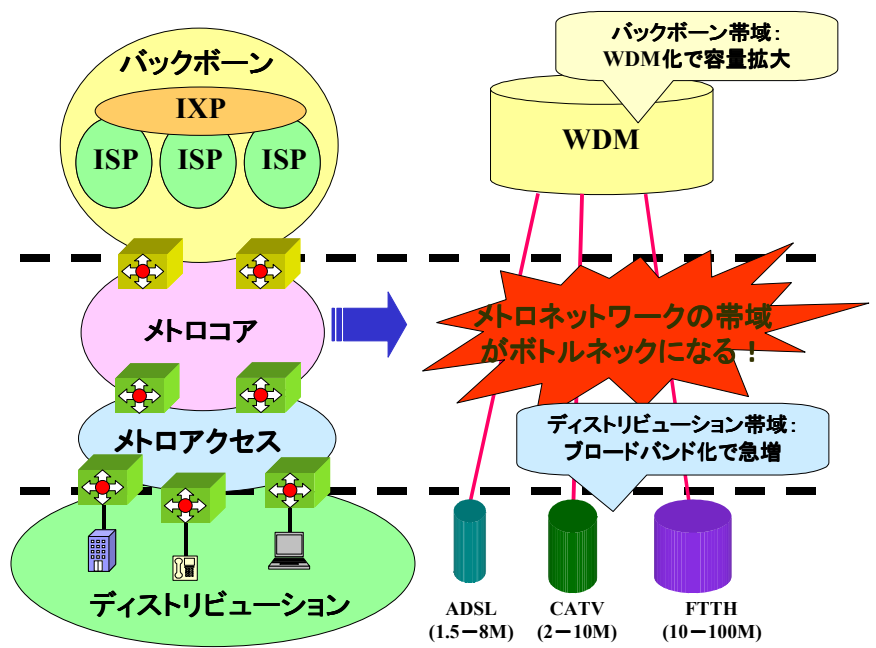
参考資料、参考文献

(添付資料)

1 研究発表、講演、文献等一覧

1 研究開発課題の背景

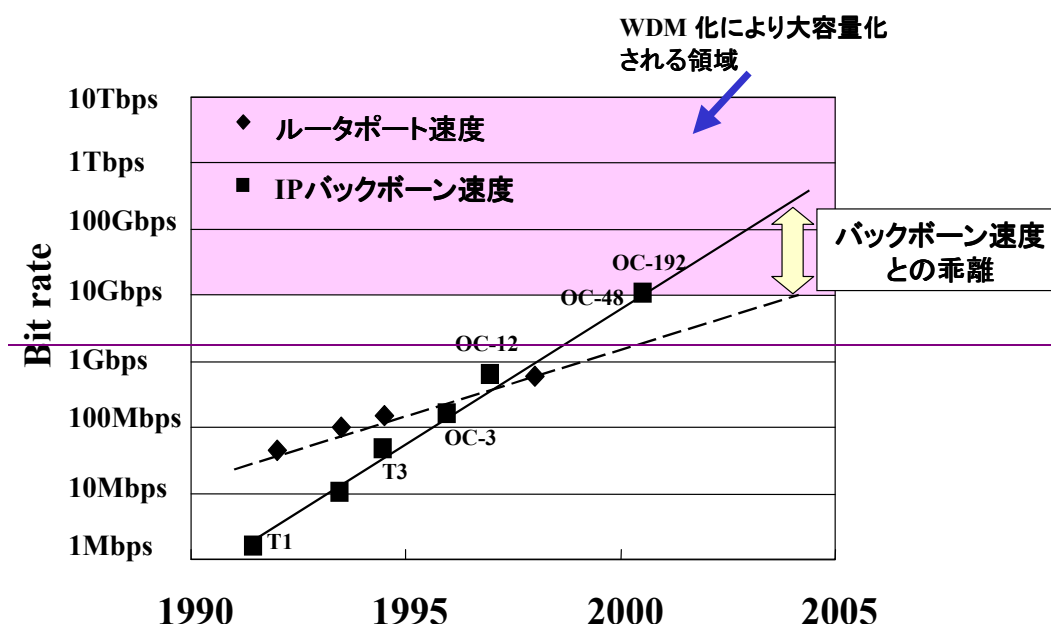
現在、インターネットに代表されるデータ通信需要の爆発的な拡大に対応するため、ADSL、CATV、FTTHなど一般家庭向けディストリビューションネットワークの高速・広帯域化が進んでいる。企業内のネットワークでは元々データ系の通信需要が大きく、Ethernetに代表されるようなLANが用いられてきた。Ethernetは、最近高速化が著しく、低コスト性を生かして、広帯域Ethernetサービスとして公衆回線への適用も進んでいる。このように、一般家庭向け、企業向けを問わず、ディストリビューションネットワークでは、データ系通信需要に対応する形での高速、広帯域化が進んでいる。一方、バックボーンネットワークでも、通信トラフィックの急増に応え、DWDM (Dense Wavelength Division Multiplexing : 高密度波長分割多重) 技術の適用による伝送系の高速、広帯域化が進展している。さらに、フォトニックネットワーク技術の開発により、バックボーン系ノードの処理制限の打破が計られつつある。この様な中で、ディストリビューションネットワークとバックボーンネットワークを結ぶメトロコア（ノード間を接続するネットワーク）、メトロ・ディストリビューションネットワーク（以下、まとめてメトロネットワークと呼ぶ）が、ネットワーク全体のブロードバンド化を図る上でボトルネックとなってきた（図1）。



通信事業者内で閉じた系で高速・広帯域化を進められるバックボーンネットワークに対し、メトロネットワークでは顧客やサービスに対するインターフェースを考慮しながら高速・大容量化を図る必要がある。つまり、1) 加入者に応じて通信容量を迅速に変更できる拡張性、2) さまざまなインターフェースへの柔軟な対応、そして3) 低コスト性が要求される。通信需要はデータ系が

中心であるから、ネットワークノードはルータで構成される。従って、これらの要求に応えることの出来る大容量かつ拡張性、柔軟性を備え、低コストなルータを実現する事が重要となる。

次に、ルータの大容量化に関して考える。今後、ルータの処理スループットとして1Tbps以上が必要となり、そのためにはルータを構成するスイッチの入出力ポート速度も10Gbps以上となる必要がある。電子ルータは、LSIの処理速度向上及びチップ間伝送速度の向上により高速・大容量化が実現されてきた。しかし、近年、バックボーンネットワークがWDM技術を適用してそれを上回る速度で急速に高速・大容量化しており、ルータのポート速度がIPバックボーン速度と乖離し始めている、またLAN、ディストリビューションネットワークのポート速度が高速ルータのポート速度に近づきつつあり、明らかにルータの処理スループットがボトルネックとなってきた（図2）。



これらの原因として、光伝送容量の急速な増大もあるが、従来の手法でのルータの大容量化に限界が見え始めていることもあげられる。具体的には、ルータを構成するLSI間を結ぶ電気信号伝送技術の限界が制限要因となってきた。CMOS LSIの内部の処理速度は、ゲート長の微細化により高速化が実現されてきているが、LSI I/O部、LSI外のボード間/ボード内信号伝送の速度制限、消費電力がボトルネックとして顕在化している。これらの課題を解決するべく電気伝送技術の更なる開発も行われているが限界があり、光通信技術を適用した「光インタコネクション」への期待が高まっている。

光通信は、光ファイバの低伝送損失、広帯域性を生かして長距離通信から実用化されてきており現在ではLAN、ディストリビューションネットワークへの導入も始まっている。「光インタコネクション」とは、それをボード間/ボード内等、より短距離の信号伝送に適用するものである。現在、アレイ状の発光受光素子を用いて並列光伝送を行うアレイ光インターフェースモジュール

を用いたシステムが交換機、ルータ、コンピュータ等の情報処理、通信機器で実用化されている。しかし、従来のアレイ光インターフェースモジュールには、以下のような課題があった；

- ・ 単チャネルの光モジュールより1/3～1/4の小型化が実現されているが、LSIパッケージと同程度のサイズであり、さらに小型化が必要
- ・ LSIとの接続は依然ボード上の電気配線を利用する為、そこでの速度、消費電力の問題は解決されない
- ・ 伝送容量がチャネル当たり数Gbps、トータルで10Gbps程度であり、1Tbps程度のスループットを持つルータに対しては、ボード/ラック間のインターフェースとしても伝送容量が不足する。

また、ルータ装置と外部との接続部(ラインインタフェース)も含め、光インターフェースに適される光源としてDFB-LD (Distributed Feedback Laser Diode : 分布帰還型半導体レーザ)が用いられているが、素子当りの消費電力が0.1W程度と大きく、構造が複雑で光ファイバとの結合難しい為低コストが難しい、という課題がある。本開発では、上記の課題を以下のようなアプローチで解決する。

- 1) 光I/O内蔵型スイッチLSIモジュール： 10Gbps程度以上のポート速度を持つ超小型光I/OをLSIパッケージ内に内蔵する事により、スイッチLSI、光I/O間の電気配線の障害を取り除き、あわせて小型化を実現する、
- 2) 1.3 μ m帯多波長VCSEL (Vertical Cavity Surface Emitting Laser Diode: 面発光型半導体レーザ)： ラインインタフェースには100Gbps程度の伝送容量が要求されるが、1波長あたり10Gbpsの信号を、比較的広い波長間隔で波長多重する (CWDM (Coarse Wavelength-Division Multiplexing) 事により実現する方法が有望である。この光源として、長波長帯VCSELを開発することにより、VCSELの持つ、構造が簡単、光ファイバへの光結合が容易、低消費電力動作可能等の特長を生かして低コスト化を実現する。

光I/O内蔵型スイッチLSIモジュールは、ルータの高速・大容量化を低コストで実現する基本技術となる。光I/O内蔵型スイッチLSIモジュールは、CMOSスイッチLSIおよび超小型光I/Oから構成される。10Gbpsの高速信号を取り扱うため、それぞれの単体での動作実現も大きな課題であるが、さらに進んで相互の接続部とその実装部分の影響を取り入れた統合設計技術を確立する。高速電気で動作する電気、光デバイスを超小型に実装する為、信号の波形劣化、クロストークの影響を最小化し、熱特性も十分考慮した新規実装技術の確立も必要となる。これらの技術は、100Gbpsクラスの伝送容量を持つ小型光インターフェースを実現する為の基盤技術ともなる。

超小型光I/O、光インターフェースに用いる光源としては、VCSELの適用が有望である。これ迄に、0.8～1 μ m程度の短波長帯のデバイスが実用化されているが、後に詳細に述べる理由により、メトロネットワーク、ディストリビューションネットワークで用いられている波長1.3 μ m帯の長波長VCSELの開発が必須である。

2 研究開発分野の現状

2-1 電気LSIのI/Oボトルネックと電気スイッチLSIによって構成したルータの問題点

従来、スイッチ等の高速、高機能システムLSI周辺のボード間／ボード内の伝送は図3に示す様な構成となっている。すなわち、システムLSIは配線パターンを形成したボード上に実装され、そのボードがバックプレーンと呼ばれる装置背面の配線板にコネクタで接続される。ボード内で信号伝送を行うためのLSIの入出力回路（電気I/O）及びボード上の電気伝送では次のような課題がある。

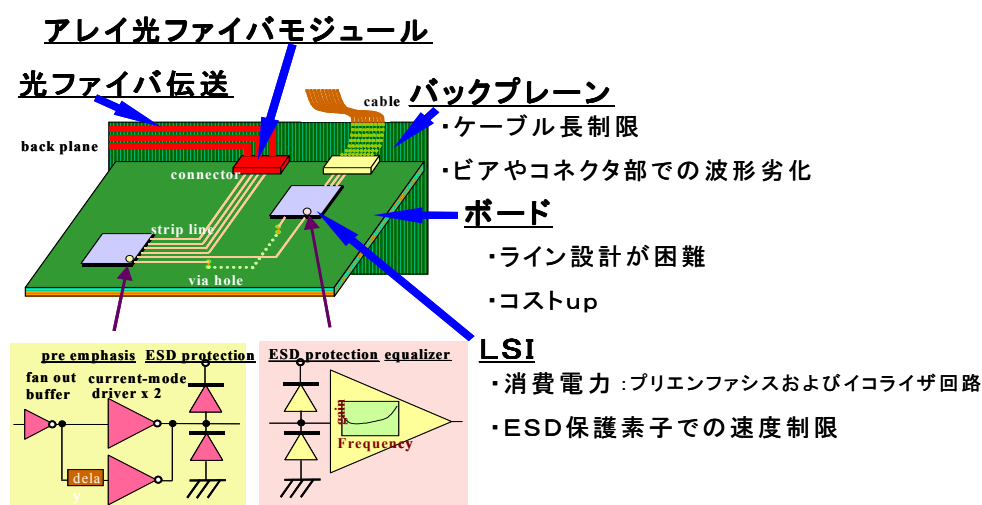


図3 ボード内/間伝送のボトルネック

(a) 高速化の課題

1) LSIのI/O部に起因するもの

システムLSI内部回路はCMOSで構成されるが、I/O部は伝送路に電流を流しておく必要があるため、アナログ増幅器を用いたLSI内部とは異なる回路構成を取る。LSI内部のCMOSコア部分は、回路の微細化、低電圧のトレンドの中で高速化、低消費電力化が実現されるが、I/O部では高速化、低電圧化により外部雑音の影響の中で十分な信号対雑音比を取ることが難しくなる。

2) 静電保護素子(Electro Static Discharge : ESD)に起因するもの

LSIの電気I/Oでは、接続パッドがアンテナとなり、静電気等のパルス状のノイズが混入する可能性がある。これを防止し内部回路の破壊を防ぐため通常、LSIの電気I/O部には静電気保護回路が附加される。しかし静電気保護回路は容量成分となるため、高速化の制限要因となる。

(b) 低消費電力化の課題

1) 波形補償回路に起因するもの

電気I/Oでは、高速信号になるほど波形劣化が顕著となるため、その補償回路が組み込まれる（送信側で予め波形劣化と逆特性の歪を与えるプリエンファシスや、受信側で補償するイコライザ方式等）。これらの波形劣化補償回路により、I/O部の回路規模、消費電力がほぼ二倍となる。従って、実装サイズ、消費電力により搭載できるポート数に制限が生じてくる。また、設計/製造毎に補償値の調整が必要な為、装置コストアップの要因となる。

2) SerDes (Serializer/Deserializer)回路に起因するもの

ボード上の配線やコネクタを介した電気伝送では、多層配線の層間を接続するビアやコネクタの接触点等の接続部でのインピーダンス不整合による反射で波形が劣化する。これらの反射を考慮せず扱える伝送距離は、高速になる程短くなり、10Gbpsで0.5cm程度である。通常、信号伝送距離はボード内で約30cm、ボード間で約60cmは必要であり、高速信号をそのままボード内の配線によって伝送することは難しい。現在、ボード内で十分な距離を電気信号のまま伝送可能な信号速度は600Mbps、ごく短い距離でも2.5Gbps程度であり、この速度を超える信号は一度SerDes (Serializer/Deserializer) と呼ばれるLSIを用いて一配線当たり600Mbps~2.5Gbpsの並列信号に分解し速度を落として伝送している。このため、SerDesによる消費電力の増加と複数本に信号を分割することによる配線数の増加を生じるが、このような配線数の増加はボード上のライン設計を困難にするばかりでなく、より微細な配線パターンが求められるためにコストの増加につながる。

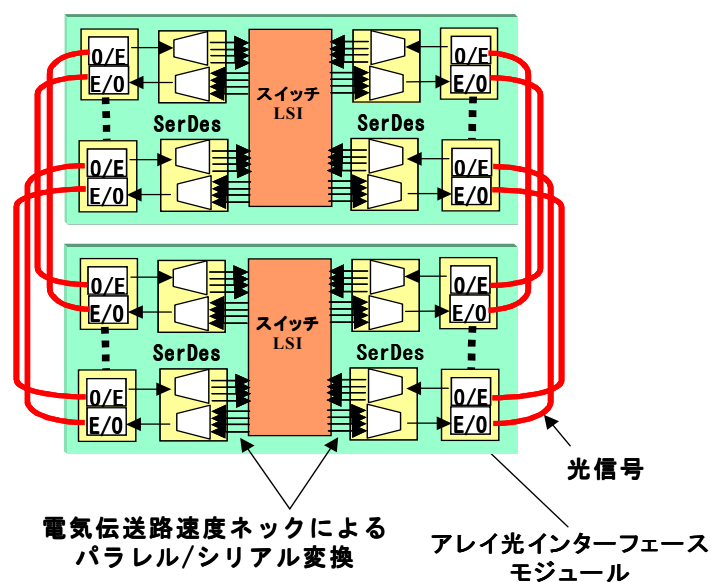


図4 アレイ光インターフェースモジュールを適用したスイッチボード間接続

このようなボード間/ボード内電気伝送の課題を解決するため、光インタコネクション技術の適用が検討され、アレイ光インターフェースモジュールが開発されてきた。これは、電気信

号のデジタルインターフェースを持ち、光電気変換を行う機能を持ったモジュールである。図4に、アレイ光インターフェースモジュールを適用したスイッチボード間接続の構成を示す。ボード端に配置されたアレイ光インターフェースモジュールとスイッチLSIをボード上にて電気信号で接続し使用される。光ファイバの広帯域性を活かし、Gbpsを超える速度で数百m以上の伝送が可能となっている。しかしながら、スイッチLSIとアレイ光インターフェースモジュールはプリント板上で電気配線しなくてはならず、その部分でのLSIの電気I/O、ボード上の配線の課題は解決されない。さらに、ボード上での電気配線部分で十分な信号対雑音比を確保してアレイ光インターフェースモジュールを駆動する為、通常の電気伝送よりも大きな消費電力が必要となる。また、コストアップも大きな問題であった。

次に、ルータ装置全体の構成を考える。現在のルータ入出力のインターフェース規格としては速度約10Gbpsの10ギガビットイーサネット（10GbE）、またはSONETの10Gbps規格であるOC-192が最も高速である。現状のスイッチLSIを用いて、スループットTbpsクラスのルータを構成しようとする、ラインインターフェースのポートあたり速度を10Gbpsとした場合、電気伝送では、各スイッチLSI間は、1：4程度に分割しての2.5Gbps程度以下のパラレル信号で接続する必要がある。ラインインターフェースのロジック信号処理部で、スイッチ処理用のオーバーヘッドや符号化処理により、バックプレーンの伝送容量は約2倍の20Gbps必要となる。信号を通常の差動信号として、1ボードのラインインターフェースに10Gbpsで4ポート搭載する場合、128本の信号線が必要であり、1装置に12枚のラインインターフェースの収容を想定すると、信号線が集合するスイッチボードには1536本もの信号線が集合することになる。実現には20層以上の多層ボードを適用せざるを得ず、全ての信号の伝送特性を確保することは非常に困難であり、コストもアップする。

2-2 ラインインターフェースまたは光I/Oに用いる光源(DFB-LD)の問題点

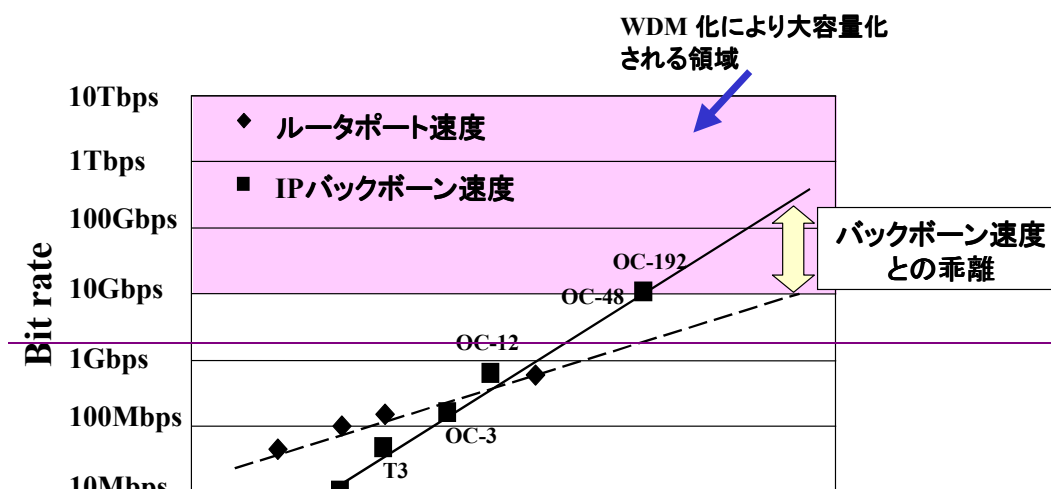
現状のメトロ・ディストリビューション領域における要求は伝送速度10Gbps以下、伝送距離20km以下程度であるが、将来これが波長多重方式により、40Gbps～100Gbpsに大容量化されると予想される。このような大容量伝送では、伝送距離が数百m以上になると、波長分散が小さい長波帯（1.3 μ m、1.55 μ m）の単一縦モード発振光源とシングルモードファイバー(SMF)の組み合わせが必要である。従来、単一縦モード発振光源としてDFB-LDが用いられているが、1) 過大な発振しきい値電流(～数十mA)による消費電力増大、2) 素子特性をオンウェハで評価が不可能なためのコスト増、3) 構造の複雑さによる素子のコスト増、が課題であり、これらがルータなどの装置を構成する上での1つのボトルネックであり、また光インターコネクションの適用範囲を限定する大きな要因ともなっている。

3 研究開発の全体計画

3-1 研究開発課題の概要

インターネットに代表されるデータ通信需要の爆発的な拡大に対応するため、バックボーンネットワーク、ディストリビューションネットワークの高速・広帯域化が進んでいる。この中で、ディストリビューションネットワークとバックボーンネットワークを結ぶメトロネットワーク、特にそのノードに用いられるルータの処理速度が、ネットワーク全体のブロードバンド化を図る上でボトルネックとなってきている。CMOS LSIの微細化に伴い、ルータを構成するスイッチLSI内部の高速化は進展しているが、LSIと外部との接続や、ボード、装置間をつなぐ部分のインターフェースの信号速度、消費電力、信号線数等が問題であり、従来技術の延長線上で解決するのは困難である（I/Oボトルネック）。

そこで現在のルータの処理速度限界を打破するため、1) 1チャンネルあたり10Gbpsのポート速度の光I/Oをパッケージに内蔵した光I/O型32ch×32chスイッチLSIモジュール、2) ルータ装置と外部を接続する為の100Gbpsクラス小型光インターフェースに適用する1.3μm帯多波長VCSEL（Vertical Cavity Surface Emitting Laser Diode：面発光型半導体レーザ）の実現を目標とする。本研究開発テーマにおける上記各課題の位置付けを以下の図5に示す。



3-2 研究開発目標

3-2-1 最終目標（平成17年3月末）

「テラビットルータに向けた高速信号処理用光モジュールの開発」

Tbpsクラスの容量を持つルータなどのスイッチ機能を実現するための要素スイッチである10Gbps/ポートの32ch×32ch光I/O内蔵型スイッチLSIモジュールを開発する。このスイッチをボードに複数個実装し、それらを多段構成で接続し、スイッチング動作を確認する。さら

に、 $1.3\mu\text{m}$ 帯多波長VCSELを用いて、10Gbps/portでの10km CWDM伝送を達成する。

サブテーマごとの最終目標

1) 光I/O内蔵型スイッチLSIモジュールの研究開発

10Gbps/ポートの32ch×32ch光I/O内蔵型クロスポイントスイッチLSIモジュールを開発し、これらをスイッチボード上に複数個実装し、各々を多段構成で接続する。

これらを簡易筐体の実装し、多段スイッチのポート速度10Gbpsでのスイッチング動作を確認する。

2) $1.3\mu\text{m}$ 帯多波長VCSELの研究開発

多波長アレイVCSELを用いて、40~100GbpsのCWDMシステム伝送実験を行う。

3-2-2 中間目標（平成16年3月末）

サブテーマごとの中間目標

1) 光I/O内蔵型スイッチLSIモジュールの研究開発

10Gbps/ポートの32×32 CMOSスイッチLSIおよび10mm×10mm程度の超小型光I/Oを実現し、それらを用いて光I/O内蔵型スイッチLSIモジュールの動作を確認する。

2) $1.3\mu\text{m}$ 帯多波長VCSELの研究開発

- ・ 長波VCSELにおいて発振波長 $1.35\mu\text{m}$ までの長波化を行い、その10G高速変調、最大光出力1.5mWを実現する。
- ・ CWDM用VCSELとして $1.280\mu\text{m}$ から $1.340\mu\text{m}$ までの多波長アレイVCSELのモノリシック化技術を確立する。

平成16年度の最終目標を達成するため、平成15年度は上記中間目標を設定し、下記の通り、ほぼ期待の結果が得られた。

1) 光I/O内蔵型スイッチLSIモジュールの研究開発

平成15年度は、10Gbps/ポートのクロスポイントスイッチLSIの試作と機能検証、光I/Oの低コスト化改造設計、その動作実証（現在実行中、平成16年3月末までに完了予定）、光I/O内蔵型スイッチLSIモジュールの試作、その機能検証（現在実行中、平成16年3月末までに完了予定）を行った。

2) $1.3\mu\text{m}$ 帯多波長VCSELの研究開発

平成15年度は、多波長VCSELに必要とされる諸特性（波長、高速変調、高出力）を要素技術別に開発した。波長としては、GaInNAs活性層を用いて $1.34\mu\text{m}$ のシングルモード発振を実現し、また、高速変調に関しては波長 $1.27\mu\text{m}$ 素子において10Gb/s変調実験を行い良好なアイ開口を確認した。さらにCWDM（Coarse Wavelength Division Multiplexing:低密度波長分割多重）で必須となる高出力シングルモード化に向け高次モード抑制構造の素子を設計試作し、InGaAs系VCSELにおいて光出力 $>2.5\text{mW}$ を得た。

平成16年度は、平成15年度までに得られた成果を元に、最終目標の達成を図る。

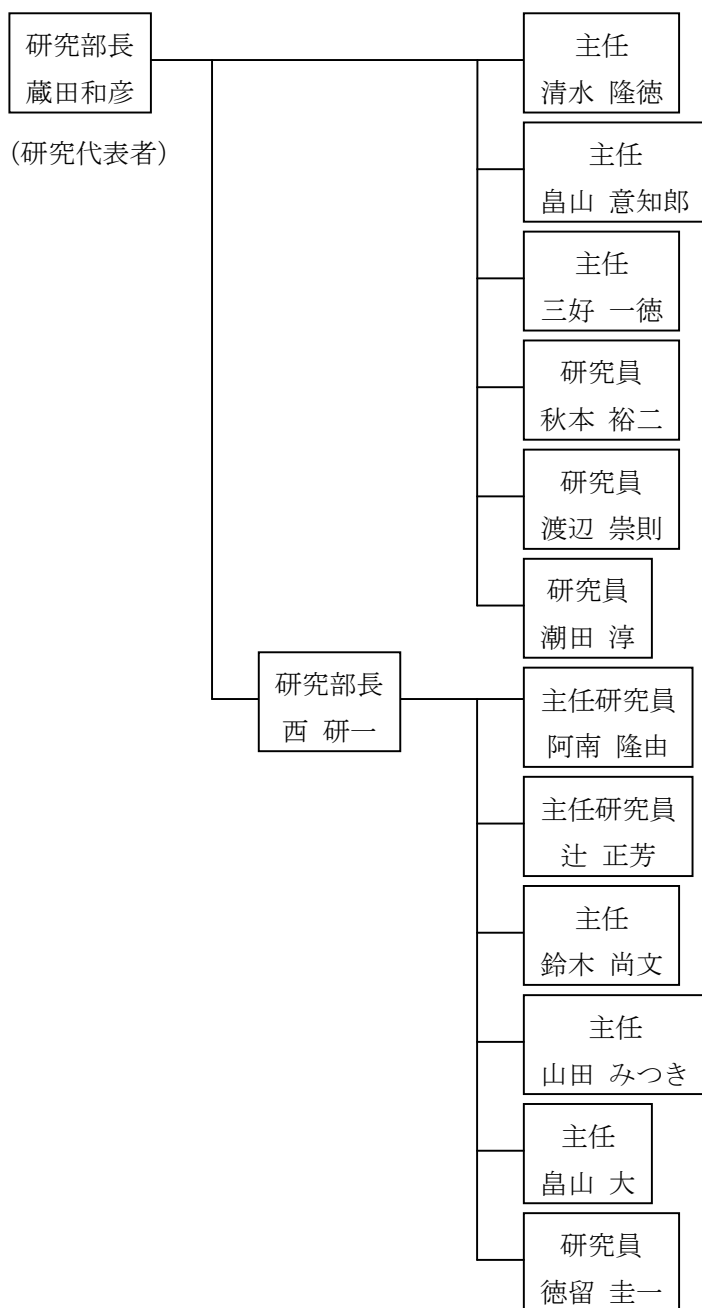
3-3 研究開発の年度別計画

(金額は非公表)

研究開発項目	平成14年度	平成15年度	平成16年度	計	備考
テラビットルータに向けた高速信号処理用光モジュールの開発					
アー1) 光I/O内蔵型スイッチLSIモジュールの研究開発 1)-1 CMOSスイッチLSIの開発 1)-2 超小型光I/Oの開発	10Gbps スイッチ動作	10Gbps 32×32 スイッチ動作	クロスコネク 簡易装置化		
アー2) 1.3μm帯多波長VCSELの研究開発	10Gbps動作 長波長化、 高出力化	新構造モジュール化 WDM化	実装・伝送テスト		
間接経費					
合計					

- 注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%を上限として計上(消費税を含む)。
 2 備考欄に再委託先機関名を記載。
 3 年度の欄は研究開発期間の当初年度から記載。前年度(14年度)までは、合計が当該年度の契約額の実績値となるよう記載。

3-4 研究開発体制



4 研究開発の概要（平成15年度まで）

4-1 研究開発実施計画

4-1-1 研究開発の計画内容

4-1-1-1 光I/O内蔵型スイッチLSIモジュールの研究開発

平成14年度は機能検証として2×2スイッチLSI、及び4chの送受信機能を搭載した超小型(10mm×11mm)の光I/Oの一次試作を行い基本動作の確認を行った。

平成15年度は、10 Gbps/portの32×32 ch光I/O内蔵型スイッチLSIモジュールを実現するため、32ch×32ch CMOSスイッチLSI及び光I/Oの低コスト構造の開発を行い、10 Gbps/ポート、32ch×32chのスイッチ動作検証を行う。具体的には以下の通りである。

- 1) 32ch×32ch 10 Gbps/port スwitchLSIをCMOS LSIプロセスで試作し機能見極めを行う。
- 2) 平成14年度試作の従来サイズ比1/10以下（10 mm×10 mm程度）の光I/Oの低コスト化改良設計を行う。
- 3) 上記スイッチLSIと光I/Oを接続し、光I/O内蔵型スイッチLSIモジュールの10 Gbps、32ch×32chのスイッチ機能を検証する。

4-1-1-2 1.3μm帯多波長VCSELの研究開発

平成15年度は、平成14年度に開発した長波長VCSELにおいて、チャンネル当たり必要な10Gb/sの高速変調技術の実現、及び平成14年度に設計を行った高出力化（～1.5mW）を行う。更に、CWDM用VCSELとして1.280μmから1.340μmまでの多波長VCSELのアレイ化技術を確立する（モノリシックアレイとハイブリッドアレイの技術見極め）。具体的には以下の通りである。

- 1) GaInNAs活性層を用いたVCSELにおいて、高速変調特性を向上させる為のデバイス設計、及び構造最適化を行い、10Gb/s変調を実証する。
- 2) パワーバジェットを確保するためのシングルモード高出力を達成するため、高次モード発振を抑制する光共振器構造を設計し、1.5mWまでの高出力化技術を開発する。
- 3) CWDM用VCSELとして、60nmの波長範囲をカバーする多波長VCSELのアレイ化において、モノリシックアレイとハイブリッドアレイの技術的見極めを行う。

4-1-2 研究開発課題実施計画

(金額は非公表)

研究開発項目	第1四半期	第2四半期	第3四半期	第4四半期	計	備考
ア テラビットルータに向けた高速信号処理用 光モジュールの開発						
ア-1 光 I/O 内蔵型スイッチ LSI モジュールの研究開発						
1)-1 CMOSスイッチLSIの開発		32chスイッチLSI設計		LSI試作評価		
1)-2 超小型光 I/O の開発		低コスト 新構造設計		試作10Gbps 動作評価		
ア-2 1.3μm帯多波長VCSELの研究開発	VCSEL 高速化		アレイ化			
間接経費 (23.7%)						
合計						
研究開発項目	第1四半期	第2四半期	第3四半期	第4四半期	計	備考

注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%を上限として計上(消費税を含む)。

(合計の計は、「3-1の研究開発課題必要概算経費」の総額と一致)

2 備考欄に再委託先機関名を記載。

4-2 研究開発の実施内容

4-2-1 光I/O内蔵型スイッチLSIモジュールの研究開発

平成14年度は、10 Gbps/portの32×32 ch光I/O内蔵型スイッチLSIモジュールを実現するため、CMOSスイッチLSIおよび光I/Oの10 Gbps動作実証とスイッチの基本機能確認を行った。具体的には以下の通りである。

- 1) 実装部分までを取り込んだ設計にて、10 Gbps/port, 2×2chのスイッチLSIをCMOS LSIプロセスで試作し、LSIの10 Gbps/port動作とスイッチ機能の確認を行った。
- 2) 従来サイズ比1/10以下（10 mm×11 mm）の低コストな超小型光I/Oの試作を行い10 Gbpsの光送受信動作を検証した。
- 3) 上記スイッチLSIと光I/Oを接続し、10 Gbps/portの光I/O内蔵型スイッチLSIモジュールの機能を検証中である。4月末評価完了予定。

4-2-2 1.3 μ m帯多波長VCSELの研究開発

平成15年度は、平成14年度に開発した長波長VCSELにおいて、チャンネル当たり必要な10Gb/sの高速変調技術の実現、及び平成14年度に設計を行った高出力化（～1.5mW）を行う。更に、CWDM用VCSELとして1.280 μ mから1.340 μ mまでの多波長VCSELのアレイ化技術を確認する（モノリシックアレイとハイブリッドアレイの技術見極め）。具体的には以下の通りである。

- 1) GaInNAs活性層を用いたVCSELにおいて、高速変調特性を向上させる為のデバイス設計、及び構造最適化を行い、10Gb/s変調を実証する。
- 2) パワーバジェットを確保するためのシングルモード高出力を達成するため、高次モード発振を抑制する光共振器構造を設計し、1.5mWまでの高出力化技術を開発する。
- 3) CWDM用VCSELとして、60nmの波長範囲をカバーする多波長VCSELのアレイ化において、モノリシックアレイとハイブリッドアレイの技術的見極めを行う。

5 研究開発実施状況（平成15年度）

5-1 光I/O内蔵型スイッチLSIモジュールの研究開発

5-1-1 開発の位置づけ

インターネットに代表されるデータ通信需要の爆発的な拡大に対応するため、バックボーンネットワーク、ディストリビューションネットワークの高速・広帯域化が進んでいる。この中で、ディストリビューションネットワークとバックボーンネットワークを結ぶメトロネットワーク、特にそのノードに用いられるルータの処理速度が、ネットワーク全体のブロードバンド化を図る上でボトルネックとなってきた。CMOS LSIの微細化に伴い、ルータを構成するスイッチLSI内部の高速化は進展しているが、LSIと外部との接続や、ボード、装置間をつなぐ部分のインターフェースの信号速度、消費電力、信号線数等が問題であり、従来技術の延長線上で解決するのは困難である（I/Oボトルネック）。

そこで現在のルータの処理速度限界を打破するため、1チャンネルあたり10Gbpsのポート速度の光I/Oをパッケージに内蔵した光I/O内蔵型32ch×32chスイッチLSIモジュールの実現を目標とする。本研究開発テーマにおける上記課題の位置付けを以下の図6に示す。

**本提案： 光技術により装置、スイッチLSI間接続のボトルネックを解消
テラビット級ルータを1シェルフで実現→大容量メトロネットワーク実現**

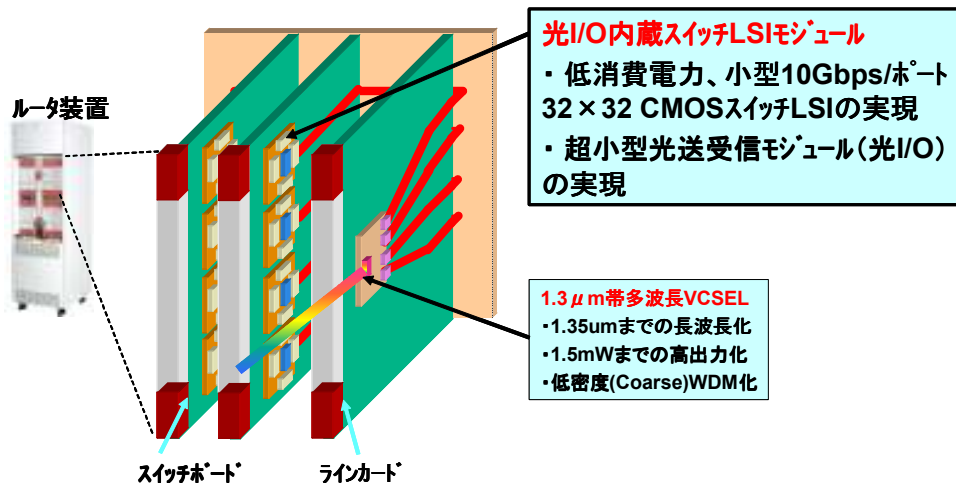


図6. 光I/O内蔵型スイッチLSIモジュールの開発課題

平成15年度は、10Gbps/portの多ch光I/O内蔵型スイッチLSIモジュールを実現するため、超小型光I/Oの10Gbps動作を検証するとともに、その低コスト化改造設計・動作確認を行った。また、スイッチLSIとして、クロスポイントスイッチLSIの動作実証を行った。具体的には以下の通りである。

- 1) 平成14年度に試作した、従来サイズ比1/10以下（10mm×11mm）の低コスト超小型光I/Oに

- ついて、10Gbpsの光送受信動作を検証した。
- 2) 1)の超小型光I/Oに対して、量産化に対応すべく、さらなる低コスト化改造設計を行い、10Gbps動作を確認した。
 - 3) 10Gbps/portクロスポイントスイッチLSIにおいて、LSI単体での10Gbps/port動作を確認し、評価ボード上での10Gbps信号伝送を実証した。
- 以下では、これら研究開発実施状況の詳細について記述する。

5-1-2 光I/O内蔵型スイッチLSIモジュール構成と設計指針

図7に光I/O内蔵型スイッチLSIモジュールの構成を示す。光/電気変換を行う超小型、送受各4ch一体型の光I/O (PETIT: Photonic/Electronic Tied InTerface)とCMOS LSIが、BGA基板上に同時に実装される。PETIT内の光素子 (850nm VCSEL, PIN-PD)は、専用のファイバコネクタで結合される。

本モジュールに (から)入 (出)力される高速信号はすべて、光ファイバによる伝送となるため、安価なプリント配線板への実装が可能となる。また、光I/OとCMOS LSI間的高速電気伝送部分は数cm程度の短距離のため、この部分での波形劣化補正回路は不要となり、低消費電力化が実現できる。さらに、この高速電気I/O部はBGA基板内で閉じているため、そのESD保護素子として、静電気対策が十分に施された工場での組立を想定したESD耐性程度でよく、帯域劣化の抑制が可能である。

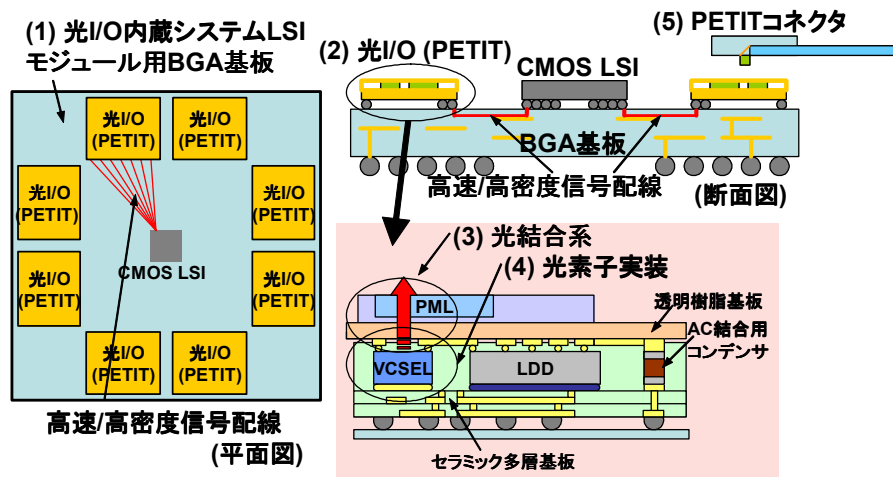


図7. 光I/O内蔵型スイッチLSIモジュール

本構成を適用した10Gbps/port光I/O内蔵システムLSIモジュールの設計指針を以下に示す。BGA基板には、32portの光I/Oが搭載可能な50×50mmの基板を適用し、光I/O - CMOS LSI間高密度伝送線路を結合線路とすることでport間クロストークを抑制する。基板での実測値として、port間クロストーク-23dBと、良好な特性が得られた。

光I/Oには、その実装プラットフォームに低コスト、低誘電率、低損失の樹脂基板 [1]を

適用し、樹脂基板を基準面とする簡易かつ高効率な光結合系を構成することで低コスト化、高速化を実現する。また、光素子の高精度フリップチップ実装技術 [2]を適用して高効率光結合を実現する。さらに、送受間の電磁遮蔽構造を形成するとともに、伝送線路を結合線路とすることで、送受間、ch間クロストークを抑制し、小型（10×11×1.5mm）、多ch化（送受各4ch）を実現する。

光I/O（PETIT）とファイバの結合は、BGA基板上的ファイバ、コネクタの占有面積を削減できるPETITコネクタ [3]を用いる。

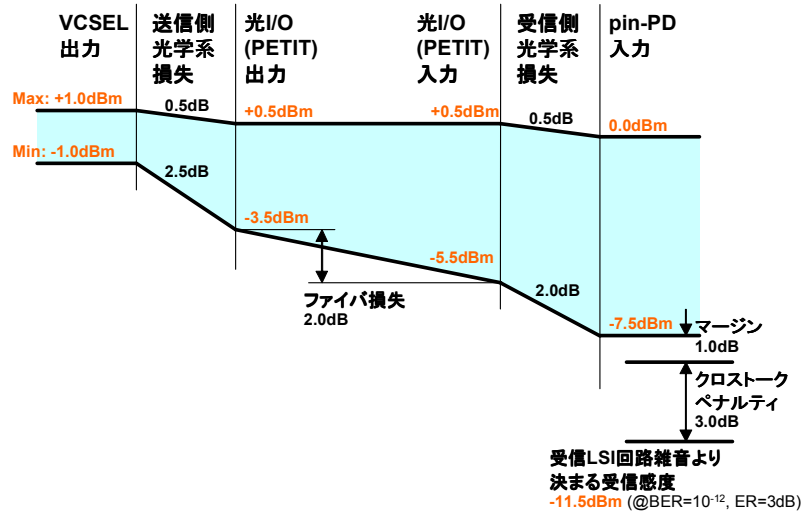


図8. 光I/O内蔵型スイッチLSIモジュールリンクロスバジェット

光I/O内蔵システムLSIモジュールのリンクロスバジェットを図8に示す。受信LSI回路雑音より決まる受信感度-11.5dBm (@BER=10⁻¹², 消光比 = 3dB) に対して、クロストーク（光I/O送信側内部クロストーク，光I/O受信側内部クロストーク，送信から受信への回り込みによるクロストーク）によるペナルティ3dB，マージンを1dB見込み、送受光学系損失をそれぞれ2.5dB，2.0dB、ファイバ損失を2.0dB（PETITコネクタによる損失を含む）として、VCSEL出力パワーの最小値を-1.0dBmと規定した。また、VCSELの出力パワー変動を2dB許容して、VCSEL

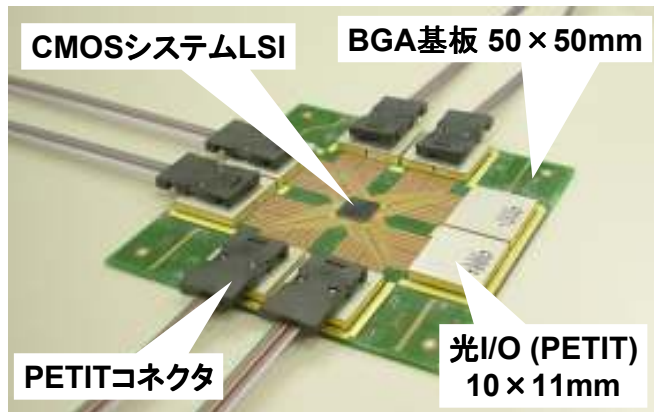


図9. 光I/O内蔵型スイッチLSIモジュール外観

出力パワーの最大値を+1.0dBmと規定した。

モジュール外観を図9に示す。

5-1-3 超小型光I/Oの動作検証

光I/Oでは高速多チャンネル (ch)かつ低消費電力な送受信機能を超小型、低コストで実現する必要がある。本節では、平成14年度に試作した光I/O (PETIT)の開発指針および構成、10.3125Gbpsでの動作結果について述べる。

5-1-3-1 光I/Oの開発指針

開発指針は、以下の3点である。

(a) 低コスト化

LSIと光のパッケージング技術の融合による構成の簡易化を図る。プラットフォームへは低コストな透明樹脂基板 [1]を適用し、樹脂基板を光結合系の基準面とすることによる簡易かつ高効率な光学系を開発する。

(b) 多チャンネル, 小型化

データ幅と多芯ファイバへの整合性から送受各4ch程度を搭載する。BGA基板 (数10mm \square)へ複数個搭載可能とするため、10mm \square 程度の小型化を図る。小型化に伴う送受間およびch間電気クロストークの抑制 (受信ペナルティ各<1dB)のための簡易電磁界遮蔽簡易構造を適用する。

(c) 高速動作

低誘電率、低損失な樹脂基板[1]の適用と光/電気素子の高精度フリップチップ実装技術による低反射、低ロス高速信号伝送を実現する。

5-1-3-2 光I/Oの構成

上記指針に基づいて開発した光I/Oの構成を、図10に示す。0.85 μ m波長帯の4ch VCSELおよびpin-PDアレイ、各4chのVCSELドライバ/レシーバLSIは光学的に透明な樹脂基板上に実装している。光の入出力は透明基板を通して、裏面に搭載したレンズアレイで集光され、MTコネクタまたは新たに開発したPETITコネクタと光学的に結合される。送受間は樹脂基板の配線パターンおよび遮蔽棒により電磁界的に分離されている。さらに送受各々のch間クロストーク抑制のために入出力信号用の差動伝送線路を結合線路化している。素子を搭載した樹脂基板はセラミックケースに収容している。モジュール体積は165mm³ (10 \times 11 \times 1.5mm)であり、消費電力は4ch送受信で1.5Wを実現している。

5-1-3-3 評価結果

信号速度10.3125Gbps PRBS2⁷-1 (NRZ)、送信側消光比3dB、室温の条件にて光I/Oの特性評価を行った。受信特性の一例を図11に示す。送信側/受信側とも4chすべて動作させたときの受信感度 (@BER = 10⁻¹²)は-6.5dBmであった。また、送信/受信間クロストーク、送信側ch間クロストーク、受信側ch間クロストークによるペナルティは、それぞれ、

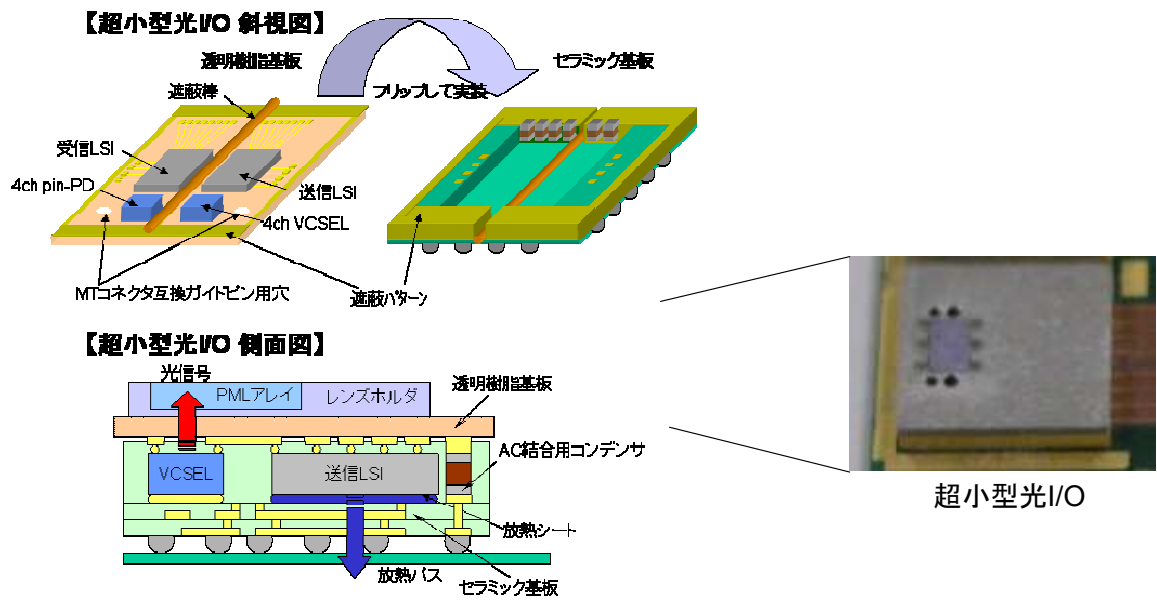


図10. 光I/Oの構成

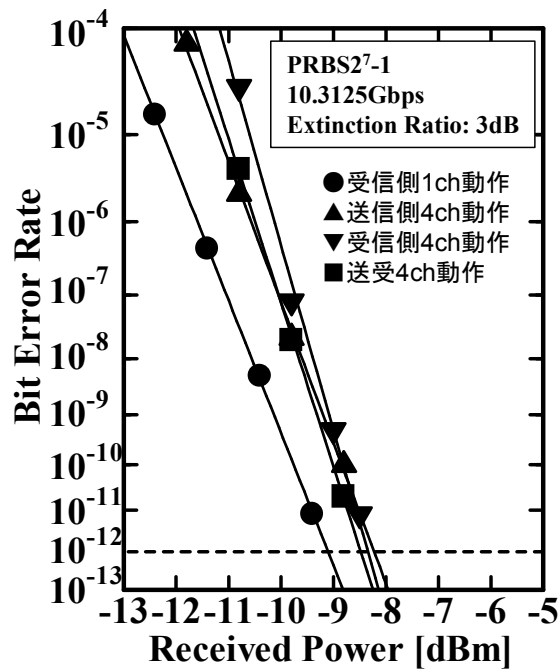
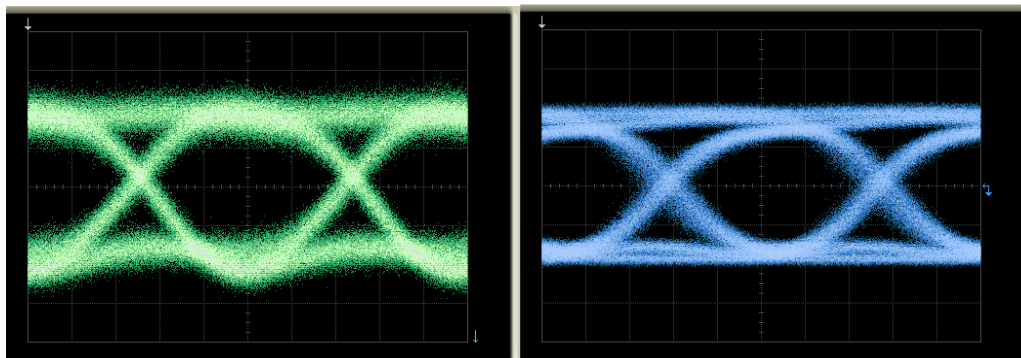


図11. 光I/Oの受信特性

0.6dB, 1.0dB, 1.0dB、合計2.6dBで、リンクロスバジェット上十分な値（設計値3dB、図8参照）が得られた。図12に光I/O出力波形を示す。(a)はGI50マルチモードファイバ30m伝送後の送信波形、(b)はその受信波形を示す。双方とも、全ch動作時の波形で、良好なアイパターンが得られた。



(a) 送信波形

(b) 受信波形

図12. GI50マルチモードファイバ30m伝送波形

以上の結果より、光I/Oの10Gbps動作が実証でき、光I/O内蔵型スイッチLSIモジュールへの適用可能性を実証した。

5-1-4 量産化対応超小型光I/Oの設計

5-1-4-1 量産化対応超小型光I/Oの設計方針

アプリケーションとしては、大容量ルータ等装置内バックプレーン接続をターゲットとするため最大伝送距離は100mとする。

量産化対応光I/Oの開発の大方針として、

「単体では超小型光トランシーバ(TRx)としてボード上実装可能」

「光I/O内蔵型スイッチLSIモジュールではスイッチLSIの光I/Oとして実装可能」

とした。これは、アプリを拡大することで、よりビジネスチャンスを広げるためである。そこで、両者の要求を満足するために下記のように方針を決定した。

(1) 高速光インターフェース：各chは10GbEを収容可能。光コネクタはMT互換のPETITコネクタ[3]を使用する。

(2) 多ch(データ幅へのスケーラビリティ)：ほとんどのシステムLSIのI/O部でのデータ幅は4の倍数になっている。そのため4ch送受信を光I/Oの基本構成とする。光I/OをBGAパッケージに複数個搭載することで、最大32chまでのスケーラビリティを実現する。

(3) 小型パッケージ：システムLSIのインターポーザとして用いられているBGAパッケージには、LSIパッドとマザーボードのパッドとのピッチ変換の役割もあるため、パッケージ表面の周辺部にはデッドスペースがある。光I/O内蔵型スイッチLSIモジュールではこのデッドスペースに光I/Oを搭載する。BGA上に8個の光I/Oを搭載し、32chまでのスケーラビリティを実現するため、光I/Oの面積サイズを14×14mmとする。またTRxとしても光I/Oとしても実装が容易、かつ高密度実装可能なBGAパッケージとする。

(4) 低消費電力：光源として、低閾値電流、高効率な850nm帯の4chVCSELアレイを適用する。さらに将来的にはCMOSシステムLSIとの高速電気インターフェースとして閉じた、DC結合可能な低振幅かつ低オフセット電圧なインターフェースを採用する。ただし、今回の開発では、市販のVCSELドライバおよびレシーバLSI(電源電圧+3.3V)を使用し、CMLインターフェースでAC結合とした。

(5) 低コスト：LSIと光素子を共通の樹脂インターポーザに搭載した新プラットフォームを用いることにより、従来の高価なセラミック基板を不要とする。さらに樹脂基板の通信波長帯における透明性を利用し、樹脂基板上に光学系を形成する新構造を採用する。

5-1-4-2 量産化対応超小型光I/Oの設計

上記方針を具現化するため、光I/Oの基本構成を前回同様以下①～③とした。

- ①実装プラットフォームとしての樹脂基板材料、
- ②高速電気伝送路特性を考慮し、インターポーザとして低誘電率/低損失な樹脂基板 [1]を採用、さらに各素子をAuバンプ圧接工法によるフリップチップ技術にて実装 [2]、
- ③樹脂基板を基準面とした簡易で高効率な光学系

この構成を実現するための設計には下記(a)～(f)が必要である。

- (a) 低反射、低損失伝送路(AC結合用コンデンサを含む)、
- (b) ch間クロストーク抑制のための構造、
- (c) 金属枠による、より完全な箱型構造による送受信間の電磁干渉の遮蔽、
- (d) 高速信号用実装方式、
- (e) 低消費電力4chドライバ/レシーバLSI、
- (f) 高放熱構造

本稿では基本構成①～③および(a)～(c)、(f)について検討を行ったので報告する。

【プラットフォーム材料の検討】

実装プラットフォームとしての樹脂基板には、

- (1) 低コスト
- (2) 基板を通して光信号入出力を行うため0.85um帯の波長の光に対してロス小さいこと(<1dB)
- (3) 10Gbps信号伝送のための低誘電率(3程度@10GHz)、低誘電損失($\tan \delta = 0.005$ 程度@10GHz)
- (4) 多ch化に伴う微細配線(50um/50um程度)、微細Via加工(ピッチ200um程度)可能
- (5) 実装時の耐熱性>Auバンプ実装の>200°Cを許容可能
- (6) 低吸湿率

が要求され、低コストと低誘電率の観点からは、TABに用いられている両面配線のポリイミド系樹脂材料が有効である。前回の透明基板は基板損失が1.2dB@850nmあり、そのため送受で2dB以上の損失となっていたため、結果として受信感度の低下を招いた。そこで今回はポリイミド系基板の中で最も損失の小さなメタロイヤル(透過損失=0.2dB@850nm)を適用することとした(図13)。また、基板メーカーが製造可能な配線密度の関係から基板の厚さは50umとした。本材料の主な特性を表1に示す。

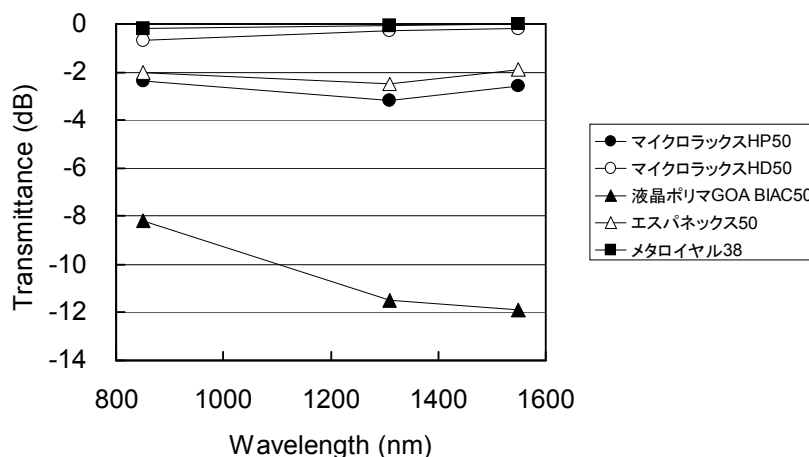


図13. ポリイミド系フレキシブル基板材料の透過損失

表1. メタロイヤルの主な特性

誘電率@10GHz	誘電損失@10GHz	ガラス転移温度	熱膨張係数	吸湿率
3.11	0.0094	380°C	16ppm	1.8%

【送受間遮蔽構造】

送受間のクロストーク要因としては、図14に示すように光素子-LSI間配線パターン間、入出力ロジック信号配線パターン間、および電源/GNDからの干渉がある。これらのうち、支配的なのは光素子-LSI間配線パターン間での回り込みである。入出力ロジック信号配線パターン間の干渉は共に論理振幅が大きく同程度(数100mVp-p)のため、ほとんど問題にならない。また電源/GNDからの干渉については、電源/GNDを分離することで回避可能である。リンクロスバジェットにおいて見積もった送受間の電氣的クロストークによるパワーペナルティを0.5dB以内にするためには、クロストーク量を光素子間で-64.5dB@10GHz以下に抑える必要がある(送受間信号振幅比=-40dB、ペナルティ0.5dBを許容するクロストーク量=-24.5dBのため)。以前電磁遮蔽構造について検討を行った結果、クロストーク-64.5dBを得るためには、ほぼ完全に送信側あるいは受信側を覆いこむ必要があることが分かっている。一般に導体内への電磁界の侵入深さ δ は、

$$\delta = \sqrt{\frac{2}{\omega\mu\sigma}}$$

で表される (ω = 各周波数。 μ = 透磁率、 σ = 導電率)。10GbE用信号(10.3125Gbps、NRZ、64B/66B符号)の帯域であるMHz~GHz帯の信号の場合、金属への侵入深さは数 μm ~100 μm 程度であり、箱型金属の幅は100 μm 程度あれば十分である。そこで、図15に示すようにフレキシブル基板の配線を可能な限りべたパターンとし、かつ断面が日の字型の厚さ150 μm の金属遮蔽枠を用いて、ほぼ完全なBox型遮蔽構造を実現した。図16、17にそれぞれ遮蔽枠の無い場合とある場合の実際の透明基板と遮蔽枠を用いた構造での光素子-LSI間のクロストークを示す。遮蔽枠の効果により設計どおり10GHz以内で-65dB以下のクロストークが得られた。図18、19には参考としてそれぞれ遮蔽枠の無い場合とある場合の入出力ロジック信号配線パターン間のクロストークを示す。こちらもクロストーク-50dB以下と十分な遮蔽効果が得られた。

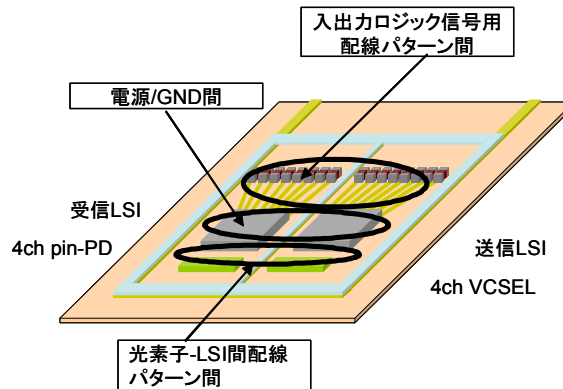


図 14. 送受間クロストーク要因

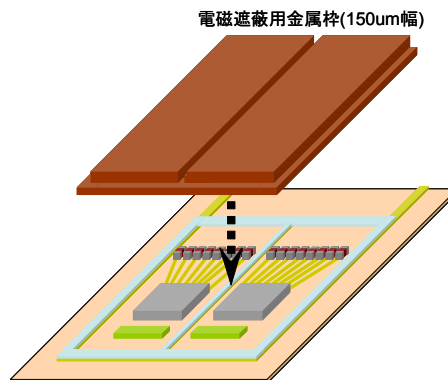


図 15. 光 I/O の遮蔽構造

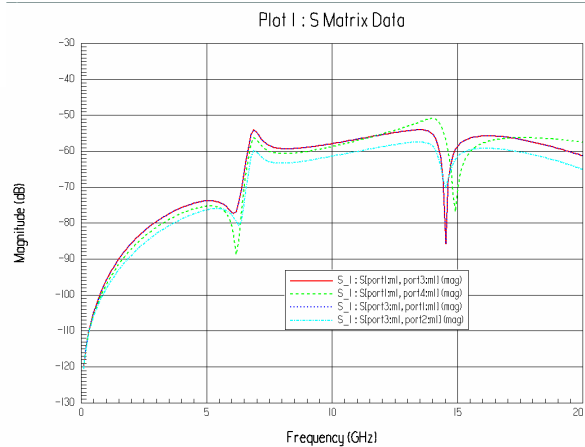
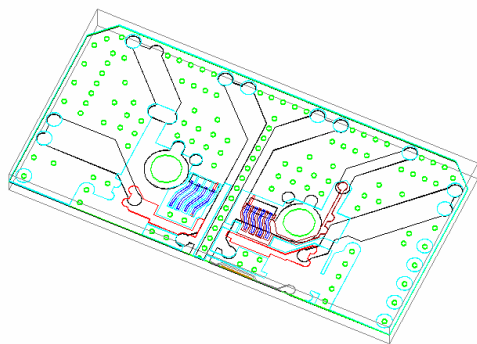


図 16. 透明基板のみの遮蔽効果@光素子-LSI 間配線パターン(左:構造、右:結果)

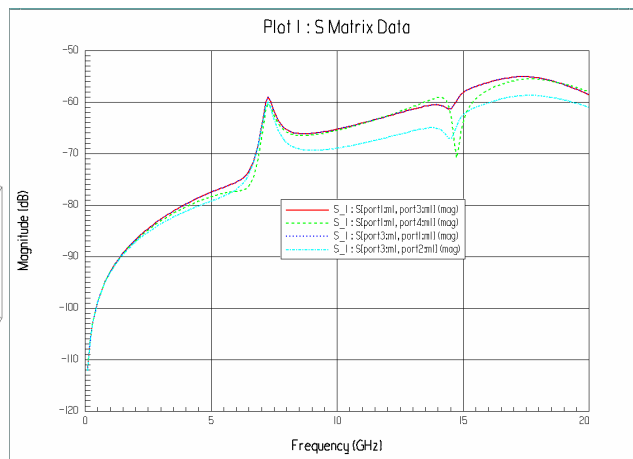
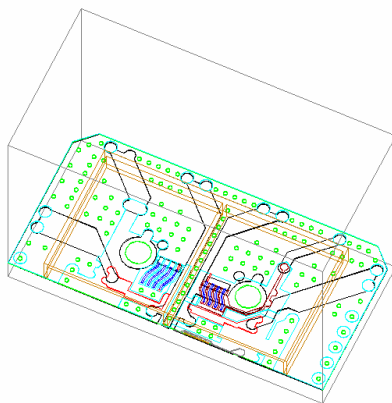


図 17. 金属柱による遮蔽効果@光素子-LSI 間配線パターン(左:構造、右:結果)

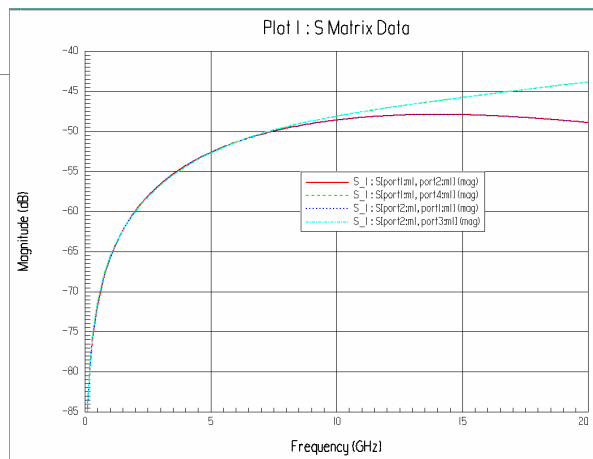
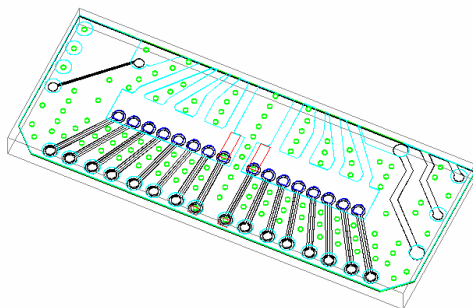


図 18. 透明基板のみの遮蔽効果@入出力ロジック信号用パターン(左:構造、右:結果)

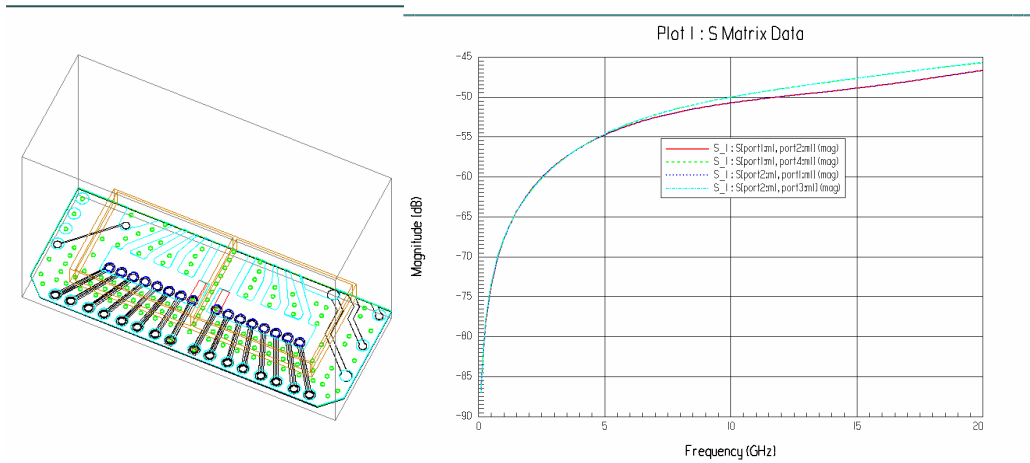


図 19. 金属枠による遮蔽効果@入出力ロジック信号用パターン(左: 構造、右: 結果)

【伝送線路設計】

AC結合用コンデンサ搭載方法および配線の検討

AC結合用のコンデンサを光I/Oに内蔵し、かつBGAに高速配線、電源/GND配線およびその他の制御系信号配線を引き出すための構造が必要である。今回は、掘り込み構造を持った配線およびViaが形成可能な多層セラミック基板を適用したが、AC結合用コンデンサを縦置きする実装工程において、歩留まり低下が懸念されたため、今回は透明基板への横置き構造を採用することとした。両面配線基板である透明基板への横置き構造での課題は、伝送線路のインピーダンス整合と、金属枠構造による電磁遮蔽効果がトレードオフとなることである。横置き構造としては図20の構造が考えられるが、案2は伝送線路側の電磁遮蔽効果が期待できないこと、案3は透明基板上GNDパターンのべたパターン化が困難なことから、案1の構造を採用した。実際案1での懸念材料はViaを介することによるインピーダンス不整合であるが、これは図21のように裏面配線をGND付コプレーナ線路とすることで、図22にシミュレーション結果を示すように回避することが可能であることが分かった(反射<-18dB、ロス<0.2dB@10GHz)。今後は、DC結合の低消費電力インターフェースの適用により、AC結合用コンデンサを削除し構造の更なる簡易化と伝送特性の向上が期待できる。

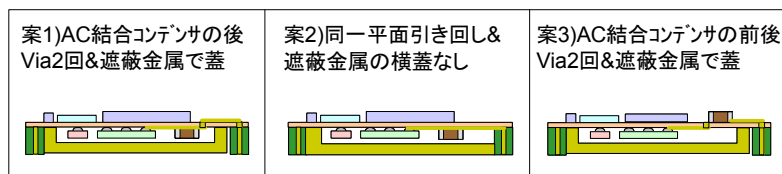


図 20. AC 結合用コンデンサ搭載方法および配線方法

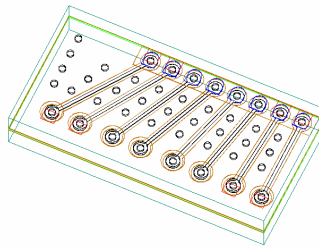


図 21. 案 1 構造での裏面配線シミュレーション構造

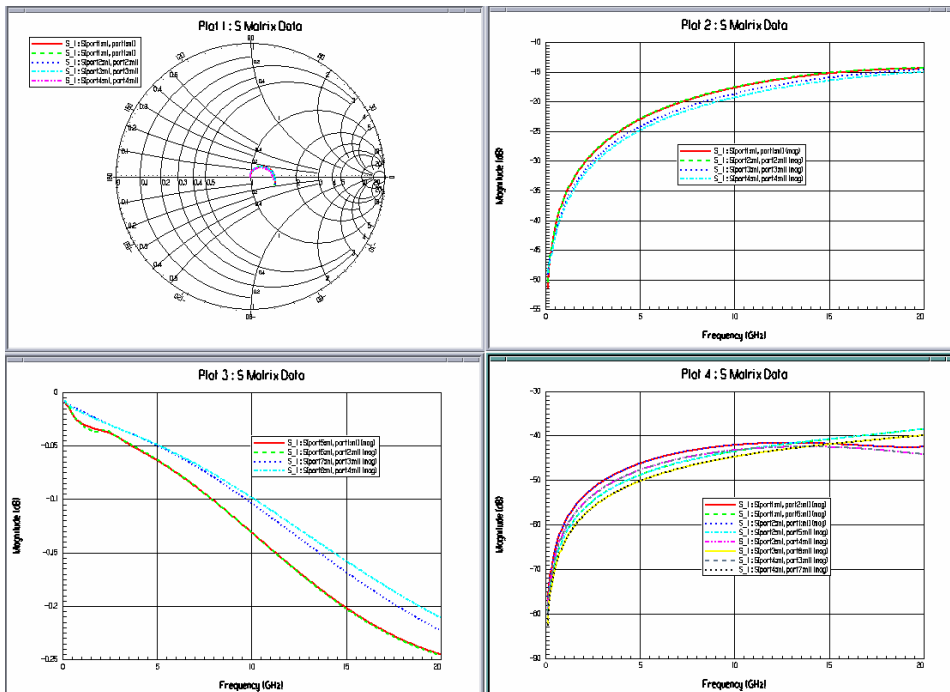


図 22. 案 1 構造による配線の伝送路特性(上=反射特性、左下=透過特性、右下=配線間近/遠端クロストーク特性)

差動伝送線路設計

光I/Oは送受それぞれ4chの構成であり、樹脂基板上に差動伝送線路がそれぞれ4対(8本)必要となる。これらをch間クロストーク無く配線するためには、差動線路を結合線路構造とし、かつ各差動線路のペアを並行する部分を可能な限り少なくすることが必要である。今回、AC結合用コンデンサでのインピーダンス不整合を考慮し、差動線路の反射(S11)、および損失(S21)特性の目標値を10GHzにおいてそれぞれ、-20dB以下、0.5dB以下とした。シミュレーションパターンを図23に示す。最も折れ曲がり角が大きくGNDパターンの面積の小さな両端の2chについてシミュレーションを行った。図24に差動モードでの反射、透過特性を示す。10GHzにおいて反射で-27dB以下、透過で0.1dB以下と、目標値を十分に満足する結果を得た。

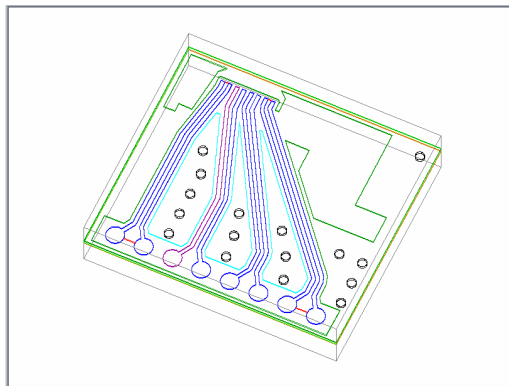


図 23. 差動伝送線路のシミュレーションパターン

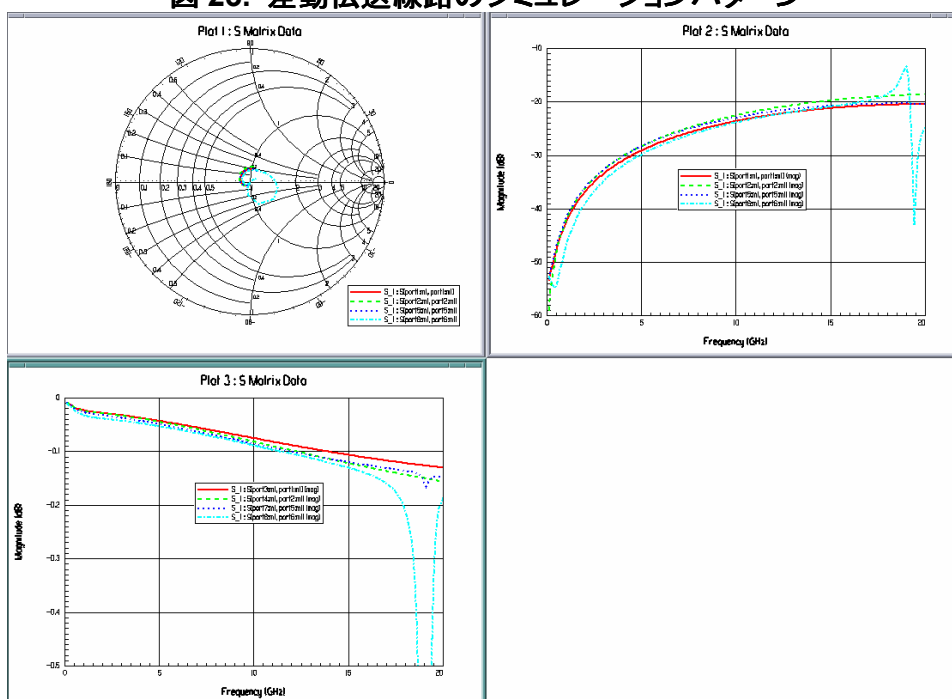


図 24. 差動伝送線路の差動モードシミュレーション結果(上: 反射特性、下: 透過特性)

VCSEL-LDD間伝送線路設計

VCSELの微分抵抗およびVCSELドライバ回路出力インピーダンスがそれぞれ50Ωであり、各ch間隔が250μmピッチと狭いため、特性インピーダンス50ΩのGND付コプレーナ線路構造を採用した。差動線路の反射(S11)、および損失(S21)特性の目標値を10GHzにおいてそれぞれ、-15dB以下、0.2dB以下とした。シミュレーションパターンを図25に示す。図26に反射、透過特性を示す。10GHzにおいて反射で-16dB以下、透過で0.13dB以下と、目標値を十分に満足する結果を得た。

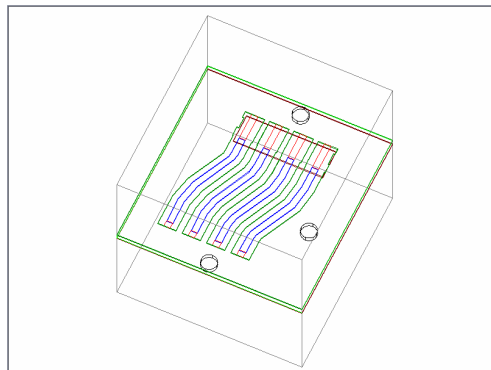


図 25. VCSEL-LDD 間シミュレーションパターン

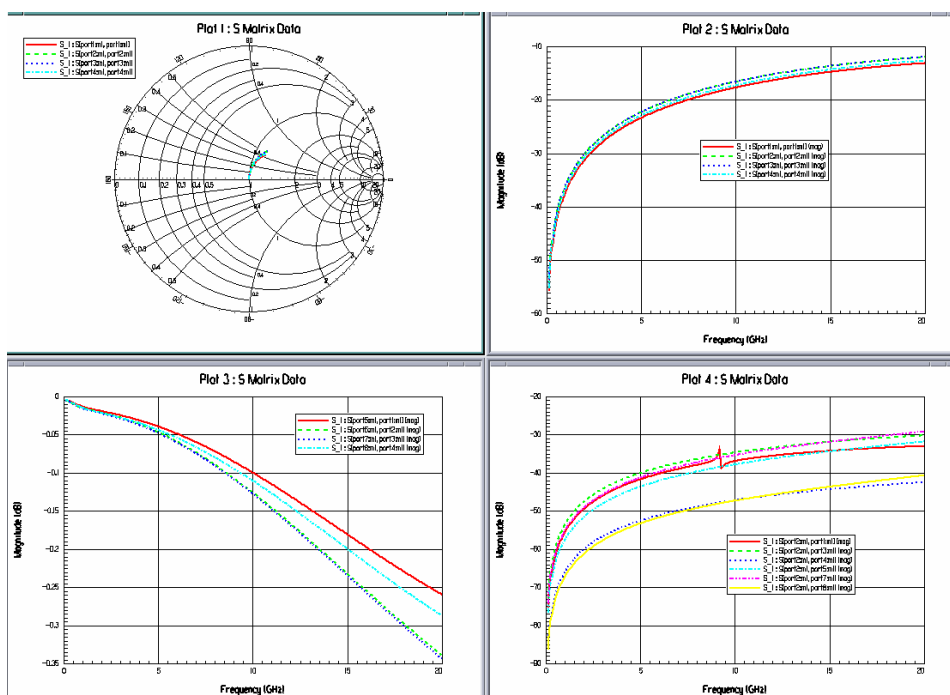


図 26. VCSEL-LDD 間伝送路特性(上: 反射特性、下: 透過特性)

【ch間クロストーク制御構造】

前記のように、ch間クロストークによるパワーペナルティ目標値は、トータルで3.0dBである。送信部または受信部におけるch間クロストークの主要因は、送受間と同様に光素子-LSI間配線パターン間、入出力ロジック信号配線パターン間、および電源/GNDからの干渉である。マルチベンダーのLSI対応するために配線パターンによるパワーペナルティ目標を

- ・ 光素子-LSI間=0.2dB、
- ・ 入出力ロジック信号配線パターン間=0.3dB

とし、光素子-LSI間配線パターン間、入出力ロジック信号配線パターン間について、送信、

受信それぞれについて3次元電磁界シミュレーションによる解析を行った。なお、入出力ロジック信号配線パターン間については送受対称なため、送信側パターンにて行った。

光素子-LSI間配線パターン間(送信側)

シミュレーションパターンを図27に示す。図28に近端および遠端クロストークを示す。近端クロストークでも-35dB以下@10GHzであり、両脇2chからのクロストークが同程度であることからトータルで-32dBとなり、これはパワーペナルティ0.2dBに相当する。目標値0.2dBを満足する値が得られた。

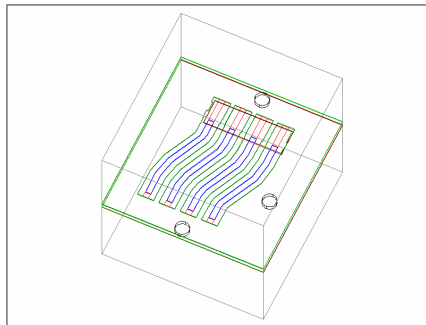


図 27. VCSEL-LDD 間コプレーナ線路のシミュレーションパターン

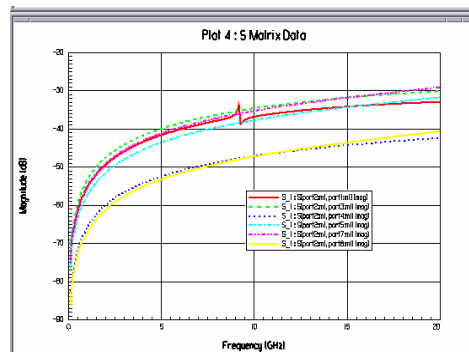


図 28. VCSEL-LDD 間のコプレーナ線路の伝送特性と近/遠端クロストーク

光素子-LSI間配線パターン間(受信側)

シミュレーションパターンを図29に示す。レシーバLSIの許容入力容量(PD容量を含む)

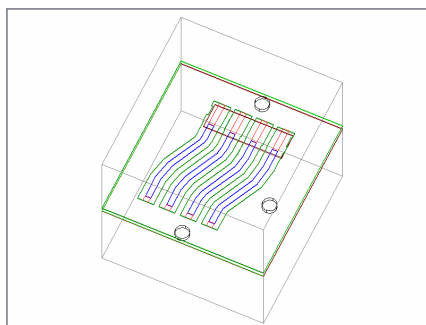


図 29. pinPD-RCV LSI 間コプレーナ線路のシミュレーションパターン

が300fFであり、PDの容量が280fFであるため、アノード側配線容量を20fF以下に抑える必要がある。そこで、アノード側パターンは配線幅を基板作製上のリミットまで細くし、かつ配線層の裏面GNDを抜きパターンとする構造を採用した。図30に近端および遠端クロストークを示す。近端クロストークでも-48dB以下@10GHzであり、両脇2chからのクロストークが同程度であることからトータルで-45dBとなりこれはパワーペナルティ0.05dBに相当する。目標値0.2dBを満足する値が得られた。

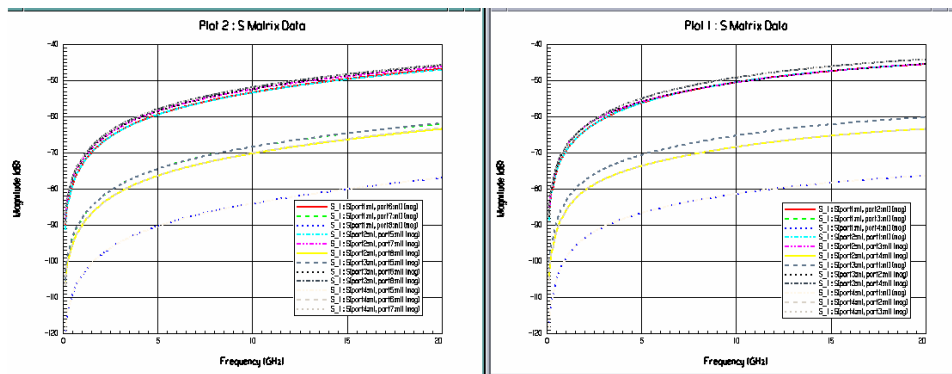


図 30. pinPD-レーザ LSI 間線路のクロストーク (左)遠端、(右)近端
差動伝送線路のch間クロストーク

シミュレーションパターンを図31に示す。図32には真中のchへのクロストークを示す。近端クロストークでもLSI-コンデンサ間は-38dB以下@10GHz、コンデンサ-パッド間は-42dB以下@10GHzであり、両端2chからのクロストークを含めてもそれぞれ、-35dB、-39dBとなる。これらは各々、パワーペナルティ0.15dB、0.1dBに相当し、トータルで0.25dBである。以上より目標値0.3dBを満足する値が得られた。

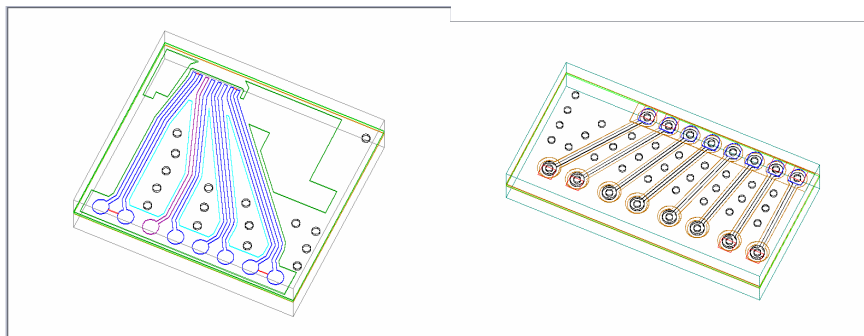


図 31. 差動伝送線路のシミュレーションパターン(左:LSI-コンデンサ間、右:コンデンサ-パッド間)

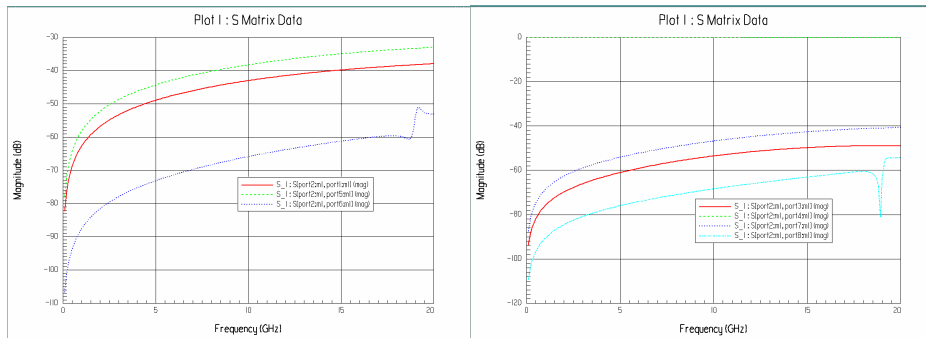


図 32. 差動伝送線路間のクロストーク (左上:LSI-コンデンサ間近端、右上:LSI-コンデンサ間遠端、下:コンデンサーパッド間)

以上の結果より、送信、受信、送受間それぞれについてクロストークによるパワーペナルティは

$$\text{送信} = (\text{光素子-LSI間のペナルティ} 0.2\text{dB}) + (\text{差動伝送線路間のペナルティ} 0.25\text{dB}) \simeq 0.45\text{dB}$$

$$\text{受信} = (\text{光素子-LSI間のペナルティ} 0.05\text{dB}) + (\text{差動伝送線路間のペナルティ} 0.25\text{dB}) \simeq 0.3\text{dB}$$

$$\text{送受信間} = 0.5\text{dB}$$

$$\text{送受信合計} = 0.45 + 0.3 + 0.5 = 1.25\text{dB}$$

となり、目標のペナルティ $(0.2 + 0.3) \times 2$ (送受) + 0.5 (送受間) = 1.5dB を満足する結果が得られた。

表2に、超小型光I/Oの主な特性を示す。表1の結果から超小型光I/Oのリンクロスバジェ

表2. 超小型光I/Oの主な特性

項目	所要値	設計値	項目	所要値	設計値
(a)樹脂基板の光透過性@850nm		0.2dB (実測値)	(b)送受間クロストーク	-64.5dB	-65dB
(c)伝送線路の反射@VCSEL-LDD間	-20dB	-27dB	(d)ch間クロストークパワーペナルティ@VCSEL-LDD間	0.2dB	0.2dB
(c)伝送線路の損失@VCSEL-LDD間	0.5dB	< 0.1dB	(d)ch間クロストークパワーペナルティ@PD-RCV間	0.2dB	0.05dB
(c)伝送線路の反射@LSI-パッド間	-15dB	-16dB	(d)ch間クロストークパワーペナルティ@LSI-パッド間	0.3dB	0.25dB
(c)伝送線路の損失@LSI-パッド間	0.2dB	0.13dB			

ットを図33のように設定した。

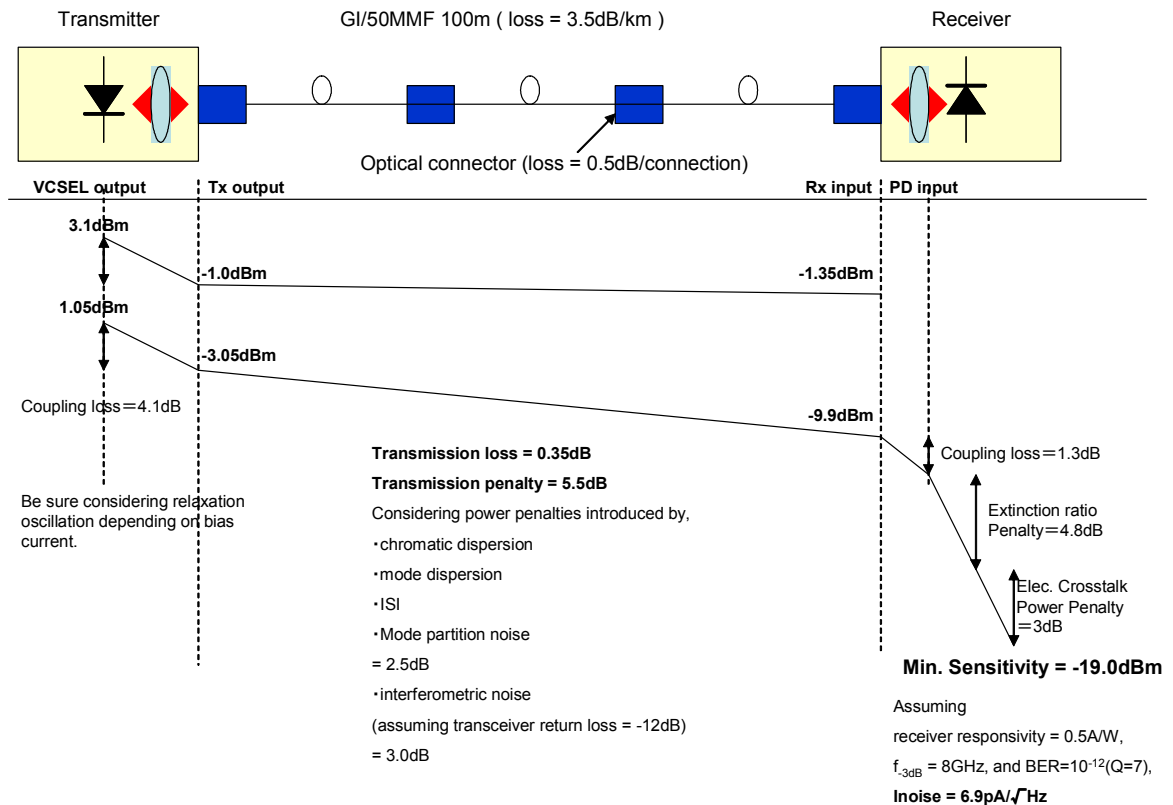


図 33. 超小型光 I/O のリンクロスバジェット

5-1-4-3 量産化対応超小型光I/Oの光結合系の設計

光I/O内蔵型スイッチLSIモジュールの光I/OにPETITコネクタを接続する構成において、光素子と光ファイバを低コストかつ高効率で結合するとともに、コネクタ着脱による損失変動を抑止することが求められる。本節では、モジュールの光結合系の設計および結合特性評価について記述する。

【光I/Oの結合系】

図34に今回開発した光I/Oの光結合系模式図（送信側）を示す。VCSELからの出力光はPETITコネクタ内に設けられた45°ミラーによって直角光路変換され、コア径50 μm のGI (Graded Index) 光ファイバ端に入射する。結合効率向上、コネクタ軸ずれトレランス、ファイバ搭載精度の緩和を目的としてマイクロレンズアレイによってビームを集光する構造とした。受光側も同様の光学系である。

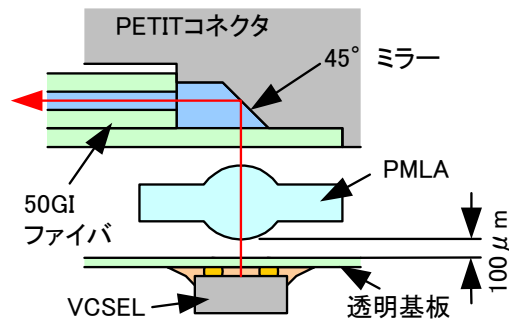


図34. 光結合系模式図(送信側)

【光コネクタ接続構造および光結合特性】

光I/Oの光学系設計を行うために、シミュレーション及び実測による光結合特性見積を行った。図35にレンズファイバ端面間距離による結合損失の変化を評価した結果を示す。実測の結果、送信側の最低結合損失は2.4dB、受信側は測定精度（約0.5dB）以下であり、ロスバジェット設計値（送受あわせて4dB）に合致した。損失最低となるレンズファイバ端面間距離については、送受信ともにシミュレーションと実測とでほぼ一致することを確認した。最低結合損失値については、送信側において実測値がシミュレーション結果より約1.5dB過剰となった。この原因は透明基板内部でのビーム散乱の影響と考えられる。

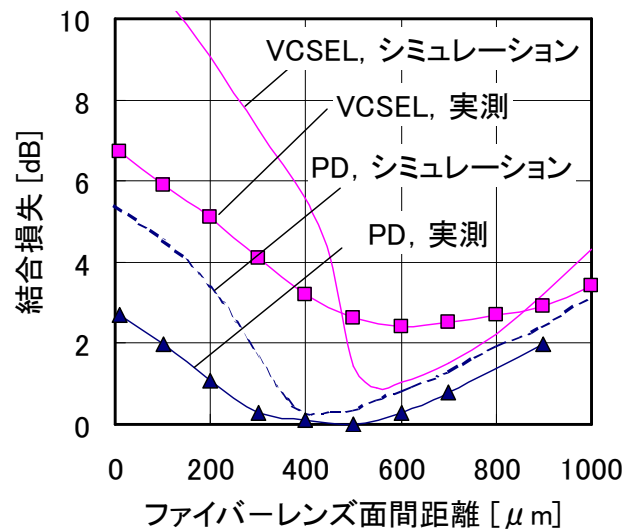


図35. 結合損失

上記の光結合をモジュール適用する場合、レンズを光I/O側に固定する構造とPETITコネクタ側に固定する構造が考えられる。これらの得失を明確化するためにトレランス見積を行った。図36に送信側のトレランス評価結果を示す。実測の結果、送信側にお

る1dB低下許容時の軸ずれ量はVCSEL－レンズ間で $\pm 17 \mu\text{m}$ 、レンズ－ファイバ間で $\pm 22 \mu\text{m}$ であり、レンズ－ファイバ間のほうが許容軸ずれ量が大きい結果となった。シミュレーションでも同様の傾向が得られている。この結果から本モジュールではコネクタ着脱時における結合効率の変動幅を小さくするために、レンズは光I/O側に固定する構造とした。所要の固定精度はフリップチップ実装機等が適用できるレベルであり、量産化も可能である。

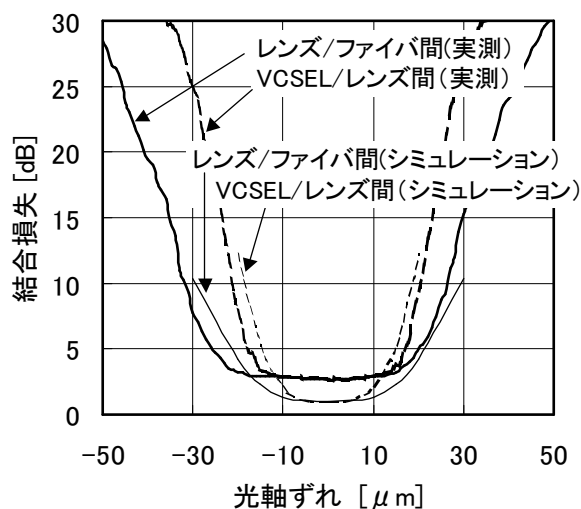


図36. トランス評価結果

5-1-4-4 量産化対応超小型光I/Oの構成

以上の検討に基づき、今回開発した量産化対応超小型光I/Oの構成を図37に、送受間電磁遮蔽構造の断面図を図38に示す。前回からの主な改善点は以下の3点である。

- (1) 基板透過損失低減による結合損改善＝透明樹脂基板として0.2dB@850nmのメタロイヤル基板を適用
- (2) 完全箱型構造による送受間クロストーク低減＝金属枠による電磁遮蔽構造
- (3) 結合系安定化＝高精度な勘合穴付レンズの採用と、透明樹脂基板への直接実装による熱膨張抑制

光I/Oは光/電気素子および光学系の搭載される透明樹脂基板(上部)と、口の字構造を有する樹脂基板(下部)、および電磁遮蔽用金属枠で構成される。透明樹脂基板には850nm波長帯の4ch VCSELアレイおよびpin-PDアレイ、ドライバ/レシーバLSIがAuバンプの圧接によりフリップチップ実装されており、さらにAC結合用コンデンサおよび電源でカップリング用コンデンサがハンダ実装されている。下部樹脂基板の1辺は電気高速(10Gbps)信号入出力用に差動100Ωインピーダンス整合された同軸Viaが形成されている。透明樹脂基板の素子搭載面の反対側には、平板マイクロレンズ(PML)アレイが直接実装されており、

これにより光学系の熱に対する安定化を図っている。このPMLアレイと光素子は透明樹脂基板上のマーカを用いたビジュアルアライメントにより実装され、その実装精度は±2μm程度である。透明樹脂基板およびレンズホルダーにはMTコネクタ互換のガイドピン用の穴が設けてある。PETIT全体の体積はわずか294mm³ (14×14×1.5mm)である。

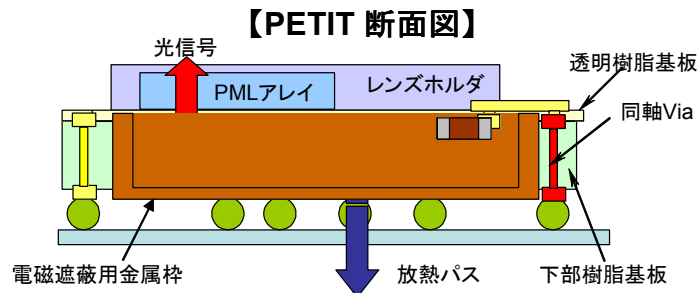
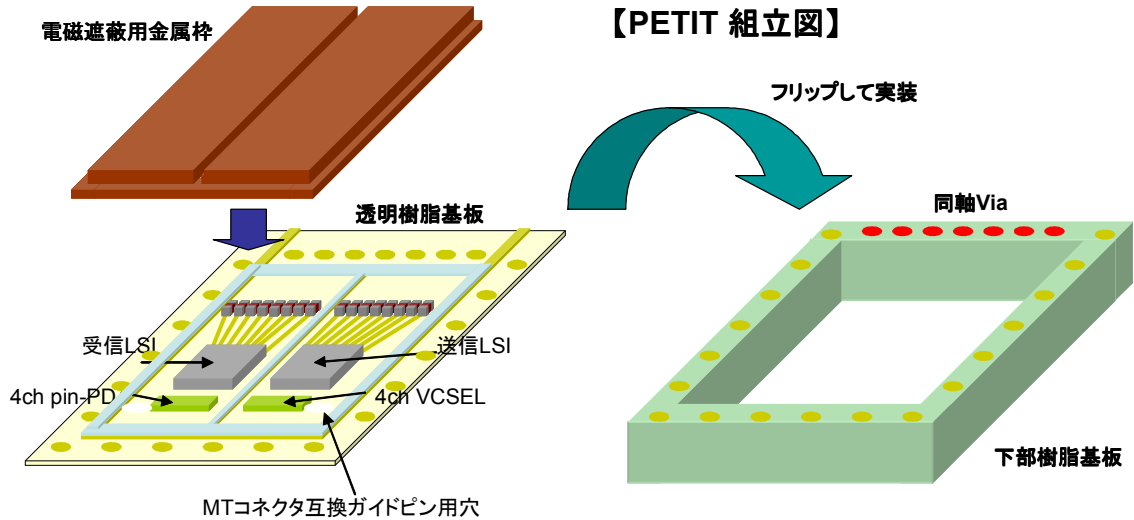


図 37. 超小型光 I/O の構成

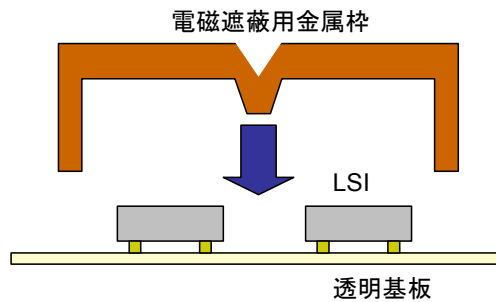


図 38. 送受間電磁遮蔽構造の断面図

5-1-4-5 超小型光I/Oの動作検証および結果

試作した超小型光I/Oに対して、10.3125Gbps、 2^7-1 擬似ランダムパターン信号 (PRBS27-1)による光送受信動作の検証を行った。

図39に受信側の受信特性測定系を示す。パルスパターンジェネレータ (PPG)によりVCSEL光源 (波長: 0.85um)を変調して、PRBS 2^7-1 、10.3125Gbps、消光比3dBの光信号を発生させ、光減衰器 (ATT)を介して超小型光I/Oの受信側光入力4chのうち測定対象となるchに入力する。超小型光I/Oの受信側電気出力のうち測定対象となるch出力をエラーディテクタ (ED)に入力し、BER (Bit Error Rate)を測定する。図40に受信側の1ch (ch1)の受信感度測定結果を示す。受信感度をBER = 10^{-12} となる入力光パワーで規定したときの各chの受信感度を同図中に示す。受信感度は-9.4dBmで、平成14年度試作品に比べて約1dBの改善が確認された。受信波形 (超小型光I/O出力電気波形)を同図中に示す。

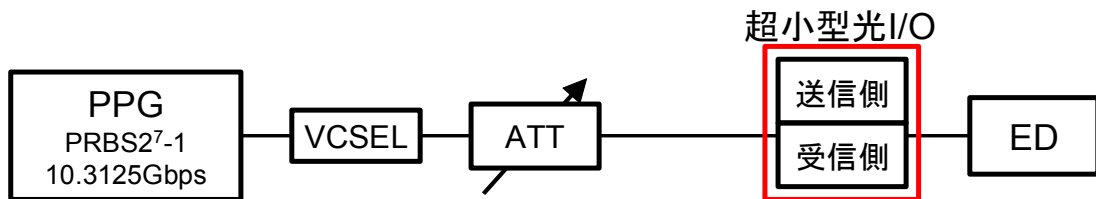


図 39. 超小型光 I/O 受信特性測定系

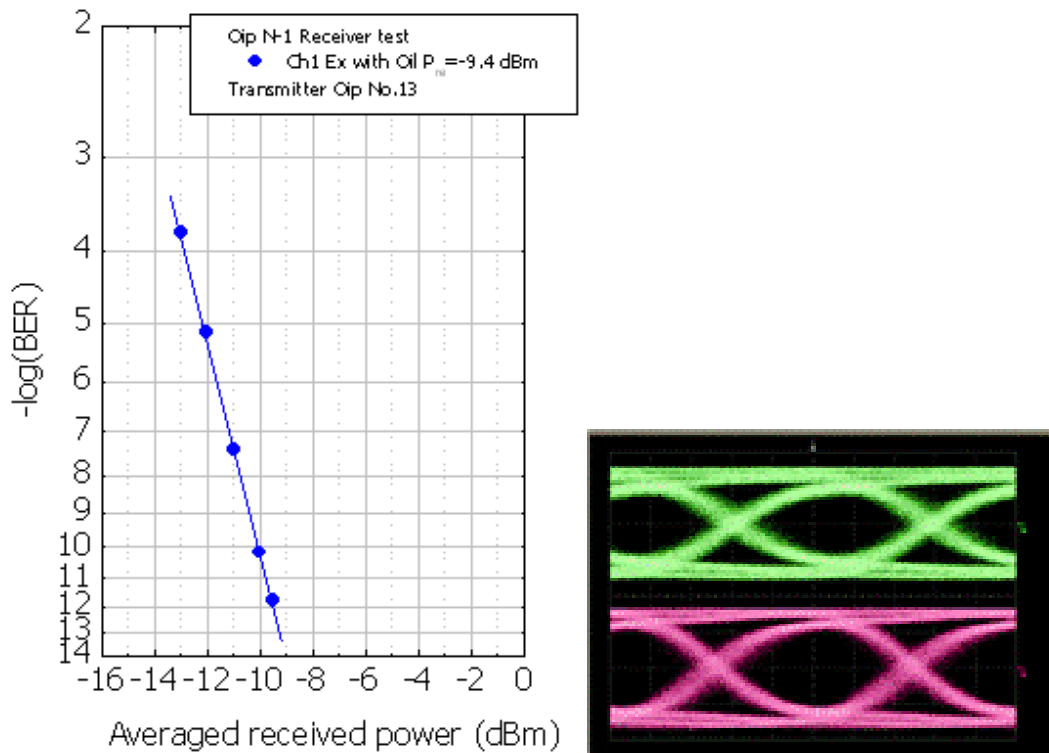


図 40. 受信感度特性と受信波形

一方、図41には送信側の送信特性測定系を示す。PPGよりPRBS 2^7-1 、10.3125Gbpsの電気

信号を発生させ、超小型光I/Oの送信側電気入力chに入力する。測定対象となるchから出力される光を光受信器(O/E)で受信して、送信波形（超小型光I/O出力光波形）を測定した(図42)。

これまでの測定結果より、我々の試作した光I/O構成は10Gbps送受対向動作が実現可能であることが示された。

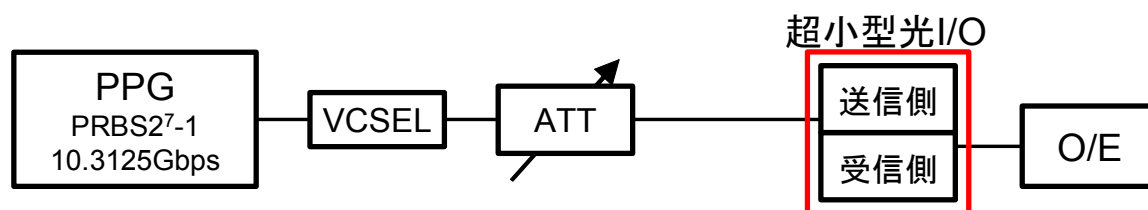


図 41. 超小型光 I/O 送信特性測定系

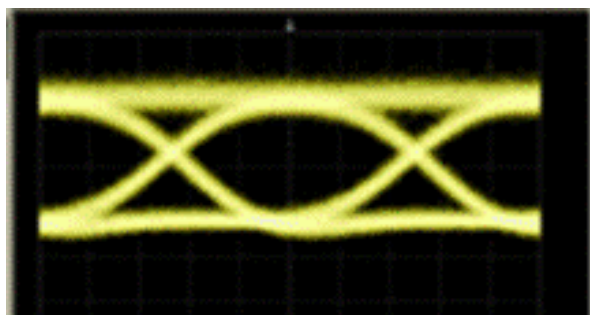


図 42. 超小型光 I/O 送信光波形

5-1-5 10Gbps/portクロスポイントスイッチLSIの動作実証

平成14年度において、0.13 μ m CMOSプロセスを用いて、10Gbps/portのクロスポイントスイッチLSIを試作し、スイッチング動作、および、I/O部動作確認用テスト回路について、その10Gbps動作を確認した。

平成15年度は、10Gbps/port光I/O内蔵型スイッチLSIモジュールの動作実証を最優先で進めるため、他社で新規に開発された10Gbps/port 20 \times 20クロスポイントスイッチLSIを適用して、機能見極めを行うこととした。光I/O内蔵型スイッチLSIモジュールの機能見極めを進めるべく、10Gbps/portクロスポイントスイッチLSIの動作確認を行うために試作した評価ボードを図43に示す。本評価ボードを用いて行った評価結果について、以下に説明する。

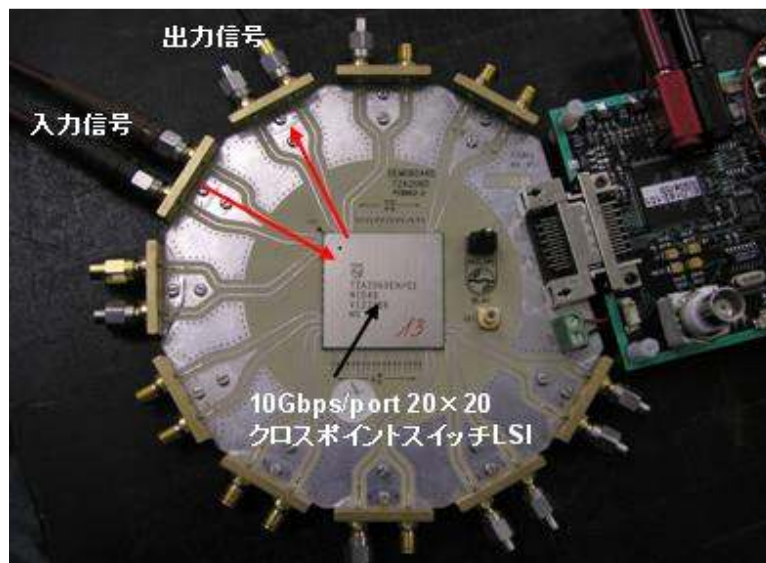


図43. 10Gbps/portクロスポイントスイッチLSI評価ボード外観

【基本動作確認】

本スイッチLSIの20ポートの入出力ポートの出力波形を観測した。一例として、IN00からOUT18への信号パスにおける入信号波形を図44に示す。信号パターンはPRBS2²³-1、信号速度は9.953Gbps, 10.7Gbps, 12.5Gbpsの3段階に変化させた。12.5Gbpsでもアイ開口を確認でき、光I/O内蔵スイッチLSIモジュールでの適用速度の10.3125Gbpsでは、良好なアイ開口が得られることを確認した。

【スイッチング動作、クロストーク確認】

次に、スイッチング動作の確認を行った。図45に示すパスに対しても、図46に示すようにアイ開口が確認でき、スイッチングできていることを確認した。

また、各ポート間のクロストークの確認として、図45に示すように、IN01 \rightarrow OUT00のパスが確立している状態で、端子IN01に信号を入力した場合としない場合の端子OUT18出力を比較した。結果を図47に示す。端子IN01に信号を入力した場合には、端子OUT18出力波形に

クロストークが重畳しているが、信号振幅100mVppに比べて十分小さく、問題ないレベルと考えられる。

【BER特性】

図48に示す測定形において、クロスポイントスイッチLSI出力信号のBER (Bit Error Rate)を測定した。結果を表3に示す。PRBS 2^7-1 では、12.5Gbpsまでエラーフリーが得られた (BER < 10^{-12} でエラーフリーと定義)。

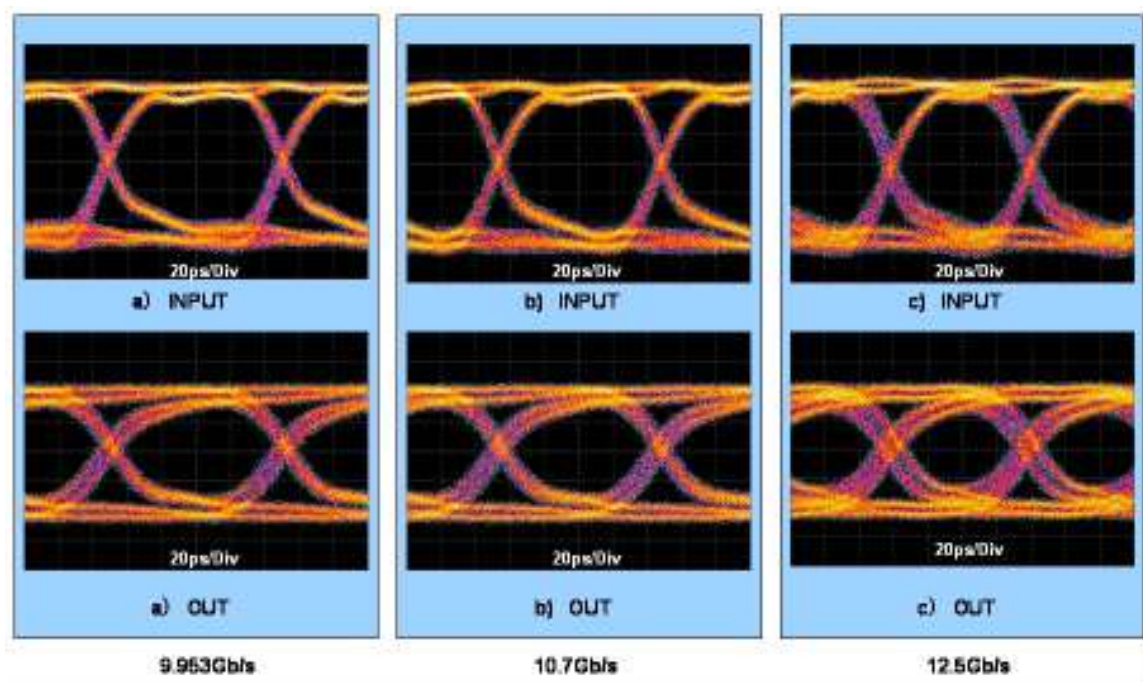


図44. 10Gbps/portクロスポイントスイッチ入出力波形

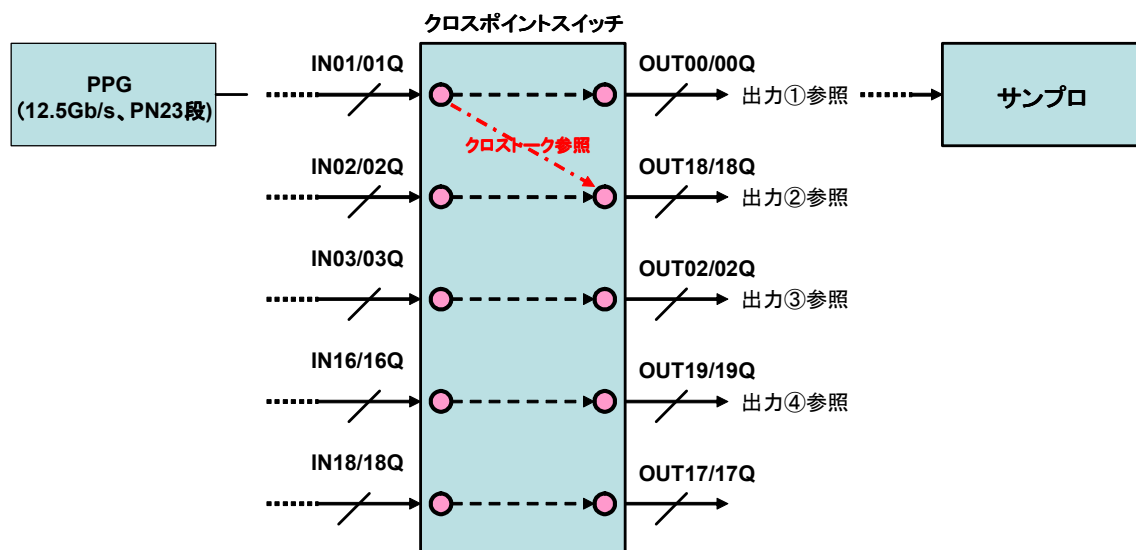


図45. 10Gbps/portクロスポイントスイッチ入出力パス

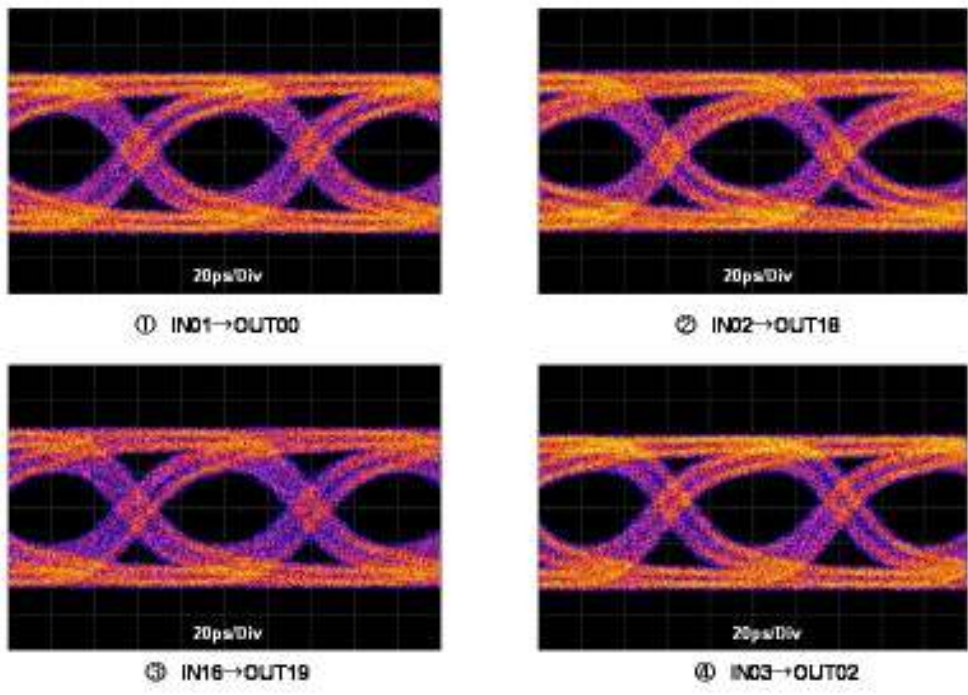
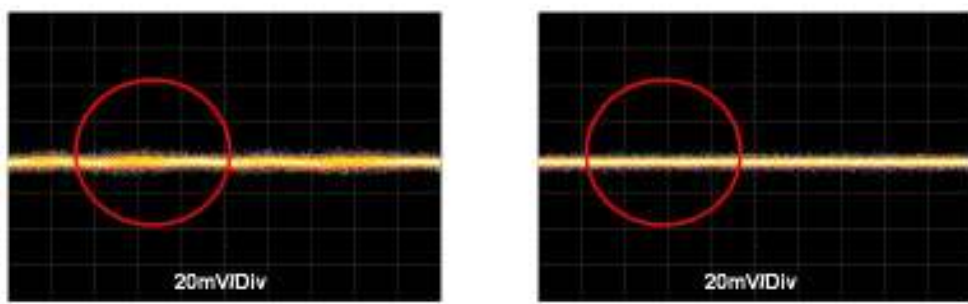


図46. スwitching動作波形



(a) IN01信号入力時

(b) IN01信号無入力時

図47. クロストーク

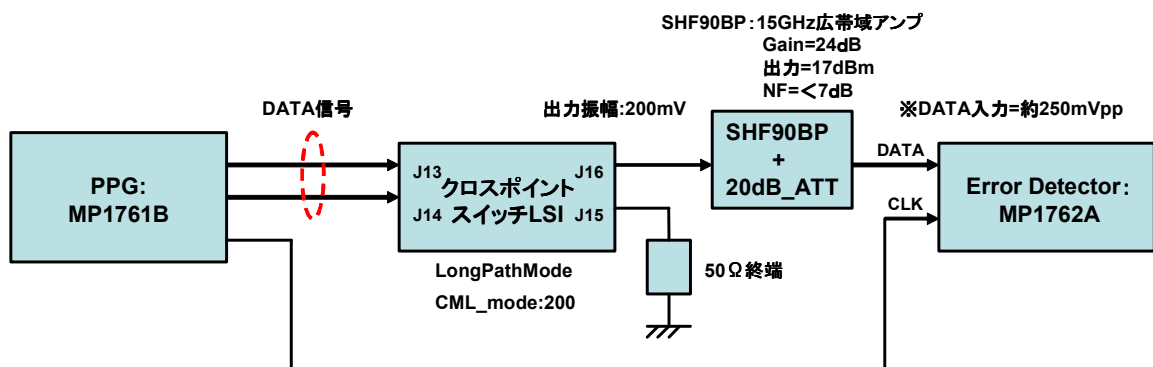


図48. BER測定系

表3. BER測定結果

PN段数 Bit rate[b/s]	PRBS2 ⁷ -1	PRBS2 ¹⁵ -1	PRBS2 ²³ -1
10.0G	○	○	○
11.0G	○	○	○
11.5G	○	○	7.5 × 10 ⁻¹¹
12.0G	○	1.2 × 10 ⁻⁷	4.0 × 10 ⁻⁶
12.5G	○	1.1 × 10 ⁻⁴	1.4 × 10 ⁻⁴

(○はErrorFreeを意味する。また1 × 10⁻¹²以下でErrorFreeと定義。)

以上の結果より、10Gbps/port 20×20クロスポイントスイッチLSIの基本動作を確認でき、光I/O内蔵型スイッチLSIモジュールへの適用可能性を示した。

5-1-6 まとめ

平成15年度は、10Gbps/portの多ch光I/O内蔵型スイッチLSIモジュールを実現するため、超小型光I/Oの10Gbps動作を検証するとともに、その低コスト化改造設計・動作確認を行った。また、スイッチLSIとして、クロスポイントスイッチLSIの動作実証を行った。具体的には以下の通りである。

- 1) 平成14年度に試作した、従来サイズ比1/10以下（10mm×11mm）の低コスト超小型光I/Oについて、10Gbpsの光送受信動作を検証した。
- 2) 1)の超小型光I/Oに対して、量産化に対応すべく、さらなる低コスト化改造設計を行い、10Gbps動作を確認した。
- 3) 10Gbps/portクロスポイントスイッチLSIにおいて、LSI単体での10Gbps/port動作を確認し、評価ボード上での10Gbps信号伝送を実証した。

平成16年度は、平成15年度までに得られたこれらの成果をもとに、光I/O内蔵型スイッチLSIモジュールを試作し、10Gbps/port動作を実証する。

5-2 1.3 μ m帯多波長VCSELの研究開発

5-2-1 1.3 μ m帯多波長VCSEL

1.3 μ m帯VCSELを用いたCWDM (Coarse Wavelength Division Multiplexing:低密度波長分割多重) 伝送システムでは、異なる波長の光を合分波して伝送を行う。このときの波長間隔は約20nmが一般的であり、4波のCWDMでは光ファイバの零屈折率分散波長である1.310 μ mを中心に例えば1.280 μ m、1.300 μ m、1.320 μ m、1.340 μ mの4波長のVCSELが必要であり、技術的には発振波長1.35 μ mまでの長波化、と異なる波長を制御性良く製造する技術を確立することが必須である。

従来、開発が進められている10ギガビットイーサネット用1.3 μ m帯VCSELは、波長1.27 μ m-1.30 μ m程度であり、実用レベルの特性が得られつつあるが、CWDMに必要な1.30 μ m以上の長波長域では、結晶品質が急速に劣化し、まだ実用化に十分な素子特性が得られていなかった。そこで、平成14年度は、窒素組成が従来よりも大きいGaInNAs活性層の高品質化を行い、発振波長1.34 μ mにおいて、室温での低閾値VCSEL発振を実現した。よって、CWDMに必要な波長帯域を確保することが可能となった。

今年度は、このGaInNAs活性層を用いたVCSEL素子において、システム要求を満たすデバイス特性を実現するための技術開発を行った。まず変調特性としては、CWDMで40~100Gbpsのトータルスループットを得るためには、チャンネル当たり10Gb/sで動作することが必要である。また、光出力としては伝送パワーバジェットを見積もると、約1.5mWのシングルモード出力が要求される。そこで今年度は、チャンネル当たり必要な10Gb/sの高速変調技術、及びCWDM伝送システムで必須となるシングルモードの高出力化技術を開発した。また、CWDM用VCSELとして1.280 μ mから1.340 μ mまでの多波長VCSELアレイ作製に関し、モノリシックアレイとハイブリッドアレイの技術見極めを行った。具体的には以下の通りである。

- 1) 10Gb/s高速変調動作実現の為に構造設計を行い、GaInNAs活性層を用いた波長1.275 μ mの素子において、10Gb/s変調動作を実現し、10Gbイーサネットマスクを満たす良好なアイ開口を確認した。
- 2) CWDMで必須となる高出力シングルモード化に向け、高次モード抑制構造（長共振器構造、モードフィルタ構造）の素子を設計試作し、InGaAs活性層を用いたVCSELにおいて従来比2倍以上の高出力化を実現した。
- 3) CWDM用VCSELとして1.280 μ mから1.340 μ mまでの多波長VCSELのアレイ化技術としてモノリシック型とハイブリッド型を検討した結果、現状ではハイブリッド型の方が有利であると判断した。

以下に、その詳細を説明する。

5-2-2 長波長VCSELの高速変調

まず、GaInNAs長波長VCSELの10Gb/s高速変調動作について述べる。GaInNAs材料においては、伝導帯バンド不連続エネルギーが大きいいため、利得が通常材料よりも高いことが知られている。よって、10Gb/s変調動作時に帯域を制限する要因となるのは主にデバイス素子構造に起因する寄生容量であるため、この観点から素子構造の設計を行った。

VCSELでは通常の端面発光レーザに比べ発光径が小さく、更に電気抵抗の高い半導体多層膜DBRを用いる必要があるために、素子抵抗が100Ω以上と高くなってしまふ。よって寄生容量を低減するためには、主に酸化狭窄層及び電極パッドに起因する静電容量を下げるのが重要である。

そこで、まず素子抵抗、及び酸化狭窄層に起因する静電容量、電極パッドに起因する静電容量によるCR時定数を見積もった。等価回路としては、文献[4]等で用いられている構造を参考とした。図49に、今回採用したポリイミド埋込酸化狭窄型VCSELの構造を示す。メサをポリイミドで埋め込み、電極パッドの容量を下げる構造となっている。このようなVCSEL構造において、酸化狭窄層の静電容量は、メサ径、酸化狭窄開口径、及び酸化狭窄層の膜厚に依存する。酸化狭窄開口径は、通常構造では素子特性の要請から約3~5μmφの範囲となる。これにより素子抵抗も影響されるが、ここでは最も高い場合を想定して300・とした。また、酸化狭窄層の膜厚に関しては、厚くすると静電容量が低減可能であるが、酸化前後の体積変化が大きく歪などの影響が懸念されるため、信頼性の観点からはあまり厚くすることは好ましくない。そこで、ここではAlAs層厚40nmと設定し、CR時定数を見積もった。得ら

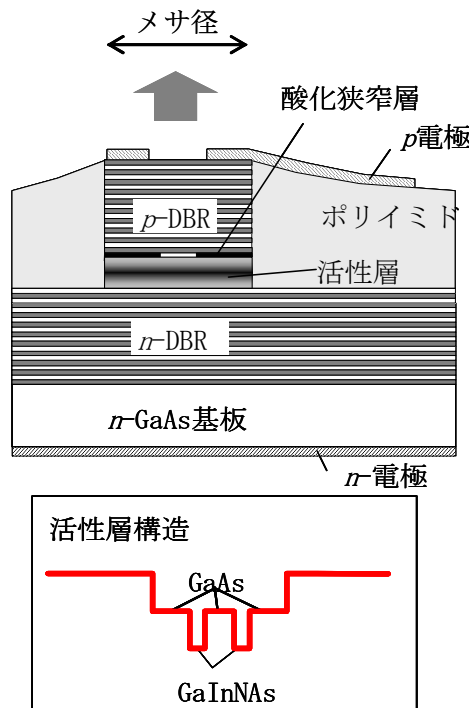


図49. ポリイミド埋込VCSEL構造

れたCR時定数のメサ径依存性を図50に示す。メサ径を大きくしていくと、十分なCR時定数が得られなくなってしまうが、放熱特性・素子抵抗などの観点からはあまり小さ過ぎることは望ましくない。よって、ここではメサ径を $20\mu\text{m}\phi$ と従来よりも小さめに設定した。この時のCR時定数は、素子抵抗が $300\cdot$ の場合約11GHz、 $200\cdot$ では15.7GHzと見積もられ、10Gb/s動作に十分な値と考えられる。これに基づいて、GaInNAs二重量子井戸活性層を用いて、酸化狭径が約 $5\cdot\mu\text{m}\phi$ の $1.27\cdot\mu\text{m}$ 帯のVCSEL素子を試作し、特性評価を行った。

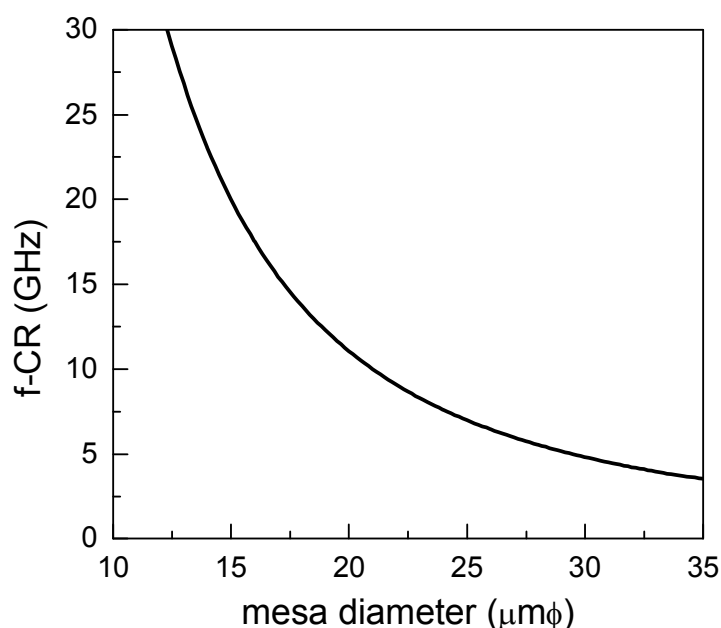


図50. CR時定数のメサ直径依存性

まず本素子の静特性評価を行った。図51に、室温におけるI-L特性及びI-V特性を示す。発振閾値は $I_{th}=0.5\text{mA}$ と、この波長帯のVCSELとしては非常に低い閾値が得られている。スロープ効率は $S_d=0.20\text{W/A}$ 、最大光出力は $P_{max}=0.7\text{mW}$ であった。

図52に、本素子の5mA注入時の発振スペクトルを示す。波長は $1.275\cdot\mu\text{m}$ 、サイドモード抑圧比は42.7dBと、良好なシングルモード特性が得られている。

次に、本素子の温度特性について評価を行った。図53に、I-L特性の温度依存性を示す。図53によると、 80°C における閾値は $I_{th}=0.8\text{mA}$ と、高温でも1mA以下の閾値が得られていることが分かる。図54に、閾値及びスロープ効率の温度依存性を示す。室温- 80°C における特性温度は92Kと見積もられ、 100°C 以上でもCW発振が確認されており、良好な温度特性が確認された。

次に、本素子をチップキャリア上に実装し、高速変調特性の評価を行った。

次に、図55に、室温における周波数応答特性を示す。最大3dB帯域は、バイアス電流4mA注入時に9.0GHzが得られた。これをフィッティングして得られたCR時定数は約11GHzと、ほぼ計算によるCR時定数と一致している。よって10Gb/s動作に問題ない素子構造が実現できていることが確認された。

図56に、緩和振動周波数 f_r とバイアス電流値の関係を示す。変調電流効率 Δf_r は、5.6GHz/ $\sqrt{\text{mA}}$ であった。高注入時の直線からのずれは、主として熱飽和に起因するものと考えられる。

図57に、バイアス電流3.5mA注入時の、10Gb/s変調波形を示す。10Gbイーサネットマスク条件を満たす良好なアイ開口が得られており、GaInNAs活性層を用いたVCSEL構造において、10Gb/s変調動作が可能であることが確認された。

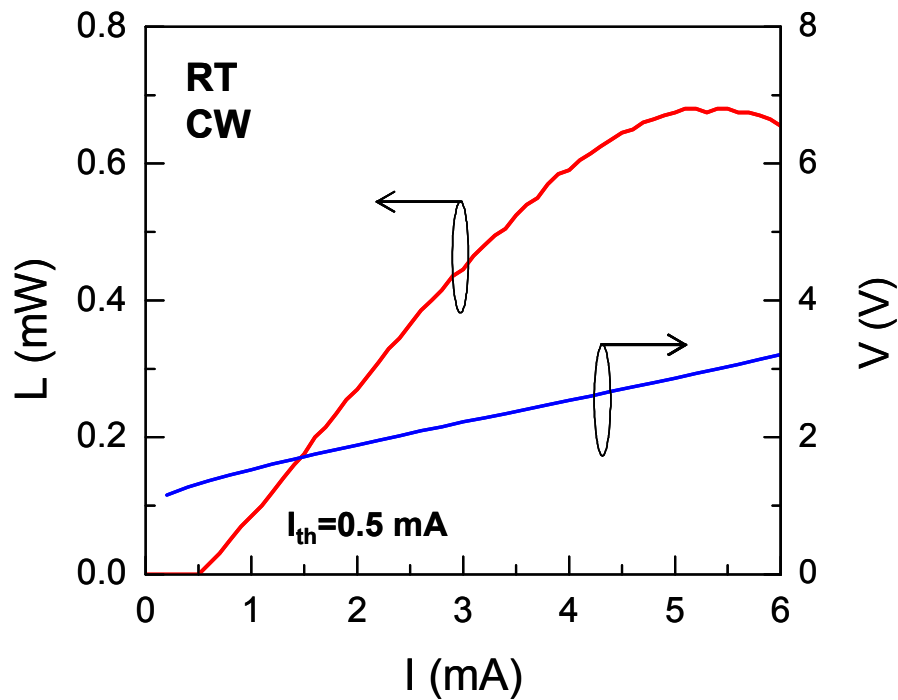


図51. GaInNAs-VCSELのI-L、I-V特性

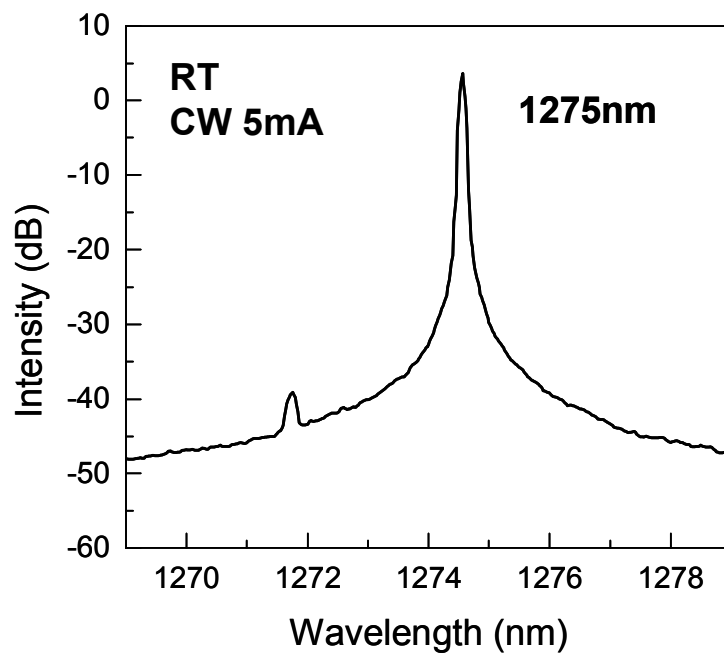


図52. GaInNAs-VCSELの発振スペクトル

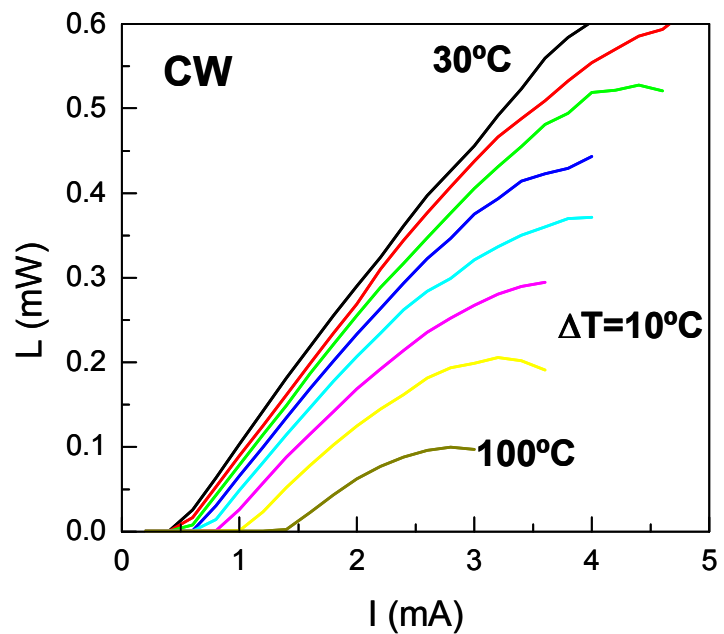


図53. GaInNAs-VCSELの温度特性

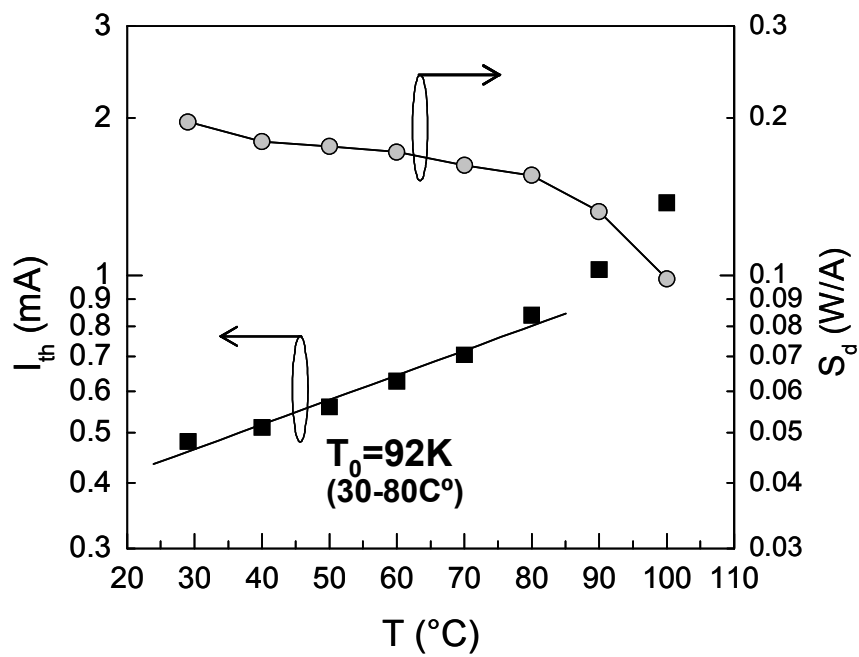


図54. 発振閾値とスロープ効率の温度依存性

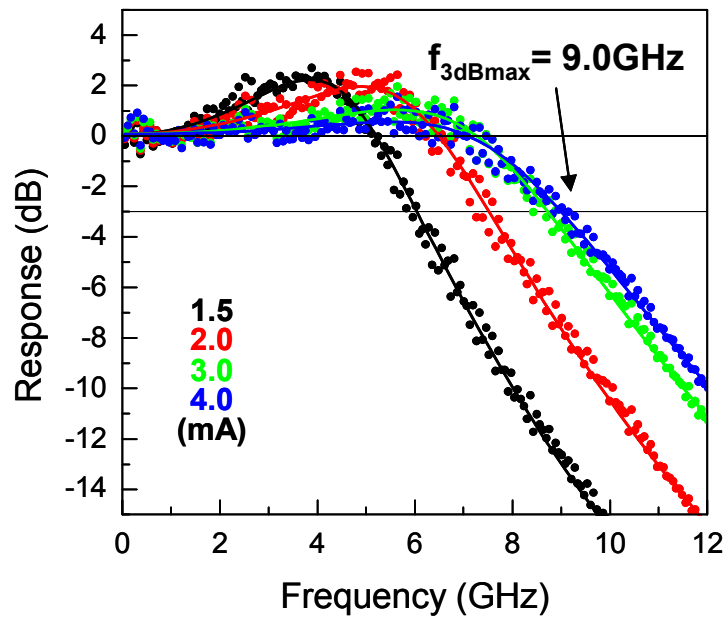


図55. GaInNAs-VCSELの周波数応答特性

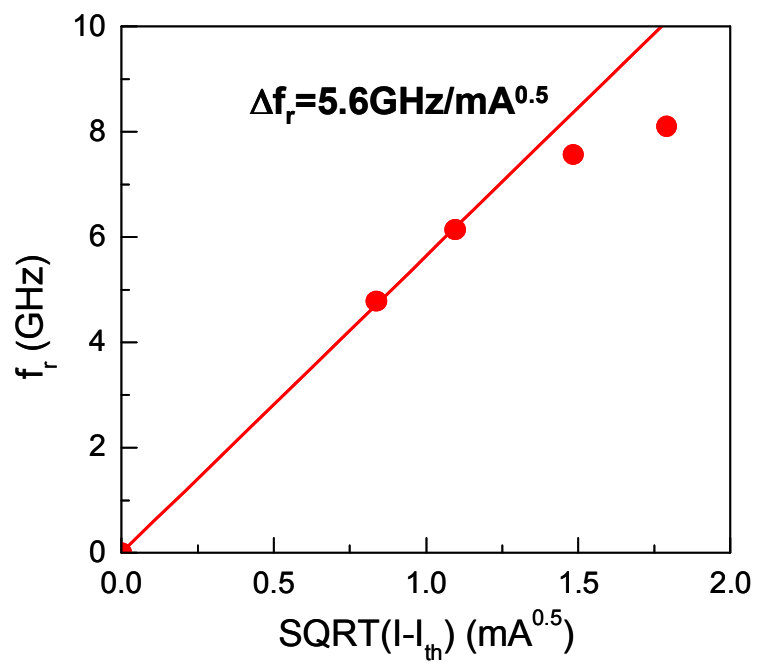


図56. 緩和振動周波数の注入電流依存性

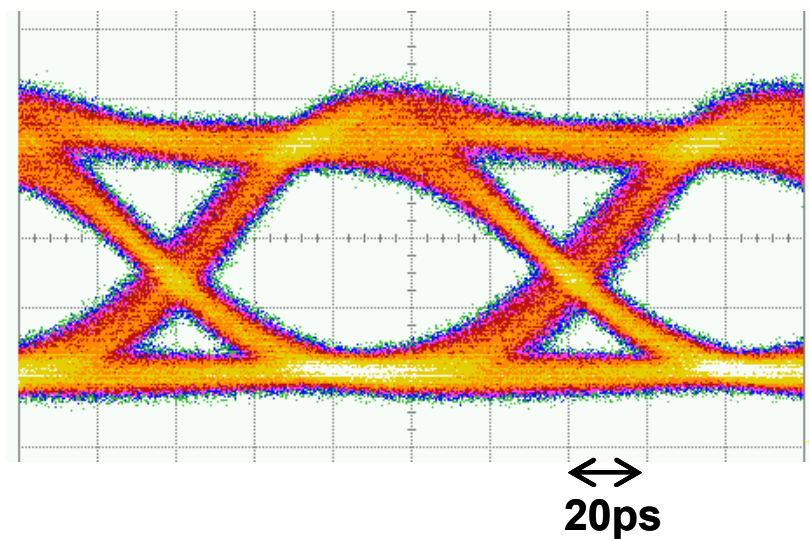


図57. GaInNAs-VCSELの10Gb/sアイパターン

5-2-3 単一モード高出力化

次に、高出力化について述べる。VCSEL素子をCWDM伝送システムに用いるには、パワーバジェットを見積もると約1.5mWの単一モード出力が要求される。一般に、VCSELではDFB-LDに比べ高出力を得ることが困難であるが、その理由は次の通りである。VCSELでは、低注入時には基本モードで発振するが、注入電流を増すと共に高次横モードの利得が大きくなり多モード発振になってしまう。このような多モード発振を防ぐためには、予め酸化 狭窄径を基本モードのみが存在しうる大きさ（ $\sim 5\mu\text{m}$ ϕ 程度）にしておけば良い。しかし、このように酸化狭窄径を狭めると、素子抵抗及び熱抵抗の増大により素子の発熱による温度上昇を招き、最大出力が制限されてしまう。図58にこの様子を示す。図58(1)は、簡単なモデルにおいて

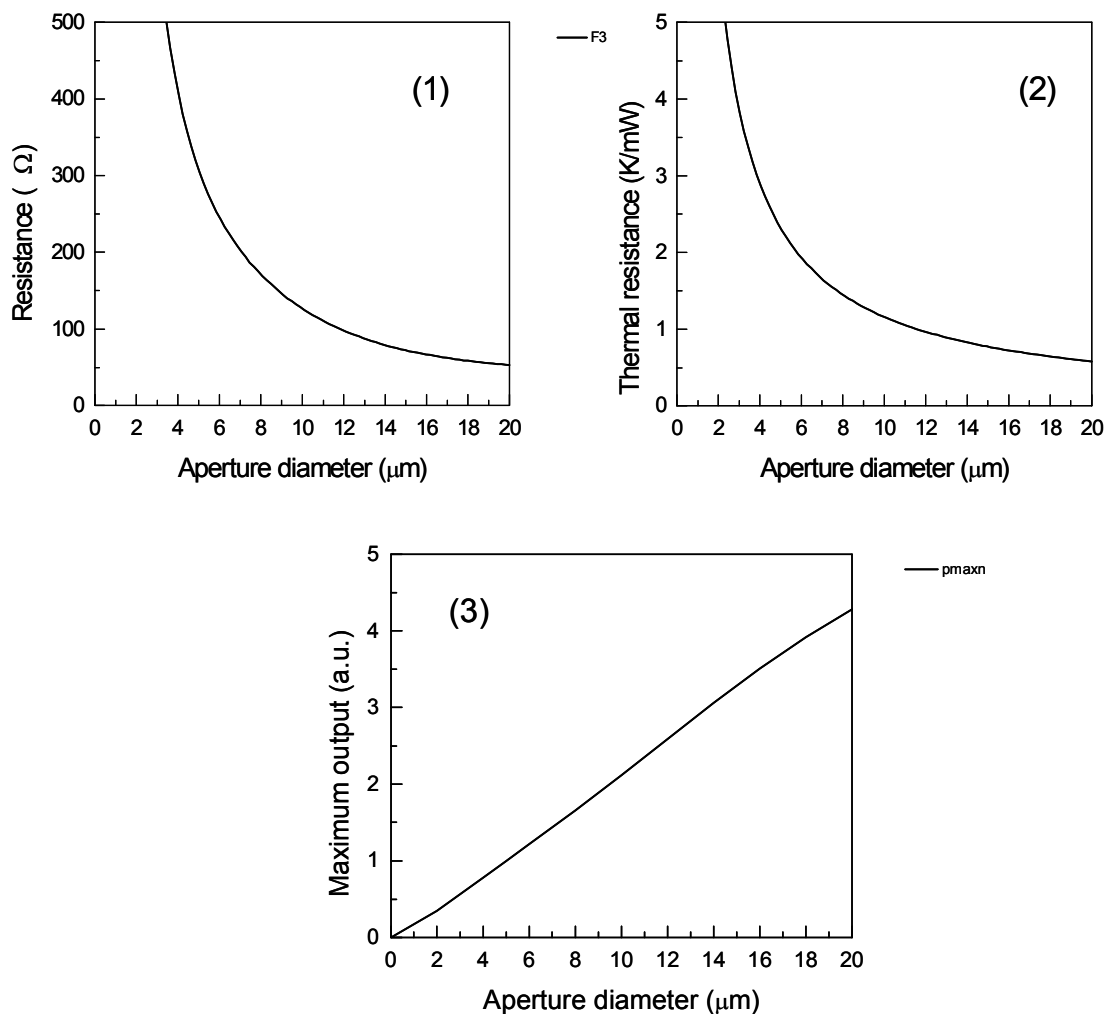


図58. VCSEL特性の酸化狭窄径依存性
(1)素子抵抗 (2)熱抵抗 (3)最大光出力

得られる、素子抵抗及び熱抵抗の酸化狭窄開口径依存性を示している。これによると、素子抵抗・熱抵抗共に単一モードが得られる領域での影響は非常に大きい。図58(2)は(1)の結果に基づいて最大出力を見積もったものである。これによると、出力を改善するためには酸化狭窄径を大きくすることが有効であり、酸化狭窄開口大きくした上で高次モードの発振を抑制すれば十分な単一モード出力が得られることが分かる。高次モードの発振を抑制するためには、高次モードに対して共振器損失を選択的に大きくするような構造上の設計を施せば良いと考えられる。また、酸化狭窄開口径を大きくすることにより、同一出力時の電流密度が低減するため、素子信頼性についても有利になることが知られている。

5-2-3-1 長共振器構造

このような構造の例としてまず、共振器部の膜厚を従来の1波長厚から厚くしていく長共振器構造について検討を行った。長共振器構造においては、導波構造を持たない共振器部を厚くして高次モードの放射損失を選択的に高め、基本モードと高次モードの選択比を向上させる構造となっている。また、この構造では、VCSELの放射角を非常に狭くすることが可能であるため、ファイバとの結合効率を上げることが可能となる。

VCSELの有効屈折率モデル [5]を用いて、共振器長を従来よりも長くした場合に、横モードが単一モードとなるカットオフ条件を満たす酸化狭窄開口径がどのように変化する

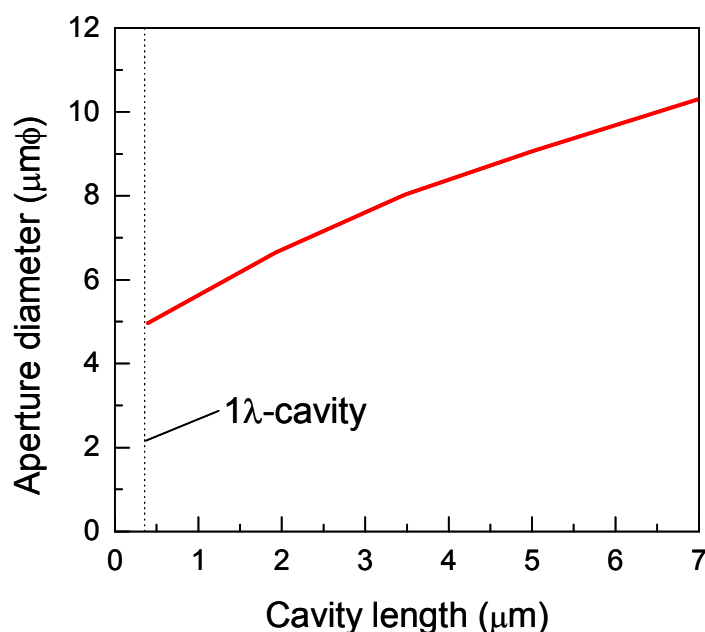


図59. 単一モードカットオフ酸化開口径の共振器長依存性

かを見積もった計算結果を図59に示す。酸化狭窄層の膜厚は40nmと固定し、発振波長は1.3 μm とした。これによると、共振器長を厚くしていくとその開口径が大きくなり、図58の結果と合わせ、高出力化に有利であることが分かる。但し、共振器長を厚くすると共に縦モード間隔が狭くなる為、これによるモードホッピングが起こらないように波長設定を行う必要がある。このような点に基づいて設計を行い、実際に共振器長を約4.6 μm 厚と設定したデバイス試作を行った。この場合、通常用いる1 λ 長共振器では、酸化狭窄開口径を約4.8 μm ϕ 以下にしなければならないのに対し、共振器長を4.6 μm 厚にした素子では約8.9 μm ϕ まで拡大することが可能と見積もられる。但し、ここではGaInNAs活性層と同様の特性を有すると考えられる、In組成が同程度のInGaAs活性層を用いて試作を行った。その場合、発振波長が短波長となるためカットオフ径は、若干小さくなる。

今回、試作を行った、通常のVCSEL構造及び長共振器VCSEL構造の模式図を図60に示す。共振器部の膜厚は、通常構造では1 λ 長とし、共振器中央の光強度のピーク位置に活性層を配置している。一方、長共振器構造では、共振器膜厚を約4.6 μm と厚くして最上部の光強度ピーク位置に活性層を配置した構造となっており、横方向の実屈折率による光閉じこめには活性層直上の酸化狭窄層のみが寄与しているため、長共振器内では高次モードの放射損失が選択的に高まる構造となっている。長共振器部は、吸収損失の影響を最小限とするため、低ドーピングのn型GaAs層で形成した。

まず、同じ酸化狭窄開口径の素子のモード特性を比較し、高次モード抑制効果を調べた。図61に、酸化狭窄開口径約6 μm ϕ の素子の通常構造と長共振器構造のI-L特性及びI-V特性を示す。両方の素子において、発振直後のスロープ効率ほぼ同じ0.22W/Aであった。このことから、共振器増加分を構成するGaAs層における光吸収損失は無視できる値であることが分かる。

長共振器構造では、活性層直下にDBR多層膜よりも熱抵抗の低い、厚いGaAs層が設けられているため、活性層からの発熱が基板側へ逃げやすい構造となっており、放熱特性の

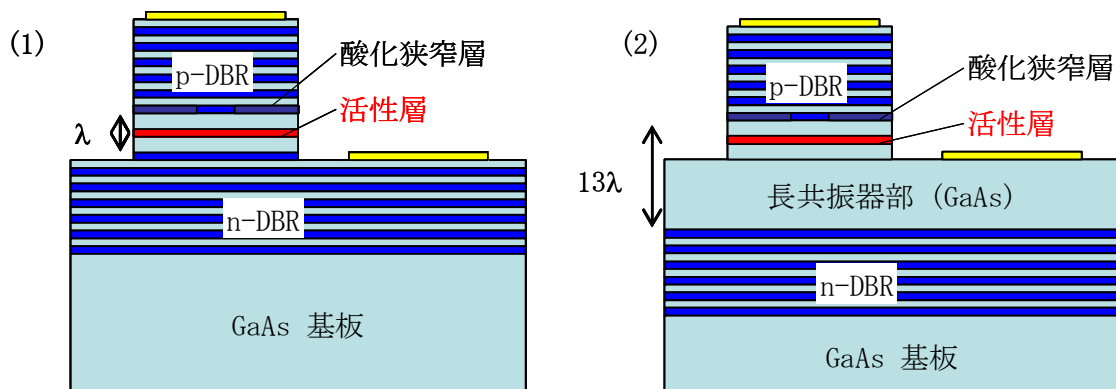


図60. 酸化狭窄型VCSEL構造
(1)通常構造 (2)長共振器構造

改善が期待される。図61のI-L特性を比較すると、ほぼ同じ開口径であるにも関わらず長共振器構造の方が熱飽和が抑制されている。微分抵抗は通常構造、長共振器構造共に約 $250 \cdot \Omega$ であった。微分抵抗への寄与の大部分は酸化狭窄層を含むp-DBRであるため、両構造

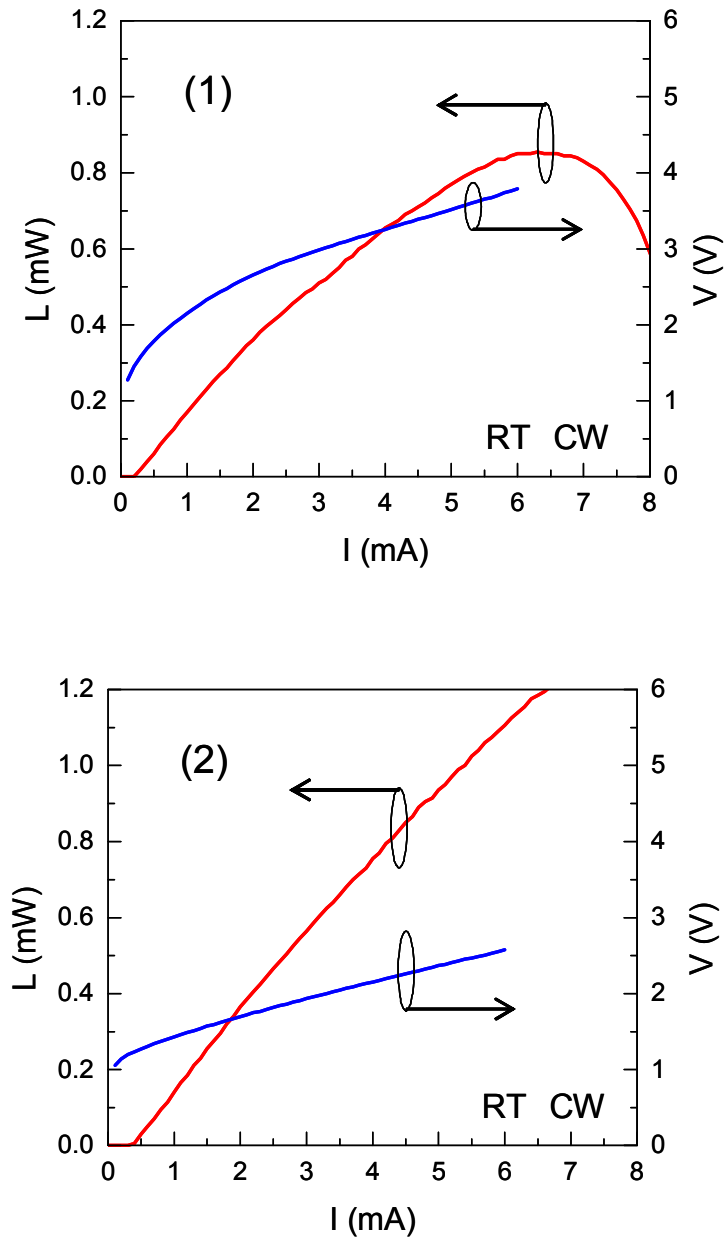


図61. 酸化開口径約 $6\mu\text{m}$ ϕ の素子のI-L、I-V特性
 (1)通常構造 (2)長共振器構造

において微分抵抗値の差は基本的には生じない。よって、図61における、I-L特性の熱飽和傾向の相違は、実際に熱抵抗の差になっていると考えられる。そこで、放熱特性の改善を見積もるために、発振波長の注入電流依存性を測定した。図62に、投入電力に対する発振波長のシフト量を示す。発振波長のシフト量は、通常構造で0.21nm/mWであるのに対し、長共振器構造では0.098nm/mWと非常に小さい。これは、熱抵抗低減効果と共に、長共振器構造では厚い共振器層内での放熱により層方向で温度分布があることが影響していると考えられる。そこで、最も簡単なモデルとして6 μm ϕ 径の活性層における発熱が45°の角度で基板側へ広がるとして仮定して温度勾配を見積もると、共振器層全体の温度上昇の平均は、長共振器構造では通常構造の約0.65倍となる。よってこれを用いて求めた素子の熱抵抗値は、通常構造では2.89K/mWであるのに対し、長共振器構造では1.77K/mWとなり、約40%の熱抵抗低減効果が得られていることとなる。実際の熱分布においては、メサ方向への熱拡散や、DBR部分でのジュール発熱などの影響も無視できないと考えられるが、I-L特性の熱飽和抑制効果を説明するにはおおよそ妥当な値である。

次に、実際に単一モード動作する場合の素子特性について、通常構造と長共振器構造との場合を比較した。図63に通常構造の約4 μm ϕ 開口径の素子及び、長共振器構造の約9 μm ϕ 開口径の素子のI-L特性を示す。図63に示す通り、従来構造では最大出力が約0.8mW

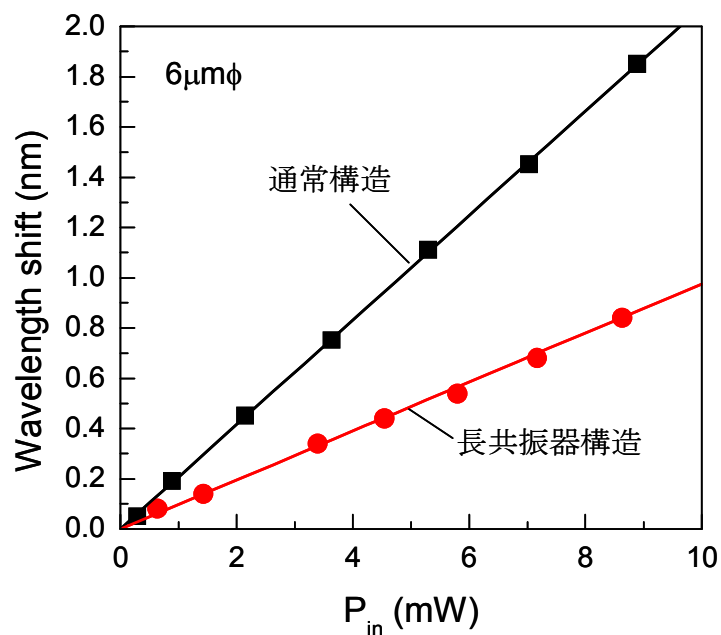


図62. 投入電力に対する発振波長のシフト
 (1)通常構造 (2)長共振器構造

であるのに対し、長共振器構造では2mW以上の高出力が得られている。よって、長共振器構造においては、酸化狭窄開口径を拡大できることに加え、約40%程度の熱抵抗低減効果があり、従来比2倍以上の高出力化の効果が確認された。また、この時の微分抵抗は、通常構造では380 \cdot であったのが長共振器構造では160 \cdot であり、素子抵抗についても1/2以下に低減できることを確認した。

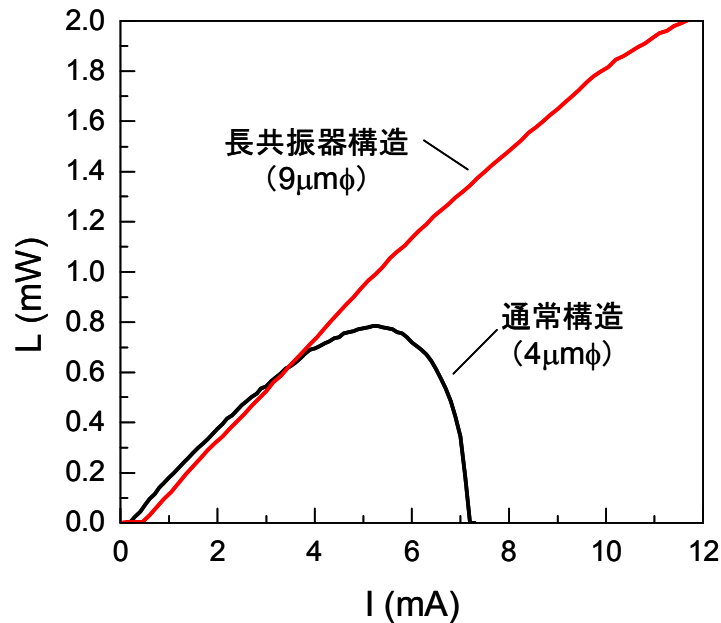


図63. 単一モードVCSELのI-L特性

5-2-3-2 モードフィルタ構造

高次モードを抑制するもう一つの方法として、図64に示すようなモードフィルタ構造の検討を行った。このようなVCSEL構造では、基本モードは径の中心部に、高次モードは径のより外側に強い光強度分布を持つという性質がある。よって、例えば図64における領域AのDBR反射率を高く保ち、領域BのDBR反射率を下げることによって、基本モードと高次モードとの間に共振器損失差をつけることが可能と考えられる。

まず始めに、このようなモードフィルタ構造における高次モードの抑制効果を見積もる為に、酸化狭窄型VCSELの横モード特性について検討を行った。酸化狭窄型VCSELでは、活性層直上のAl(Ga)As層を選択的に酸化させ電流狭窄層としているが、Al(Ga)As層は酸化することによって絶縁化し屈折率が1.6程度と、非酸化領域の屈折率と比較して大きく低減する。よってAlGaAs酸化層は、電流狭窄層として機能するだけでなく、光を閉じこ

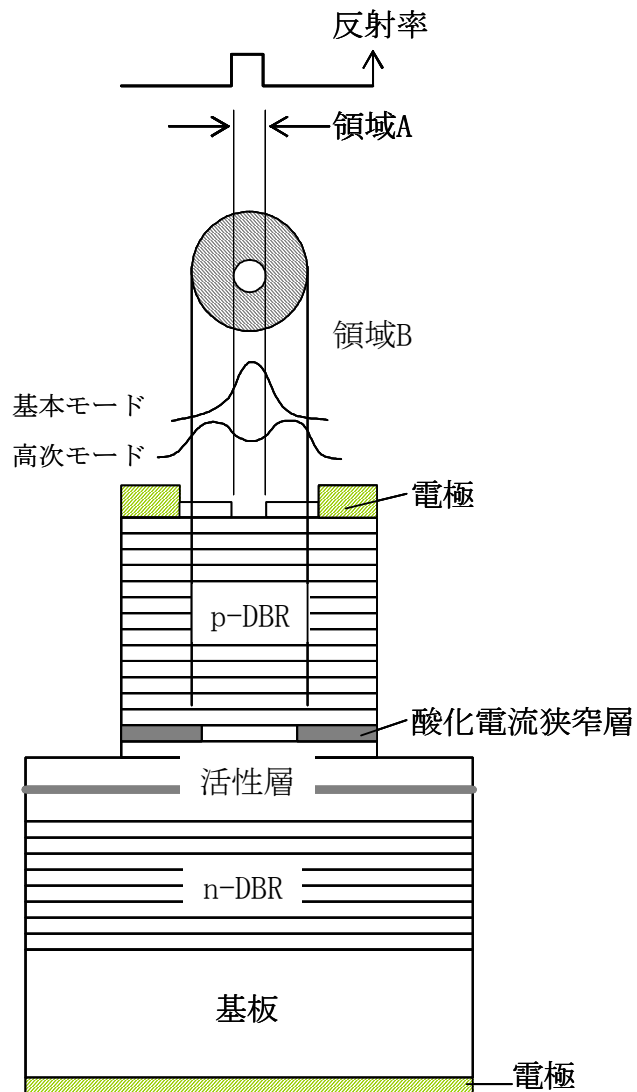


図64. モードフィルタ付き酸化狭窄型VCSEL構造

める作用も併せ持つ。

このような酸化狭窄型VCSELにおけるモード特性について、有効屈折率を用いたモデルが提案されている。このモデルにおいては、酸化狭窄開口内部の有効屈折率を n とすると、酸化狭窄開口内部と外部との有効屈折率差 Δn は、酸化狭窄開口内部の共振ピーク波長 λ_0 及び内部と外部の共振ピーク波長差 $\Delta\lambda_0$ を用いて次式で表される [5]。

$$\frac{\Delta n}{n} = \frac{\Delta\lambda_0}{\lambda_0}$$

これにより酸化狭窄開口の内部及び外部との有効屈折率差よりステップ屈折率型光ファイバと同様の導波路を仮定すると、各モードの光強度分布をベッセル関数により表すこ

とができる。

この方法を用いて計算された、酸化狭窄型VCSEL構造における各モードの光強度分布（ r 方向）を図65(1)(2)(3)に示す。ここで酸化狭窄層の厚みを40nmとすると、有効屈折率差は約0.008と見積もられる。図65(1)(2)(3)は、各々酸化狭窄開口径を $3.5\mu\text{m}\phi$ 、 $5\mu\text{m}\phi$ 、 $8\mu\text{m}\phi$ とした場合を示しており、点線が酸化狭窄開口の界面を示している。(1)に示す開口径 $3.5\mu\text{m}\phi$ の場合は、基本モードしか存在することができず導波路的には単一モードとなっている。(2)に示す、開口径 $5\mu\text{m}\phi$ の場合には、基本LP01モードの他に、高次のLP11モードが存在する。LP11モードは、 r 方向において比較的の外側に大きい光強度分布を持っているため、図64に示したようなモードフィルタリング構造により、基本モード

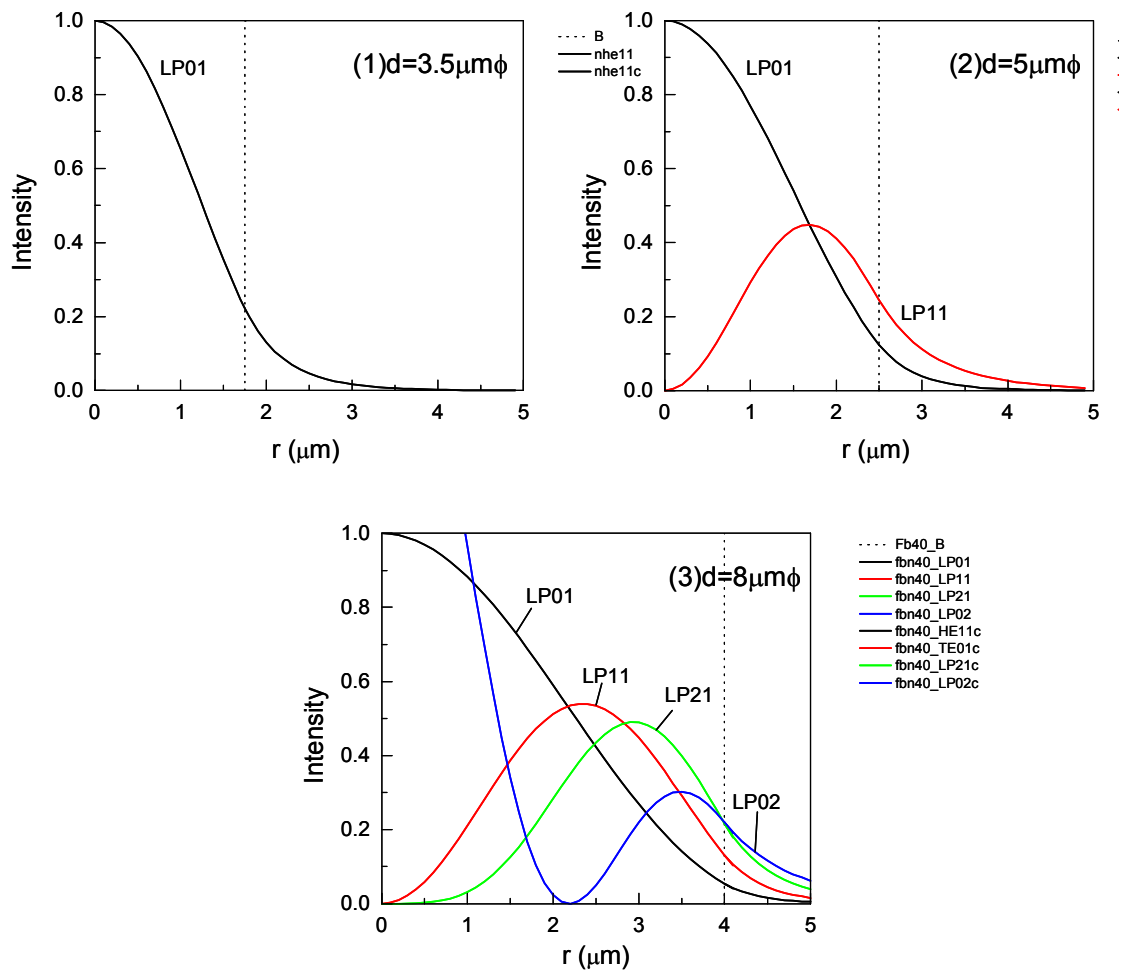


図65. 酸化狭窄型VCSEL構造における各モードの r 方向光強度分布
酸化開口径(1) $3.5\mu\text{m}\phi$ (2) $5\mu\text{m}\phi$ (3) $8\mu\text{m}\phi$

より大きい損失を与えることができる。但し、基本モードについても、低反射率のB領域にある程度光強度分布を持っているので、基本モードに対する損失が増加する効果についても考慮しなければならない。更に開口径を $8\mu\text{m}$ と大きくした場合の光強度分布を図65(3)に示す。この場合は、LP11モードに加え、更にLP21モード及びLP02モードが存在することが分かる。LP21モードについては、モードフィルタによって選択的損失を与えることが可能であるが、LP02モードについては、r方向の中心部分にも大きい光強度分布を持つため、モードフィルタ構造が十分機能しなくなる可能性がある。よって、図64のようなモードフィルタ構造を用いる場合、ここでは酸化狭窄開口径を約 $7\mu\text{m}$ 以下にすることが望ましいと考えられる。図64(2)によると、開口径を $7\mu\text{m}$ まで拡大することで十分に必要な出力は得られることが分かる。図66に、開口径に対する各モードの分散関係を示す。開口径を増していくと更に存在しうるモード数が増加していく様子が分かる。但し、ここで得られた結果は、AlAs酸化層による実屈折率のみを考慮したものであり、実際のデバイスにおいては、キャリアの空間的不均一、連続駆動時の発熱による屈折率増加の影響（熱レンズ効果）があることが考えられ、単一モード条件としてはより厳しくなることが予想される。

次に、ここで得られた光強度分布を用いて、基本モード及び高次モードに対する閾値利得を見積もり、高次モード抑制の選択性のモードフィルタ内径依存性を見積もった。

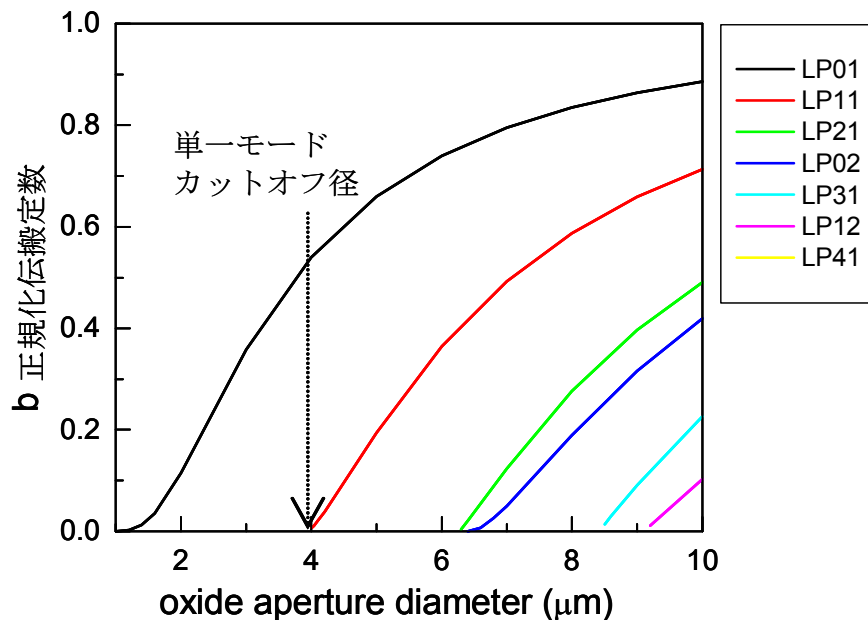


図66. 酸化狭窄VCSELにおける固有モードの開口径依存性

ここで考えているモードフィルタ構造では、図67中の模式図で示すように、中央の領域Aでは通常のVCSEL構造と同様Bragg条件が満たされ高反射率となっているが、外側の領域Bでは更に $\lambda/4$ 長 (0.5周期分) のモードフィルタ層を形成して反位相条件とし反射率を低下させている。ここで、領域Aの直径をモードフィルタ径と呼ぶこととする。図67(1)(2)は、このような構造において酸化狭窄開口径が(1)5 μm ϕ の場合、及び(2)8 μm ϕ の場合について、モードフィルタ径を変化させていった場合の、基本モード及び各高次モードの閾値利得の変化を示している。(1)に示す、開口径5 μm ϕ の場合には、モードフィルタ径=開口径である5 μm ϕ から、モードフィルタ径4 μm ϕ にすることで、基本モードと高次モードとの利得差を約1.4倍まで高めることが可能である。これ以上にモードフィルタ径を小さくしていくと、基本モードに対する損失が大きくなってしまふことが予想される。図67(2)に示す開口径8 μm ϕ の場合には、基本モードとLP11モードとの利得差はモードフィルタ径約4 μm ϕ で最大となるが、LP21モードとの利得差が小さくなってしまふ。LP11モード及びLP21モードの両方に選択比が最も大きくとれるのはモードフィルタ径約5 μm ϕ の場合であるが、この場合も利得差は開口径5 μm ϕ の場合と比較して小さく、また基本モードへの損失が大きくなってしまふ。基本モードへの損失が許容できる範囲では、基本モードとL11モードとの利得差が開口径5 μm ϕ の場合と比較して小さくなってしまふ。このことから、モードフィルタ構造はあまり大きい酸化開口径よりも、比較的小さい酸化開口径の方が適していることが予想される。

以上の結果をふまえて設計を行い、実際にモードフィルタ付きVCSEL構造を試作し、モード特性について調べた。ここではGaInNAs活性層と同様の特性を有すると考えられる、In組成が同程度のInGaAs活性層を用いて評価を行った。

図68に、酸化狭窄開口を約4 μm ϕ と一定とし、モードフィルタがない場合、及びモードフィルタ径を4.5 μm ϕ 、3.5 μm ϕ と変化させた場合のI-L特性の比較を示す。モードフィルタ径がない場合と比較して、モードフィルタ径4.5 μm ϕ ではI-L特性に殆ど変化は見られないが、3.5 μm ϕ では若干飽和傾向が強まっている。ただこの場合も発振閾値の上昇はほとんど見られず、全モードに対する損失上昇の影響は、それほど大きくないと考えられる。図69に、これらの素子のスペクトルの注入電流依存性を示す。(1)モードフィルタなしでは、2mA注入時で高次モード発振が起こりSMSRが20dBまで低下する。(2)モードフィルタ径4.5 μm ϕ では3mAから高次モード発振が見られ、高次モード抑制効果が見られている。更に(3)モードフィルタ径3.5 μm ϕ のた場合には、5mA注入時でも単一モード発振が得られており、基本モードへの損失が少なくかつ高次モードとの高い選択比が実現していることが分かる。このようにスペクトル観察より得られた、単一モードが保持されている最大出力を図68に●印でプロットした。これによると、モードフィルタがない場合には、単一モード最大出力は約0.5mWに留まっているが、モードフィルタ径を小さくしていくと、単一モード最大出力が上昇し、モードフィルタ径3.5 μm ϕ では2.2mWの飽和出力値

まで単一モードが保持されていることが分かる。この素子と同様の、モードフィルタがないVCSEL素子においては、飽和出力まで単一モードが保持されるためには、酸化狭窄開口径を約 $3.5\mu\text{m}\phi$ 以下にしなければならず、この場合の最大出力は約 0.8mW に留まっている。よって、モードフィルタ構造を取り入れることにより、2倍以上の単一モード最大出力改善効果が得られることが確認された。

同様にして、酸化狭窄開口径が約 $5.5\mu\text{m}\phi$ の場合の、I-L特性のモードフィルタ径依存性を図70に示す。●印は、単一モードが保持されている最大出力値を示している。この

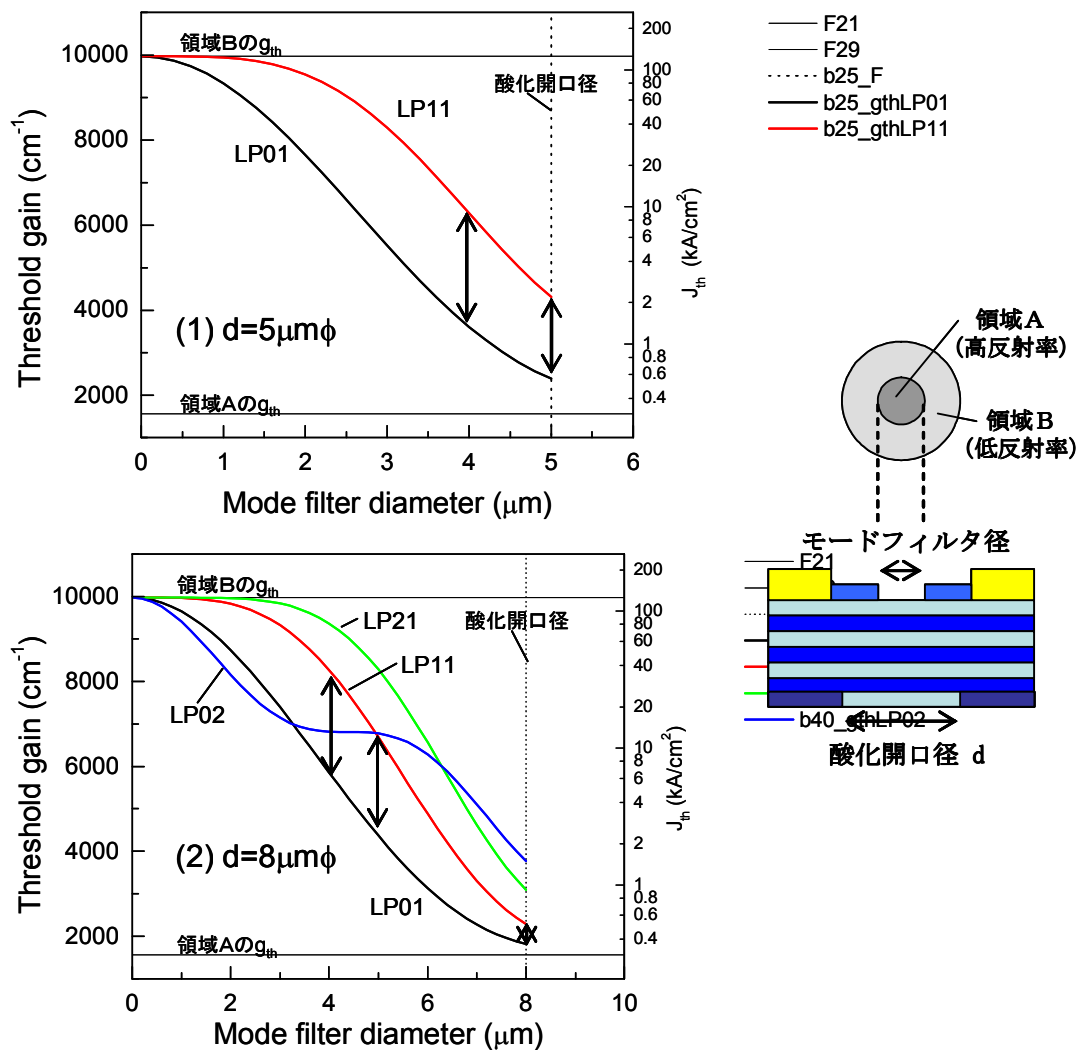


図67. モードフィルタ付き酸化狭窄型VCSEL構造における
各モードの閾値利得のモードフィルタ径依存性
酸化開口径 (1) $5\mu\text{m}\phi$ (2) $8\mu\text{m}\phi$

場合、モードフィルタがない素子の単一モード出力は更に低くなり、約0.25mWに留まっている。モードフィルタ径を小さくしていくと、単一モード出力が上がっていき、モードフィルタ径3.5 μm ϕ で飽和出力まで単一モードが保持される傾向は、酸化狭窄開口径が4 μm ϕ の場合と同様である。但し、この場合は飽和出力まで単一モードが保持されるモードフィルタ径3.5 μm ϕ では、I-L特性の飽和が顕著となり、閾値も約2倍に増加している。その結果、酸化狭窄開口径が大きいにも関わらず単一モード最大出力は1.9mWに留まり、開口径4 μm ϕ の場合に比べて低くなっている。これは、モード間利得差の計算で見られたように、酸化狭窄開口径が比較的大きい場合に、基本モードと高次モードとの選択比を大きくしようとすると、基本モードについても損失が大きくなってしまいうことに起因すると考えられる。よって、本試作構造においては、単一モード出力を最大にする構造としては、酸化狭窄開口径4 μm ϕ 、モードフィルタ径3.5 μm ϕ 程度が最適と考えられる。

ここで得られた最適なモードフィルタ径は、計算によって得られた値よりも相対的に大きくなっている。これは、計算においては最も単純化したモデルを用いているためと考えられ、より精度の高いシミュレーションを行うことにより、より現実に即した最適径を求めることができると考えられる。また、最適酸化狭窄開口径が、モードフィルタの有無に関わらず計算値より小さくなっているのは、前述のように実デバイスにおけるキャリア不均一や熱レンズ効果により、単一モード条件が変化している影響と考えられる。

以上述べたように、H15年度までに得られたデバイス特性の成果をまとめると、多波長長波VCSELに必要な個々の技術（長波長化、高速変調、高出力化）については、ほぼ完成

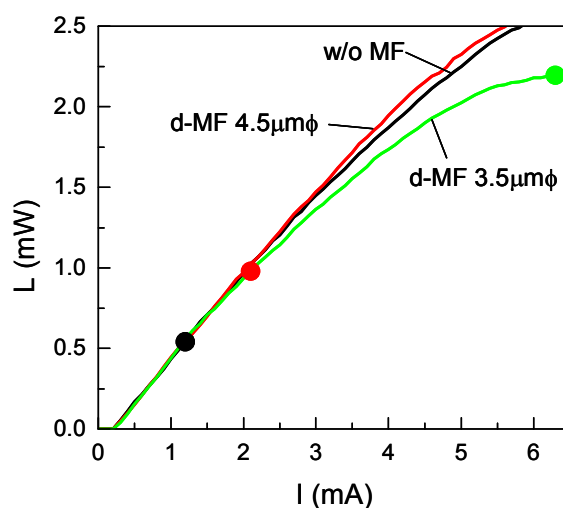


図68. モードフィルタ付き酸化狭窄型VCSELのI-L特性（酸化開口径約4 μm ϕ ）

●印は最大単一モード出力を示す

の域に達することができた。全体を一つにしたVCSELについては今後実証を行っていく。

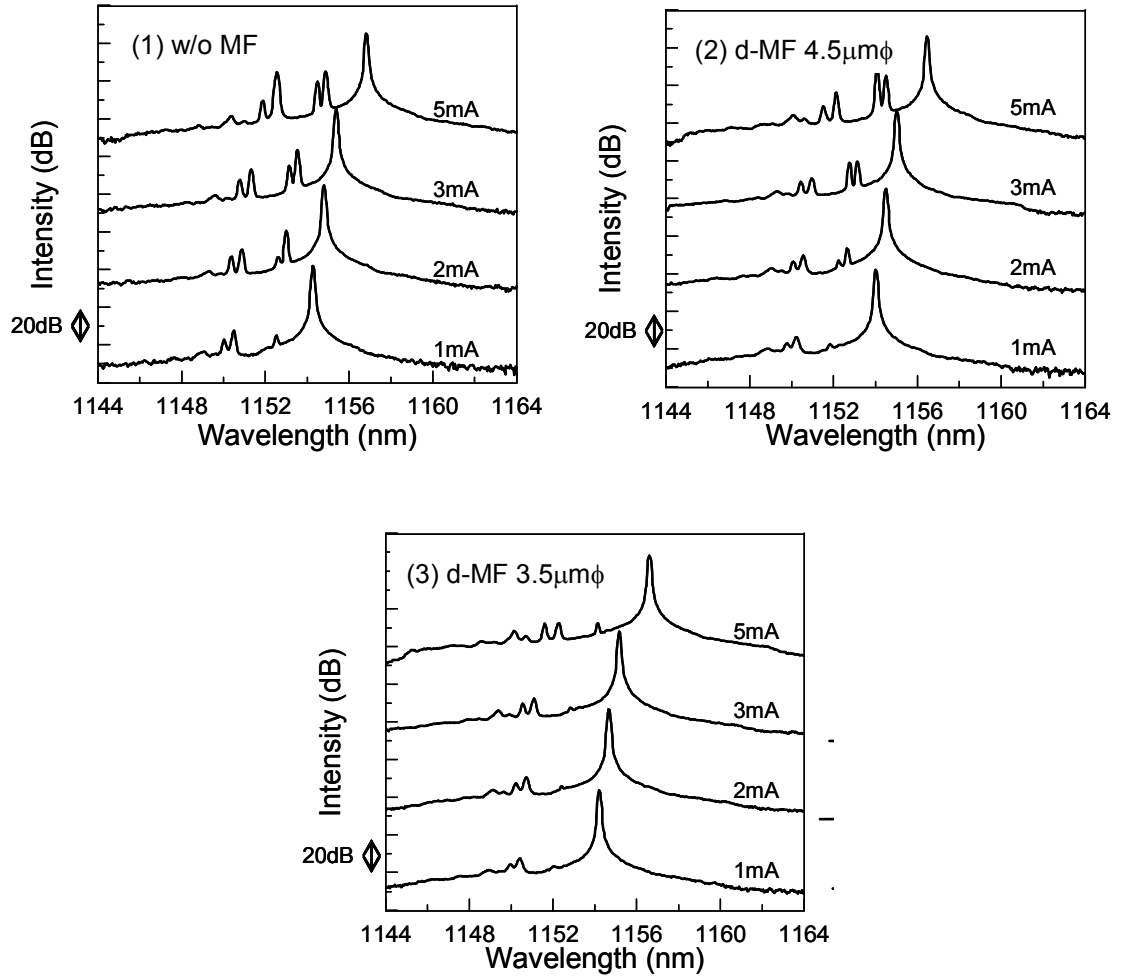


図69. モードフィルタ付き酸化狭窄型VCSELのスペクトル特性
モードフィルタ径(1)なし (2)4.5 $\mu\text{m}\phi$ (3)3.5 $\mu\text{m}\phi$

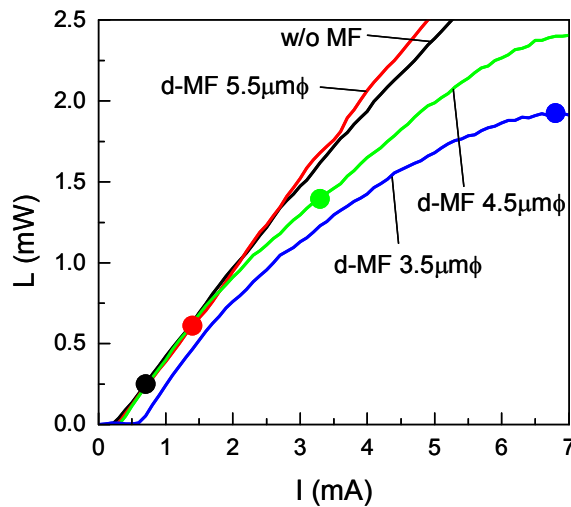


図70. モードフィルタ付き酸化狭窄型VCSELのI-L特性（酸化開口径約 $5.5\mu\text{m}\phi$ ）
●印は最大単一モード出力を示す

5-2-4 VCSELの多波長アレイ化技術

CWDMシステムでは異なる波長の光を合分波して伝送を行う。このときの波長間隔は約20nmが一般的であり、4波のCWDMでは光ファイバの零屈折率分散波長である $1.310\mu\text{m}$ を中心に $1.280\mu\text{m}$ 、 $1.300\mu\text{m}$ 、 $1.320\mu\text{m}$ 、 $1.340\mu\text{m}$ などとなる。CWDMシステムでは、低コストであることが優先されるため、光源は温調フリーでありかつ波長に対する製造トレランスも大きくとる必要がある。VCSELを温調フリーで用いる場合、環境温度が 0°C - 70°C で変わると発振波長は約6nm動く。波長の製造トレランスを $\pm 3\text{nm}$ 程度とすると、光源側の波長トレランスとして約12nm必要である。さらに安価な光合分波器ではチャンネルバンド幅が12nm程度の時、光合分波器チャンネル間隔は約20nmとなる。10波をこの波長領域に入れるには、 10°C 中程度の粗な温調制御を導入し波長間隔を8nm程度にする。このように100GbpsのCWDM用の光源には、波長 $1.27\mu\text{m}$ から $1.35\mu\text{m}$ まで8nm間隔で10波の多波長VCSELアレイが必要で、異なる波長を制御性良く製造することが必要である。

VCSELの多波長アレイを作製するためには、特性の揃った異なる波長のVCSELが必要となり、VCSEL作製上の波長の制御性も重要である。多波長アレイの作製方法としては、ハイブリッド型（各波長のVCSELを各ウエハから切り出してアセンブルする）、或いはモノリシック型（各波長のVCSELがウエハ上に一体でアレイ状に形成されている）のいずれかの方法が考えられる。どちらの手法を用いるにしろ、狙った波長を制御性よく作製することが必要となる。モノリシック型アレイでは、ウエハ上でアレイを形成するため、素子の位置や間隔が精度良く形成されており、モジュールにアセンブルする工程が短縮できると考えられる。但し、異

なる波長の素子を一度にウエハ上に作り込まなければならないため、波長の異なる均一な特性を得ることが比較的難しい、またアレイ単位で歩留まりを確保しなければならないといった素子作製上の問題がある。一方、ハイブリッド型アレイにおいては、個別に作製したVCSEL素子を各ウエハから切り出してアSEMBルするため、歩留まりの点や素子作製においては比較的容易であるが、モジュール化工程においては、個別の素子を精度良く配置する技術が必要となってくる。これらの技術を、 $1.3\mu\text{m}$ 帯多波長VCSELに適用した場合のメリット及びデメリットを検討した。

VCSELにおいて、特性の揃った多波長アレイを実現するためには、一对のDBR反射鏡で決定される共振波長と、活性層の利得ピーク波長が一定の波長間隔を保つように、各々独立に精度良く制御することが重要であり、単体VCSELにおいても高度な成長制御技術が要求される。当グループでは、これまでに蓄積されたVCSEL作製技術を用いて、DBR及び共振ピーク波長をほぼ設計通りに実現する技術が確立されている。また、H14年度に多波長アレイ実現に必要な活性層が作製可能であることを実証し、単一波長VCSELについて、その波長制御技術は確立された。但し、各波長のVCSELがウエハ上に一体でアレイ状に形成されている、モノリシック型多波長アレイの実現については、いくつか問題点があることが分かった。まず、活性層の成長について、活性層品質は、基板温度等の成長条件に比較的敏感であることが見出され、想定するCWDMシステムのように作製する波長範囲が広い場合には、短波長側と長波長側でそれぞれにおいて最適となるように制御する必要があると考えられる。更に多波長アレイの一括モノリシック成長においては、活性層波長に加え、DBR及び共振ピーク波長も同時に制御する必要があり、これらを一括で成長するためには、例えば気相成長における選択成長技術（ウエハの一部にマスクをして成長領域を限定し成長部の層厚、組成等を制御する）を利用することが考えられる [6]。

しかし、活性層品質を維持し、かつ波長制御を正確に行えるような条件を見出すのは非常に困難かつ、トレランスの小さい複雑な条件となってしまうことが考えられ、GaInNAs活性層を用いる場合には、モノリシックアレイの作製は量産には向かず、十分なアレイ歩留まりも得られないことが想定される。また、VCSELにおいては、数 μm 厚のDBR成長の要請から、ウエハに若干の反りが発生するため、1チップアレイの一括実装において調芯時の問題や、信頼性への影響が発生する可能性があるという懸念がある。

一方、ハイブリッド型アレイにおける課題は、実装時に個別の素子を精度良く配置することである。これについては、赤外線モニタを用いた目合わせ実装技術、或いは半田バンプによるセルフアライメント技術 [7]を利用することにより、想定しているCWDMのような、チャンネル数が多くない場合にはパッシブアライメントによる実装が十分可能と考えられる。VCSEL素子では、その放射角が通常の端面発光型LDに比べて小さいため、実装トレランスも比較的大きいことが有利となっている。また、ハイブリッド型アレイにおいては、波長間隔や素子間隔を任意に決定することができる。よって、現状では、ハイブリッド型（各波長

のVCSELを各ウエハから切り出してアセンブルする)の方が有利と判断した。

5-2-5 まとめ

1.3 μ m帯多波長VCSELの開発において、平成15年度は、多波長VCSELに必要とされる諸特性（高速変調、高出力）を要素技術別に開発した。具体的には以下の通りである。

1) 10Gb/s高速変調動作実現の為に構造設計を行い、GaInNAs活性層を用いた波長1.275 μ mの素子において、10Gb/s変調動作を実現し、10Gbイーサネットマスクを満たす良好なアイ開口を確認した。

2) CWDM (Coarse Wavelength Division Multiplexing:低密度波長分割多重)で必須となる高出力シングルモード化に向け、高次モード抑制構造（長共振器構造、モードフィルタ構造）の素子を設計試作し、InGaAs活性層を用いたVCSELにおいて従来比2倍以上の高出力化を実現した。

3) CWDM用VCSELとして1.280 μ mから1.340 μ mまでの多波長VCSELのアレイ化技術としてモノリシック型とハイブリッド型を検討した結果、現状ではハイブリッド型の方が有利であると判断した。

平成15年度までに得られた成果をまとめると、多波長長波VCSELに必要な個々の技術（長波長化、高速変調、高出力化）については、ほぼ完成の域に達することができた。全体を一つにしたVCSELについては今後実証を行っていく。

平成16年度は、これらの成果を元に、最終目標の達成を図る。

5-3 総括

光I/O内蔵型スイッチLSIモジュールの研究開発において、平成15年度は、10Gbps/portの多ch光I/O内蔵型スイッチLSIモジュールを実現するため、超小型光I/Oの10Gbps動作を検証するとともに、その低コスト化改造設計・動作確認を行った。また、スイッチLSIとして、クロスポイントスイッチLSIの動作実証を行った。具体的には以下の通りである。

- 1) 平成14年度に試作した、従来サイズ比1/10以下（10mm×11mm）の低コスト超小型光I/Oについて、10Gbpsの光送受信動作を検証した。
- 2) 1)の超小型光I/Oに対して、量産化に対応すべく、さらなる低コスト化改造設計を行い、10Gbps動作を確認した。
- 3) 10Gbps/portクロスポイントスイッチLSIにおいて、LSI単体での10Gbps/port動作を確認し、評価ボード上での10Gbps信号伝送を実証した。

平成16年度は、平成15年度までに得られたこれらの成果をもとに、光I/O内蔵型スイッチLSIモジュールを試作し、10Gbps/port動作を実証する。

1.3 μ m帯多波長VCSELの開発において、平成15年度は、多波長VCSELに必要とされる諸特性（高速変調、高出力）を要素技術別に開発した。具体的には以下の通りである。

- 1) 10Gb/s高速変調動作実現の為に構造設計を行い、GaInNAs活性層を用いた波長1.275 μ mの素子において、10Gb/s変調動作を実現し、10Gbイーサネットマスクを満たす良好なアイ開口を確認した。
- 2) CWDM (Coarse Wavelength Division Multiplexing:低密度波長分割多重) で必須となる高出力シングルモード化に向け、高次モード抑制構造（長共振器構造、モードフィルタ構造）の素子を設計試作し、InGaAs活性層を用いたVCSELにおいて従来比2倍以上の高出力化を実現した。
- 3) CWDM用VCSELとして1.280 μ mから1.340 μ mまでの多波長VCSELのアレイ化技術としてモノリシック型とハイブリッド型を検討した結果、現状ではハイブリッド型の方が有利であると判断した。

平成15年度までに得られた成果をまとめると、多波長長波VCSELに必要な個々の技術（長波長化、高速変調、高出力化）については、ほぼ完成の域に達することができた。全体を一つにしたVCSELについては今後実証を行っていく。

平成16年度は、これらの成果を元に、最終目標の達成を図る。

参考資料、参考文献

- [1] 加美 他, 2002信学会総合大会, C-3-42.
- [2] 山本 他, 2003年信学会ソサイエティ大会, C-3-126.
- [3] 佐々木 他, 2003信学会ソサイエティ大会, C-3-127.
- [4] Dieter Wiedenmann, Roger King, Christian Jung, Roland Jäger, Rainer Michalzik, Peter Schnitzer, Max Kicherer, and Karl J. Ebeling, "Design and Analysis of Single-Mode Oxidized VCSEL's for High-Speed Optical Interconnects," *IEEE J. Select. Topics Quantum Electron.*, vol. 5, pp. 503-511, 1999.
- [5] G. R. Hadley, "Effective index model for vertical-cavity surface-emitting lasers," *Opt. Lett.*, vol. 20, pp. 1483-1485, 1995.
- [6] T. Tsuruoka, T. Okuda, Y. Muroya, N. Suzuki, K. Mori, and T. Nakamura, "4-Channel DFB-LD Array for 1.3- μm CWDM Systems," OECC/I00C2001, pp.632-633, 2001.
- [7] I. Ogura, K. Kurihara, S. Kawai, M. Kajita, and K. Kasahara, "A Multiple Wavelength Vertical-Cavity Surface-Emitting Laser (VCSEL) Array for Optical Interconnection," IEICE Trans. Electron., vol.E-78-C, pp.22-27, 1995.

1 研究発表、講演、文献等一覧

<収録論文>

- ① 畠山 意知郎, 三好 一徳, 樋野 智之, 清水 隆徳, 佐々木 純一, 山本 圭介, 栗原 充, 田中 英樹, 蔵田 和彦, "光 I/O 内蔵システム LSI モジュール (1) モジュール構成と設計指針," 2003 年電子情報通信学会ソサイエティ大会 C-3-123.
- ② 樋野 智之, 三好 一徳, 畠山 意知郎, 佐々木 純一, 清水 隆徳, 山本 圭介, 栗原 充, 池田 和彦, 蔵田 和彦, "光 I/O 内蔵システム LSI モジュール (2) 低コスト、超小型 10Gbps 4ch 光 I/O (PETIT)," 2003 年電子情報通信学会ソサイエティ大会 C-3-124.
- ③ 清水 隆徳, 三好 一徳, 畠山 意知郎, 佐々木 純一, 山本 圭介, 栗原 充, 渡辺 崇則, 江口 実, 潮田 淳, 蔵田 和彦, "光 I/O 内蔵システム LSI モジュール (3) 光結合系の設計," 2003 年電子情報通信学会ソサイエティ大会 C-3-125.
- ④ 畠山 意知郎, 三好 一徳, 樋野 智之, 清水 隆徳, 佐々木 純一, 山本 圭介, 栗原 充, 田中 英樹, 蔵田 和彦, "光 I/O 内蔵システム LSI モジュール," 信学技報 Vol. 103, No. 523, pp. 65-68.
- ⑤ 畠山 意知郎, 三好 一徳, 樋野 智之, 清水 隆徳, 佐々木 純一, 山本 圭介, 栗原 充, 田中 英樹, 蔵田 和彦, "1Tbps バックプレーン向け光インタコネクションモジュールの開発," NEC 技報 Vol. 57, No. 5, 2004.
- ⑥ 畠山 意知郎, 三好 一徳, 清水 隆徳, 佐々木 純一, 山本 圭介, 栗原 充, 渡辺 崇則, 潮田 淳, 蔵田 和彦, "光 I/O 内蔵システム LSI モジュール," 2004 年電子情報通信学会総合大会 C-3-52.

<外国発表予稿等>

- ⑦ Kazuhiko Kurata, Ichiro Hatakeyama, Kazunori Miyoshi, Takanori Shimizu, Jun'ichi Sasaki, Mitsuru Kurihara, and Keisuke Yamamoto "Opto-Electronics Packaging Techniques for Interconnections," LEOS(Lasers & Electro-optics Soc) Ann meeting.
- ⑧ Ichiro Hatakeyama, Kazuhiko Kurata, Kazunori Miyoshi, Takanori Shimizu, Jun'ichi Sasaki, Mitsuru Kurihara, and Keisuke Yamamoto "Optoelectronics Packaging Techniques for Interconnections," IEEE Systems Packaging Japan Workshop.
- ⑨ Kazunori Miyoshi, Kazuhiko Kurata, Ichiro Hatakeyama, Takanori Shimizu, Jun'ichi Sasaki, Mitsuru Kurihara, and Keisuke Yamamoto "A compact-size 10.3125Gbps 4-channels Optical interface module for system LSI module with optical I/Os", OFC