

平成15年度 研究開発成果報告書

「情報通信装置の漏洩電磁波盗用防止技術の研究開発」

目 次

1	研究開発課題の背景	3
2	研究開発分野の現状	9
3	研究開発の全体計画	10
3-1	研究開発課題の概要	10
3-2	研究開発目標	10
3-2-1	最終目標	10
3-2-2	中間目標	10
3-3	研究開発の年度別計画	11
3-4	研究開発体制	12
4	研究開発の概要（平成15年度まで）	13
4-1	研究開発実施計画	13
4-1-1	研究開発の計画内容	13
4-1-2	研究開発課題実施計画	17
4-2	研究開発の実施内容	18
5	研究開発実施状況（平成15年度）	26
5-1	検証試作と可能性検証	26
5-1-1	序論	26
5-1-2	情報通信装置の選定	26
5-1-3	サーバー試作	26
5-1-4	ノートPC試作	41
5-2	要素技術の研究開発	57
5-2-1	序論	57
5-2-2	要素技術	57
5-2-3	ボード内蔵の検討	57
5-2-4	オンチップの検討	57
5-3	総括	58

参考資料、参考文献

(添付資料)

1 研究発表、講演、文献等一覧

1 研究開発課題の背景

1-1 情報通信装置からの漏洩電磁波による情報盗用脅威の現状

ネットワーク・サーバやネットワーク端末（パーソナルコンピュータ）などの情報通信装置は、個人的な情報（プライバシーに関するものなど）や組織情報など重要な情報を扱う。情報の改竄、破壊、漏洩は、組織あるいは個人にとって、大変危惧すべき問題である。通信ネットワークにおける安全性確保は、近代通信事業で必要不可欠なテーマであり、我が国においては、主に暗号化技術を中心に国を挙げて対策のための研究開発が為されてきた。高度化されてきた暗号化技術は、装置間での通信のための信号授受は正常に行われることを保証しつつ、通信を傍受する場合には正常な信号授受を行わせない技術である。

「漏洩電磁波盗用」は、装置本体から直接放射する、あるいは、装置に接続されたケーブルなどを伝って、装置外部へ漏洩した電磁波を受信し、その漏洩電磁波に含まれる情報を抽出する盗用行為である。「漏洩電磁波盗用」は、暗号化が困難な情報通信装置内部で扱われる「平文の情報」、あるいは「安易なプロトコルで表現された情報」を対象としているが、軍事関係で注目されてきた以外は、一般での認識度が低く漏洩電磁波盗用防止技術の開発は大きく立ち後れている。しかし、重要情報がモバイル機器を介して交信され、また住宅環境で多くの情報通信装置が使用される機会は、ますます増えると考えられており、情報通信装置からの漏洩電磁波に含まれる情報盗用の危険性は高まりつつある。我が国の情報化社会発展のためには、モバイル機器に適用可能であって、情報通信装置の今後の小型高性能化傾向にも貢献できる漏洩電磁波盗用防止技術の研究開発が必要となっている。

「漏洩電磁波盗用」は、「ネットワーク侵入」と同様に、「情報（通信）セキュリティ」（情報通信装置及び、それらが扱う情報を守ることの意）に対する脅威の一つに分類される。表 1-1 に、「情報（通信）セキュリティ」に対する想定脅威の分類をまとめた。

表 1-1 情報（通信）セキュリティに対する脅威の分類

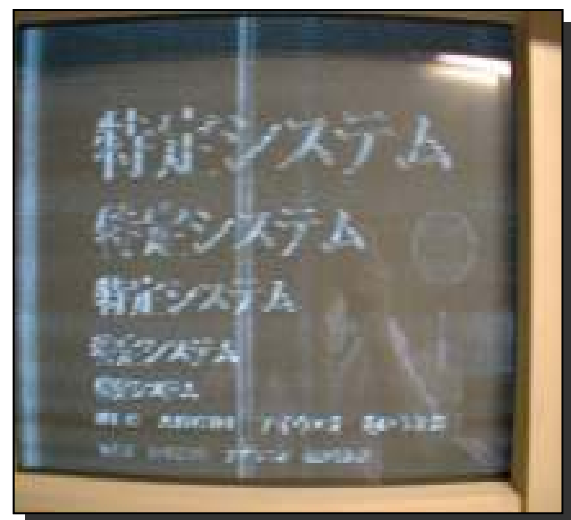
想定脅威（事例）	対策
漏洩電磁波 情報が重畳した電磁波の漏洩 （画面，キー入力など）	部屋の電磁シールド， 通信線の光ケーブル化， TEMPEST 対応機器の採用
物理的侵入 部屋への侵入 情報機器ごと持ち出し	監視（TV カメラ，振動センサ，赤外線，マイクロ波，ミリ波，光ケーブル等） 入退場管理（指紋，網膜，虹彩，RFID，車両）
音声盗聴 肉声盗聴（マイク，レーザ光線等） 電話盗聴，盗聴器	防音，雑音放送など建物対策 秘話秘匿装置など、電話設備への対策 電波監視による盗聴器の発見
ネットワーク侵入 クラッキング（破壊，改竄） ウイルス（ワーム）	ファイヤーウォール，VPN， デジタル署名，暗号化， コンピュータウイルス対策
破壊工作 EMP，電磁エネルギー照射（誤動作，破壊） ウイルス	機器の保護，強化 コンピュータウイルス対策

「漏洩電磁波盗用画面再生実験」の一例（画面盗用）を図 1-1 に示す。情報通信装置の表示画面（図 1-1. a）から放射された漏洩電磁波を離れた場所で受信し、これから抽出した信号を利用して、画面を再生した（図 1-1. b）。再生は、図 1-2. に示す手順で行った。画面情報（RGB 信号）が重畳する周波数スペクトルを探し（図 1-2. a）、画面同期信号（図 1-2. b）を確認、その後、検波後の RGB 信号（図 1-2. c）を表示装置に入力し、適当な水平垂直同期信号を与えるだけで比較的容易に盗用が可能である。



もとの画面

(a)



再生画面

(b)

図 1-1. 漏洩電磁波盗用画面再生実験の一例

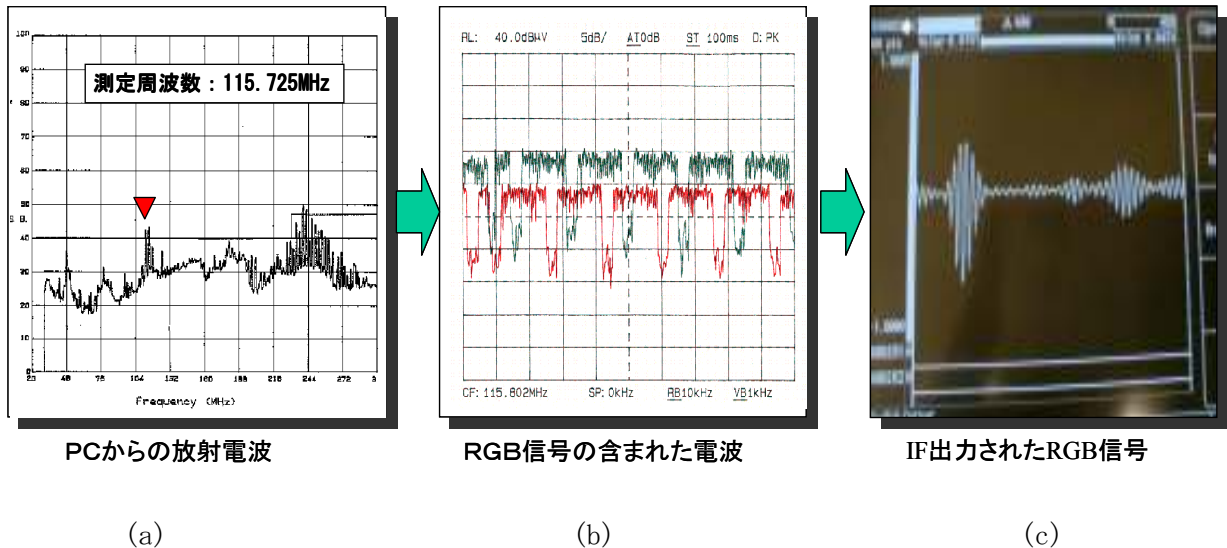


図 1-2. 画面再生の説明

1-2 漏洩電磁波に対する「脅威」の受信能力

表示画面のみならず、キー入力やプリンタ出力、FAX 出力も同様に漏洩電磁波盗用が可能と考えられる。

このように画面やキー入力などの情報が重畳した漏洩電磁波を傍受し、情報（画面やキー入力など）を復元、盗用する人および機材を「脅威」と、ここでは定義する。「脅威」の程度は、資料 1～3 で記述される復元（盗用）側機材の能力に、技術的な可能性を考慮し、漏洩電磁波の検出モデル（図 1-3）を想定した。

資料 1: 瀬戸 信二「情報処理機器からの電磁波漏洩に対する情報保全対策」, EMC, No. 27, pp. 7-17, 1990. 7. 5

資料 2: 瀬戸 信二「TEMPEST 対策について」, EMC, No. 97, pp. 97-114, 1996. 5. 5

資料 3: 岡田 正「読み取られるパソコンの電磁波輻射」, HAM Journal, No. 73, pp. 82-86, 1991

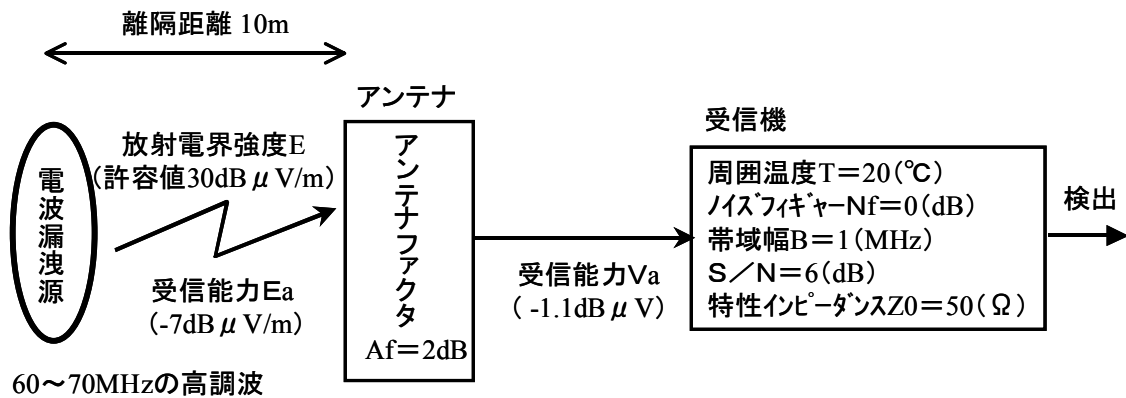


図 1-3 漏洩電波の検出モデル

次に、想定条件と受信可能な電界強度について検討する。

想定条件は以下の通りである。

- ・ 解像度 XGA (1024 × 768) 程度の表示画面
各色 (R, G, B) の帯域幅：60MHz～70MHz (ドットクロックとしては、180～210MHz 程度)
- ・ 脅威の離隔距離：10m (隣室や隣家)
- ・ 発生源 (情報機器) の放射電磁波：VCCI*許容値レベル
VCCI クラス B の許容値 (距離 10m) は、30 dB μV/m (30～230MHz), 37dB μV/m (230MHz～1GHz)。受信機 RBW (共振帯域幅)：120kHz
*VCCI：情報処理装置等電波障害自主規制協議会 (Voluntary Control Council Interference by Information Technology Equipment)
- ・ 脅威の受信設備：高度な技術レベル
周囲温度：20°C
ノイズフィギュア Nf：0 dB
S/N：6 dB
特性インピーダンス：50 Ω
アンテナ：多エレメント八木宇田アンテナ (指向性 20dB)
アンテナファクタ Af：2 dB
- ・ 画面の復元認識に必要な帯域幅：1MHz

上記の想定条件を基に漏洩電磁波に対する「脅威」の受信能力を算出する。

受信機の内部雑音 P_{nn} が受信能力を決定する要素である。前項条件から、受信機の RBW は、3MHz として、次式(1-1)から内部雑音を算出する。なお、ノイズフィギュア Nf は、最高レベルの増幅器を考え 1 (=0dB) とする。周囲温度は、27°C。受信機の S/N は、2 と仮定する。

$$P_{nn} = k \cdot T \cdot B \cdot Nf \quad \dots \dots \dots (1-1)$$

ただし、k：ボルツマン定数 1.34 × 10⁻²³ (T/K)

T : 周囲温度 293 (K) {= 273 + 20 (°C)}

B : 帯域幅 1MHz

Nf : ノイズフィギュア 1

式(1-1)に、各値を代入して、計算すると、次式となる。

$$P_{nn} = 3.93 \times 10^{-15} \text{ (W)} \quad \dots\dots\dots (1-2)$$

受信系の特性インピーダンスを 50Ω として、電圧に換算する。

$$V_{nn} = 4.43 \times 10^{-7} \text{ (V)} = 0.443 \text{ (}\mu\text{V)} \quad \dots\dots\dots (1-3)$$

添付資料 1-3 によれば、画像処理により、ノイズ混じりの画像を整形できるので、S/N (2=6dB) と考える。受信能力 V_a は次式となる。

$$V_a = 0.886 \text{ (}\mu\text{V)} \quad \dots\dots\dots (1-4)$$

デシベルに変換する。

$$V_a = -1.1 \text{ (dB}\mu\text{V)} \quad \dots\dots\dots (1-5)$$

100~200MHz 用の多エレメント八木宇田アンテナは、絶対利得（無指向性アンテナに対する利得）は 14dB（電圧で 4 倍）程度ある。さらに、その多エレメント八木宇田アンテナを複数個スタックすることで、およそ 20dB（電圧で 10 倍）程度となる。

資料 4「アンテナ・電波伝搬」（虫明 康人，コロナ社，p. 33，1961）の式(3・41)を引用すれば、受信可能電界強度 E_a は次式で表される。

$$\text{ただし、} \quad |E_a| \approx \frac{|V_a|}{2.90 \times 10^{-2} \lambda \sqrt{R G_a}} \quad (1-6)$$

- G_a : アンテナの絶対利得
- R : アンテナの入力インピーダンス
- V_a : 受信能力
- λ : 波長

式(1-6)に、 V_a に $0.886 \mu\text{V}$ (式(1-4)より)、R に 50Ω 、 G_a に 10 倍、 λ に 3m (@100MHz) を代入する。

$$|E_a| \approx \frac{0.886}{2.90 \times 10^{-2} \times 3 \times \sqrt{50 \times 10}} = 0.445 \text{ (}\mu\text{V/m)} = -7.0 \text{ (dB}\mu\text{V/m)} \quad (1-7)$$

以上から、脅威の受信能力は、電界強度で -7.0 dB μ V/mである。

「漏洩電磁波盗用」の「脅威」に対する対策は、情報通信装置単体からの漏洩電磁波強度を抑制するしかない。したがって、図 1-3 の電波漏洩源の放射電界強度 E を、検出不可能な程度（受信能力 E_a 以下）としなければならない。すなわち、電波漏洩源（情報通信装置）の放射電界強度を許容値（クラス B）より、約 40dB 下げる必要がある。

2 研究開発分野の現状

2.1 情報通信装置からの電磁波漏洩の現状

情報通信装置からの漏洩電磁波を、電波暗室（図 2.1-1）で測定した。対象である情報通信装置、この場合ネットワーク端末としてノートパソコン、を木製テーブルに置き、3m 離隔したアンテナで受信する電界強度値で評価する。結果を図 2.1-2 に示す。なお、本測定のための目的は、現状のノート PC の実力を把握するものであり、EMI(放射妨害波：Electro-Magnetic Interference)規格確認のための測定でないので、測定は当社中央研究所にある 6 面電波暗室で 3m 法にて測定した。

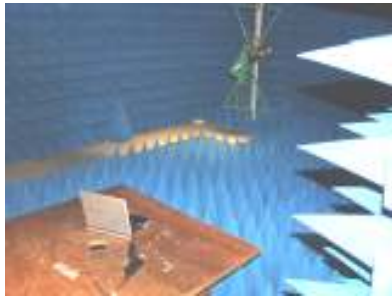


図 2.1-1 測定風景（電波暗室）

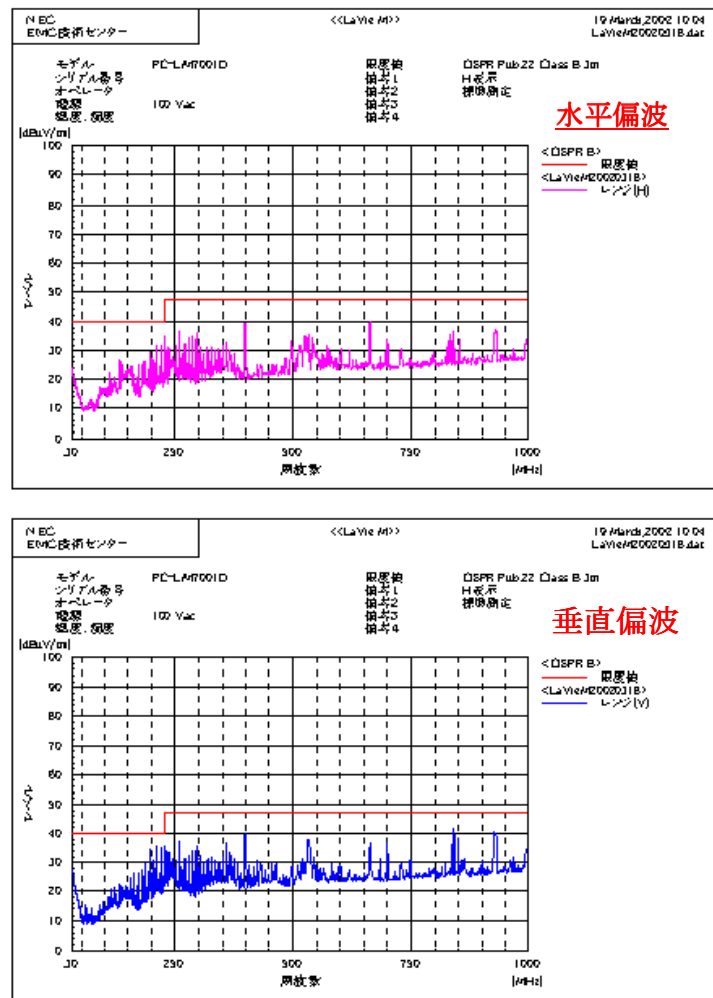


図 2.1-2 ノートパソコンの漏洩電磁波測定結果

測定結果から、現状のノートパソコンからは VCCI のクラス B 規制値レベルに近い値のスペクトラムもみられる。どのスペクトラムに情報が含まれるか不確なため、全てのスペクトラムに情報が重畳するものと考え、現状のノートパソコンは VCCI のクラス B 規制値(47dB μ V/m, @3m) 程度で情報を放射していると見なす。また、一般の情報通信装置は、VCCI 規制値を満たす程度の漏洩電磁波防止対策が為されるが、それ以上の対策は通常行わない。

したがって、重要な情報を「漏洩電磁波盗用」の「脅威」から防護するためには、更なる「漏洩電磁波盗用防止技術」による対策が不可欠である。

3 研究開発の全体計画

3-1 研究開発課題の概要

情報通信装置本体からの直接放射、あるいは接続されたケーブルなどを伝わって外部へ漏洩した電磁波を受信し、その漏洩電磁波に含まれる情報を抽出する「漏洩電磁波盗用」は危惧すべき問題である。重要情報がモバイル機器を介して交信され、また住宅環境で多くの情報通信装置が使用される機会は増加の傾向にあり、モバイル機器に適用可能な漏洩電磁波盗用防止技術の研究開発が必要となっている。

上記課題解決に関し、回路技術の観点から以下の斬新な電源分配回路技術を用いた情報処理装置を試作し、装置本体からの電磁放射を顕著に抑制することを目標とする（電磁放射電界強度規格値に対し、中間目標 20dB 抑制、最終目標 40dB 抑制）。

【新たな電源分配回路技術】

従来のデカップリングコンデンサに置き代わる高性能の低インピーダンス線路素子（LILC: Low Impedance Line structure Component）技術を用いて、回路設計基準を構築し、実機での試作評価を行う。LILC の効果として、電源分配回路への電磁波漏洩を阻止が可能で、装置からの情報盗用が防止される。既開発済みのボード搭載形 LILC に加え、①内蔵形、②オンチップ形を開発検討する。

3-2 研究開発目標

3-2-1 最終目標（平成19年3月末）

最終目標として、内蔵形（ボードまたはパッケージ）LILC および（半導体）オンチップ形 LILC TEG の試作評価を行い、これらの試作過程で得られる各種パラメータを抽出する。以上のパラメータを用いて、情報通信機器（サーバ及びノート PC）に適用した場合を想定した放射電磁界解析を実施し、これらの想定情報通信装置からの放射電界強度が、VCCI のクラス B 規制値レベルに対して 40dB 以下であることをシミュレーションによって確認する。

3-2-2 中間目標（平成17年1月末）

中期目標として、TEG 試作によって得られるパラメータを使用して新しい電源分配回路技術を適用した場合を想定した情報通信機器（サーバ及びノート PC）についてシミュレーションして VCCI クラス B に対して 20dB 以下になることを確認するとともに、これらの装置を試作して、試作装置からの放射電界強度が、VCCI のクラス B に対して概ね 20dB 以下であることを検証する。

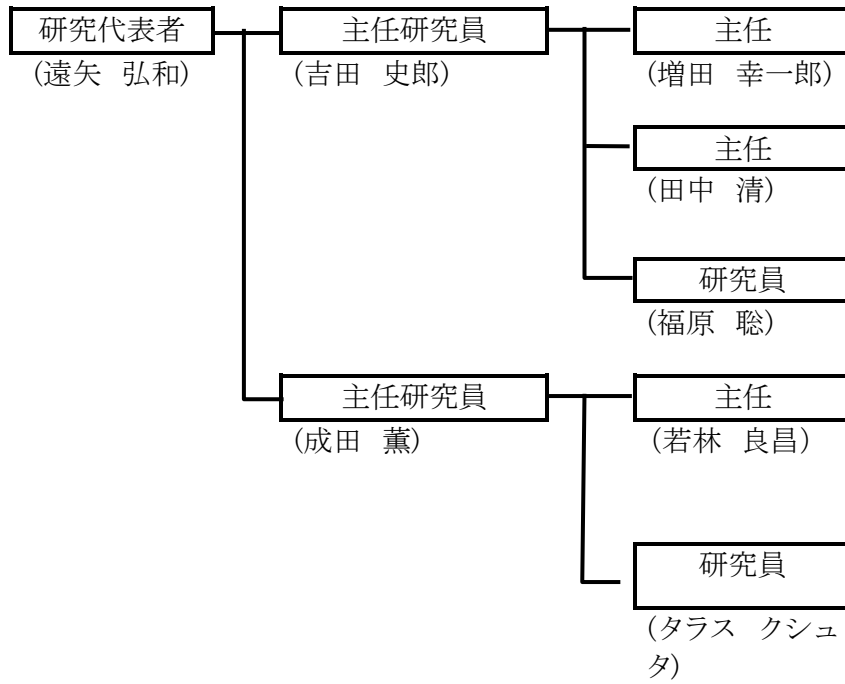
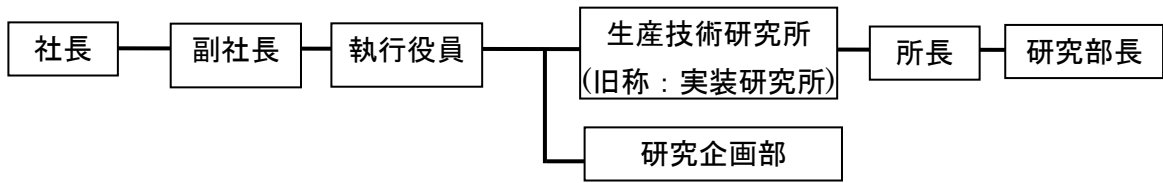
3-3 研究開発の年度別計画
年度別計画

(金額は非公表)

研究開発項目	15年度	16年度	17年度	18年度	計	備考
<p>情報通信装置の漏洩電磁波盗用防止技術に関する研究開発</p> <p>1) 検証試作と可能性検証 (情報通信機器試作評価またはTEGの試作評価及び放射電磁界解析による検証)</p> <p>2) 要素技術の研究開発 (新しい電源分配回路技術に関する研究開発)</p> <p>ア. 内蔵形 LILC 研究開発</p> <p>イ. オンチップ型 LILC 研究開発</p>	<p>装置一次試作</p> <p>TEG 設計</p>	<p>装置二次試作 (20dB 抑制検証)</p> <p>TEG 試作</p> <p>TEG 設計検討</p>	<p>TEG 試作評価</p> <p>TEG 試作</p> <p>TEG 試作</p>	<p>可能性検証 (40dB 抑制)</p> <p>TEG 改良</p>		
間接経費額 (税込み)						
合計						

- 注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%を上限として計上(消費税を含む)。
 2 備考欄に再委託先機関名を記載。
 3 年度の欄は研究開発期間の当初年度から記載。前年度(14年度)までは、合計が当該年度の契約額の実績値となるよう記載。

3-4 研究開発体制



4 研究開発の概要（平成 15 年度まで）

4-1 研究開発実施計画

4-1-1 研究開発の計画内容

情報通信装置本体からの直接放射、あるいは接続されたケーブルなどを伝わって外部へ漏洩した電磁波を受信し、その漏洩電磁波に含まれる情報を抽出する「漏洩電磁波盗用」は危惧すべき問題である。以上の問題に対して、回路技術の観点から解決に取り組むことにし、サブテーマとして、新しい電源分配回路技術の研究開発を設定する。

新しい電源分配回路技術の説明として、図 4-1-1 は情報通信装置の内部回路を示す概念図である。同図の LSI（破線内）のトランジスタを境に、右をデータ信号系、左を電源分配回路とする。トランジスタによって励起される信号電磁波は、信号線路および電源分配回路に伝搬する。一般に装置内には数 MHz から数 GHz に亘る複数のクロック回路およびデータ処理回路が使用されている。これらの回路には直流電源が必要であり、金属導体で構成された電源分配回路で供給される。電圧毎の電源分配回路は通常、分断されることなく金属導体によって多くのトランジスタに対してもれなく接続され、信号回路のように独立ではない。このため、LSI（半導体チップ）からボード（プリント基板）までの電源分配回路中にはクロック回路およびデータ処理回路のスイッチング動作に起因する非常に大きなレベルの高周波電流が存在する。

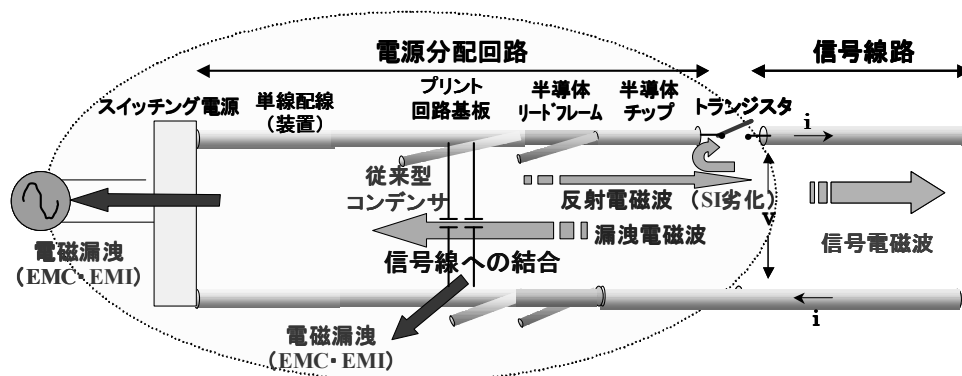


図 4-1-1 情報通信装置の内部回路概念図

図 4-1-1 において、LSI 中のトランジスタの開閉によって、左右に向かう電磁波が励起される。トランジスタから見た電源分配回路の特性インピーダンスがゼロであれば、トランジスタが励起する電磁波は電源分配回路の入り口で反射し電源分配回路中に侵入することは無いし、反射点で位相が反転するので反射波は信号線路を進む電磁波と同相となる。このとき、トランジスタの形状及びトランジスタから電源分配回路の入り口までの配線長が電磁波の波長に比べて非常に小さければ、トランジスタが励起する電磁波の全てが信号電磁波となり、信号波形品質 (SI : signal integrity) の劣化も無い。しかし、実際の電源分配回路は、信号線路の特性インピーダンスと大きくは変わらない。

そこで、従来は、電源分配回路のインピーダンスを下げる目的でコンデンサが大量に使用されている。しかしながら、これらのコンデンサは、電荷の充放電という低周波でしか成り立たない簡略化電磁気理論に基づいて作られているものであって、電磁波の伝搬を阻止する目的で作られてはいない。情報通信装置のボードに最も多く使用されている $0.1\mu\text{F}$ の容量を有するチップセラミックコンデンサのインピーダンスを図2に示す。インピーダンス特性は、自己共振周波数（図中 resonance）を境に、数十 MHz 以上では、インダクタンス特性領域になり周波数とともにインピーダンスが上昇するし、透過率（S21）も大きくなる。従って、コンデンサでは電磁波の漏洩を効果的に阻止できない。

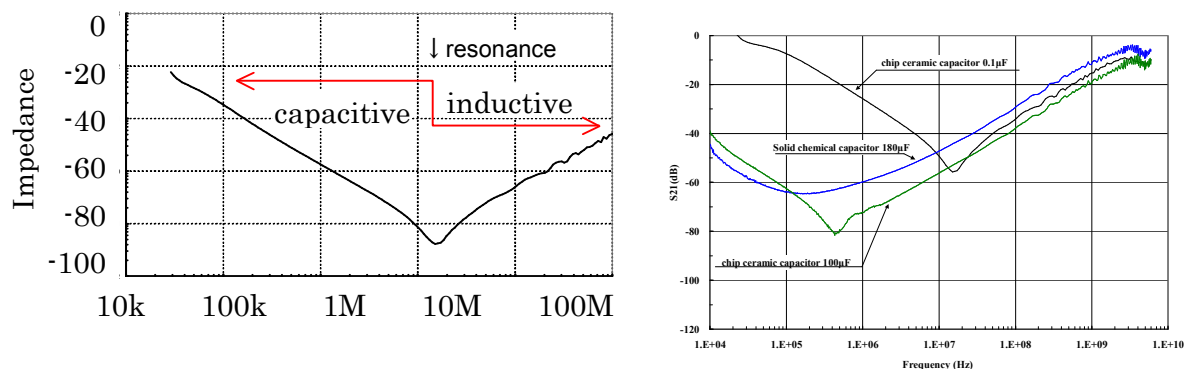


図 4-1-2 $0.1\mu\text{F}$ チップセラミックコンデンサのインピーダンス特性と透過率（S21）

このため、トランジスタが励起する電磁波の数十%以上が漏洩電磁波となって、電源分配回路中を進むと推定される。一般の回路設計者は電圧変動を気にする余り、漏洩電磁波が目に見えないこともあって、電源分配回路に大量の漏洩電磁波が存在することに気付かない。むしろ、電源配線はグランド配線とともに高周波では基準電位（グランド）と考えられているために、電源分配回路中やその付近に多数の信号配線（信号線路）が配置されている。

LSI チップ内の膨大な数のトランジスタ毎に発生する高周波電磁波が LSI 内の電源分配回路に集まり、LSI パッケージを経由してボードの電源分配回路に集まる。電源分配回路のインピーダンスは信号回路に比べて非常に低いため、高周波電磁波は通常、高周波電流として観測される。

LSI チップ、LSI パッケージ、及びボード内の電源分配回路に非常に大きな値で存在する高周波電流は、それらの中で容易に信号配線にも結合する。電源分配回路中の高周波電流の一部は電源ケーブル、信号配線に結合した高周波電流は信号ケーブルをそれぞれ経路して、装置の外へ漏洩し放射する。これを防止することが、情報通信装置からの情報盗用防止策となる。

本研究開発課題は、情報通信装置からの情報漏洩抑制に的を絞り、すでに開発済みまたは今後開発予定の低インピーダンス線路素子（LILC: low impedance line structure component）技術を、情報通信装置の電源分配回路に適用して、効果の確認を行うことにす

る。

図 4-1-3 は、LILC を使用した場合の電源分配回路中の最適なデカップリング構成例を示す。図中の左端のスイッチング電源又は電池から LSI 内のトランジスタに対して直流電力が供給されている。漏洩電磁波発生源は、LSI 内部のトランジスタであり、信号線路に信号電磁波が伝搬すると共に電源分配回路内に漏洩電磁波が伝搬しているが、電源分配回路への電磁波漏洩を抑止すると、電源分配回路には図の左側のスイッチング電源または電池からトランジスタを含む信号回路に供給する直流電流のみが存在することになる。

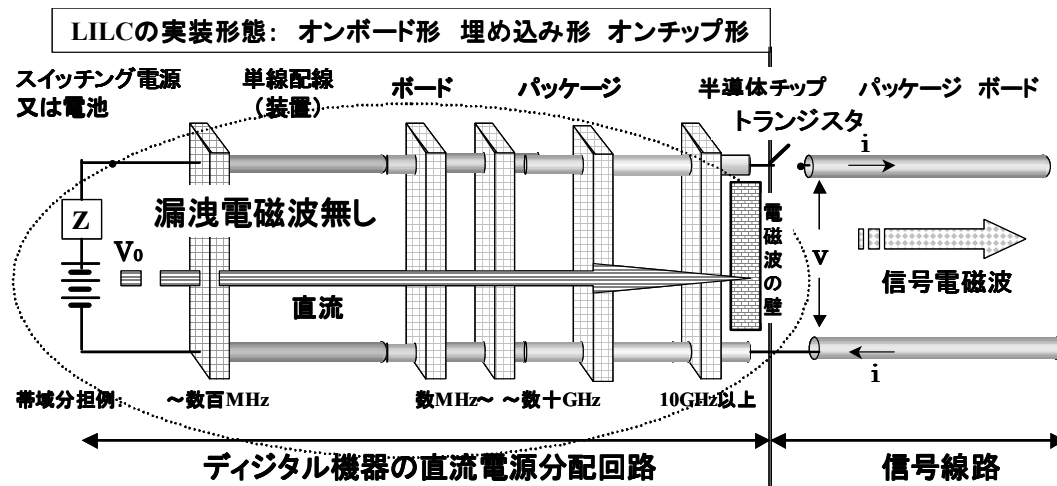


図 4-1-3 各種 LILC の最適配置例

図中に直方体で表現している LILC は、漏洩電磁波発生源に近く配置するほど効果が高いと考えられる。これは、トランジスタの開または閉動作にともなって励起される電磁波はトランジスタの立ち上がり時間で決まる単一周波数のみを有するが、線路を伝搬するに従い種々の理由でスペクトラムが低域に拡散していくため、広帯域特性が要求されると考えられるからである。また、LILC を電磁波の短絡壁とみなすと、周波数が高いほど反射波の位相差が少ないトランジスタ近傍への LILC 搭載が必要となる。しかし、LSI チップ内に LILC を埋め込む技術の開発は、膨大なリソースを必要とするため困難である。一方、LSI の外に LILC を搭載することは、LSI から離れるほど容易になるが、LILC には、広帯域特性と、大電流に対応するための低インピーダンス特性と低直流抵抗値が要求される。総合的にはボード搭載型 LILC の開発が比較的容易であり、ついで LSI オンチップ型の順に困難になる。なお、LILC の特性をより効果的に発揮させるために、ボード埋込型 LILC が考えられるが、この技術の難易度は、LSI パッケージ埋込型よりやや高いと考えている。

平成 15 年度の実施計画としては、既に開発済みであるボード搭載形 LILC を用いて、実際の情報通信機器（当社サーバ CPU ボード）を試作し、装置からの情報漏洩（放射電界強度）が抑制されることを検証する。平成 16 年度末の中間目標である試作装置からの放射電界強度が、VCCI のクラス B に対して概ね 20dB 以下にするための第一次試作検証の位置付けである。並行して、平成 16 年度に実施予定であるノート PC での実機試作の準備として、

ボード内蔵形 LILC の検討を TEG 基板を用いて実施する。ノート PC の CPU ボードは実装スペースの制約が厳しく、ボード搭載形 LILC の実装が困難であると予測されるため、実装スペースを減らす目的とボード搭載形より更なる効果が期待出来るため、ボード内蔵形 LILC の検討を今年度から開始する。さらに、平成 18 年度末の最終目標を達成するための LILC の応用である半導体オンチップ形 LILC の検討をシミュレーションにて実施する。

4-1-2 研究開発課題実施計画

(金額は非公表)

研究開発項目	第1四半期	第2四半期	第3四半期	第4四半期	計	備考
情報通信装置の漏洩電磁波盗用防止技術に関する研究開発 1) 検証試作と可能性検証 (情報通信機器試作評価) 2) 要素技術の研究開発 (新しい電源分配回路技術に関する研究開発) ア. 内蔵形 LILC の研究開発 ・ TEG 仕様検討 ・ プロセス材料検討 イ. オンチップ形 LILC 研究開発			装置設計 <hr/> 評価法検討 <hr/> 仕様検討	装置試作 評価 <hr/> TEG 設計 <hr/> 評価法検討		
間接経費						
合計						

- 注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%を上限として計上(消費税を含む)。
 (合計の計は、「3-1の研究開発課題必要概算経費」の総額と一致)
- 2 備考欄に再委託先機関名を記載。

4-2 研究開発の実施内容

試作装置の特性評価方法を検討し、測定評価に必要な研究開発用装置を選定し、導入した。

試作するデスクトップ型情報通信装置を検討し、サーバー装置を選定した。電源デカップリング技術を適用したマザーボードを設計し、試作した。H16年2月に試作装置が納品され、負荷動作テストを実施した。3月に、試作サーバー装置の放射電磁波を測定し、電源デカップリング技術適用前後の低減度合いに関する評価を実施した。

試作する携帯型情報通信装置を検討し、ノートPCを選定した。電源デカップリング技術を適用したマザーボードを設計し、試作した。H16年2月に納品され、3月に試作装置の負荷動作テスト及び放射電磁波測定を実施し、電源デカップリング技術適用前後の低減度合いに関する評価を実施した。

要素技術（内蔵形、オンチップ形）の評価をするため、測定系を検討し、測定器の仕様を、情報通信機器試作評価で導入する研究開発用装置に反映した。内蔵形LILCは、テスト基板(TEG)に内封することにした。部品用LILC(ボード搭載型LILC)のベアチップは素子厚がテスト基板厚を上回るため、テスト基板厚を考慮したベアチップの開発が必要であり、次年度にベアチップの開発に着手する。

部品用LILCで用いられるアルミニウムの他、基板製作上優位と考えられる材料(チタン、クロムなど)を、内蔵形LILC用材料として検討した。また、評価方法を検討した結果、小規模テスト基板に計測プローブを当てる手法が適しており、オンチップ形の評価と共用できることから、次年度、アナライザとして、プローブを含む計測装置を購入する方針を決定した。

デスクトップ型情報通信装置の試作評価に於いて、電源デカップリング技術(ボード搭載型LILCの実装)を適用した。試作サーバー装置は、約1200個実装されていたコンデンサ955個を削減し、LILCを253個追加実装した。負荷動作試験に合格し、コンデンサを大幅に削減しても、正常に動作することを確認した。

更に、放射電界強度を測定し、電源デカップリング技術適用前後での評価を行った。EMIの抑制に顕著な効果は見られなかった。今回は主要な回路にLILCを適用し、部分的に未対策であったため、抑制できないスペクトラムが残ったと考えられる。今年度の結果から、電源デカップリング技術(LILC)は効果があるが、未適用回路からの漏洩電磁波が残存してしまうことが判った。

携帯型情報通信装置の試作評価に於いて、電源デカップリング技術(ボード実装型LILCの実装)を適用した。試作ノートPCは、実装面積、部品高さ、設計期間等の制約から、信号配線をなるべく変更せずに、一部回路への適用に留まった。改造規模は、コンデンサ188個の削減、LILC34個の追加であった。まず、負荷動作試験に合格し、部品点数の削減が可能であることを確認した。更に、放射電界強度を測定し、電源デカップリング技術適用前後での評価を行った。未適用の回路が散在するなど、電源デカップリング技術の適用が不十分であったため、800MHz以上で放射が大きくなる傾向が生じた反面、180MHz付近でVCCI規制値を超えていたスペクトラムが、試作ノートPCでは約10dB抑制されVCCI規制値をクリアするなど一長一短の結果となった。

検証用試作機の一次試作を実施し、二次試作(改良試作)に向けたデータ取りに着手し

ており、当初計画通りの進捗である。

以上の問題に対して、回路技術の観点から解決に取り組むことにし、研究開発課題として、新しい電源分配回路技術を提案する。

なお、提案する研究課題は、平成13年度に実施したNEDOからの受託研究事業、平成14年度と平成15年度に実施したCRLから受託した調査研究、平成15年度に経済産業省から受託した戦略的補助事業の成果を、最大限活用するものである。以下に実施済み及びこれらの研究内容を紹介し、引き続いて、研究開発課題として提案する新しい電源分配回路技術の概要を説明する。

(1) 平成13年度に実施したNEDOからの受託研究事業の研究内容

以下の内容について研究を実施し、計画した目標を達成した。

- a. LSIからプリント回路基板までを含む、電磁波の発生伝搬メカニズム解析
10MHz, 100MHz, 1GHz及び10GHzにおける準定常と見なせる閉回路(QSCC)内に許容できる最大配線長及び最大ループ面積を、二次元または三次元電磁界シミュレーション及び実験により配線の構造タイプ毎に明らかにする。
- b. LSIからプリント回路基板までを含む、信号、電源回路の電磁的詳細解析
10MHz, 100MHz, 1GHz及び10GHzにおける信号送信端付近の電磁界の様子を、二元または三次元電磁界シミュレーションにより空中線からの電磁放射の場合に準じて静電磁界、誘導電磁界、放射電磁界に分けて明らかにする。
- c. LSIからプリント回路基板までを含むライブラリ作成
半導体を10個以上搭載するプリント回路基板(PCB)を試作し、この回路をQSCC(quasi stationary closed circuit:準定常閉回路)に分解し、QSCCの信号ポートに対してはIBISまたはIMICにより、電源ポート系に対してはNECが開発した等価モデルによりインターフェース条件を付与する。さらにPCB上の信号及び電源線路に対しても電磁波特性を付加した同様のインターフェース条件を付与し、これら試作PCB上のすべての回路構成要素に関するライブラリを作成する。あわせて熱、応力のライブラリ作成技術に関する研究を行う。
- d. L S I からプリント回路基板までを含むシミュレーション技術開発
試作するPCBからの10mの距離での放射電界強度が、CISPR22のクラスB情報技術装置の許容値(30MHz～230MHzでは30dB以下、230MHz～1GHzでは37dB以下。但し0dBは1 μ V/m)であることを実測で確認するとともに、許容値に対して最小のマージンを持つ最大6点の電界強度値が、新たに開発するシミュレーション技術を使用して得られる10mの距離での放射電界強度値と、誤差6dB以下で一致していることを確認する。但し、許容値に対して20dB以上低いレベルについては対象としない。

(2) 平成14年度、15年度に実施したCRLからの受託調査研究の内容

漏洩電磁波盗聴を、情報通信セキュリティに対する想定脅威として、情報通信装置からの漏洩電磁波盗用の現状と、防止技術について調査し、特に「電源デカップリング技術」に関して、その漏洩電磁波盗聴防止技術への応用方法について調査検討した。本調査研究で得られた情報から、低インピーダンス線路素子(LILC)は、従来コンデンサに比べて特に重要な数百MHz以上の周波数帯域で2桁以上の低インピーダンスを有しており、LSIのEMI評価ボードでのデカップリング特性評価においても同程度の結果を得た。商用のノートPCやサーバに適用するためには、さらなる小型化が必要であり製造プロセスの改良が必要であるが、電気的には実用可能であることが確認された。今後は、ノートPCやサーバへの応用が期待される。一方、信号配線設計の最適化に関しては、シミュレーションを中心とした研究が実施され

ており、開発中の技術を使用することにより、漏洩電磁波を発生させる過渡電流の最小化が可能であることを確認した。LILCとの併用により、ノートPCやサーバの漏洩電磁波盗聴防止対策として有用に考えられる。さらなるデカップリング強化のためにはLSIチップ中やLSIパッケージ中にLILCを組み込むことが必要である。

また、信号配線設計の最適化はLSIチップ中のトランジスタから始まり、LSIパッケージリードフレーム、ボードを経由してLSIチップ中のトランジスタに至る全行程の配線を対象とする必要がある。このため、現在ボード中心で行っている研究をLSIに拡張し継続していくことが必要となっている。

脅威の想定についての以下の検討を行い、漏洩電磁波による情報通信装置からの情報盗用防止のための、漏洩電磁波抑制に関する定量的な指針を設定した。

- ・ 想定条件
- ・ 脅威の受信能力算出
- ・ 受信可能な電界強度
- ・ 回避に必要な抑制量
- ・ ノートパソコンの現状調査
- ・ 情報通信装置に適用可能な従来の電磁漏洩抑制技術の調査

(3) 平成14年度に実施した経済産業省からの重点補助事業の研究内容

下記の研究開発を実施し予定の成果を上げた。

a. 電極製造プロセス技術の開発

従来コンデンサ用の固体アルミニウム電解形電極は、電荷の充放電に都合の良い構造となっており、周波数帯域も低く、共振周波数（それ以上の周波数でインダクタンスとなる周波数）が数百kHz程度であるため、高周波特性が考慮されたものではなかった。LILCを構成するために、従来の固体アルミニウム電解形電極を一部変更するとともに、高周波特性を考慮した機能性高分子の塗布および重合に関するプロセスの改良を実施する。あわせて、製造プロセスにおける温湿度の最適管理技術の開発も実施する。LILC量産のために、以上の技術を製造規模に応じて集約し、プラント技術として開発した。

b. 素子製造技術の開発

各種用途に適し、高い性能のLILCを実現する為に、素子全体に亘って断面形状が均一で、端子取り付け部の電氣的接続が充部に行われるような素子製造技術を開発した。さらに、耐環境性に優れた材料、素子構造の製造技術も開発する。併せて、LILCの大量生産のためのシステム化をめざした、素子製造技術も開発した。

c. 素子特性評価技術の開発

LILCは文字通り線路構造となっており、電磁波の通路を意識した四端子構造であって、電荷の通路を意識した二端子構造のコンデンサとは全く異なっている。電気特性でも、数GHzまでの非常に広い周波数帯域で数ミリΩ前後と非常に低いインピーダンスを有するとともに、四端子であるので回路電流を流すという、従来のコンデンサにない特徴を有している。このような新しい特性を有する素子を正しく評価するための技術並びに、大量生産に対応するための評価設備の開発を実施した。

d. アプリケーション技術の開発

新しい原理に基づく素子であるため、ユーザに対して正確かつ十分なアプリケーション技術を提供しないと、ボード実装状態において十分な性能を発揮しないおそれがある。現在ではボードの回路設計はSPICEで行うことが多いため、事業化する素子のSPICEモデル化は必須である。モデルの作成のために、ネットワークアナライザで正確に特性を測定する技術と、測定結果から正確なモデルを生成するためのシミュレーション技術を開発した。

さらに、LILCを種々のボードに実装する場合に対応させた、CAD用ライブラリ情報の提供が必要である。情報はTEG (test element group) による実験評価結果と、三次元電磁界シミュレーションによって生成するので、このための技術開発を実施した。

e. さらなる小型高性能LILC技術の開発

ボード埋め込み形、半導体パッケージ埋め込み形、半導体オンチップ型と、LILCの小型高性能化のためには今後多くの技術開発が必要となる。このためには半導体先端技術やナノテクノロジー、有機/無機先端材料技術が不可欠であるが、単独での開発は困難であるので、時期を見て関連の事業/研究分野とのアライアンスによる技術開発が適当であると考えます。今年度は半導体オンチップ型のシミュレーション検証を実行した。

(4) 新しい電源分配回路技術

図 4-2-1 は、情報通信装置の内部回路を示す概念図である。同図のLSI (破線内) のトランジスタを境に、右をデータ信号系、左を電源分配回路とする。トランジスタによって励起される信号電磁波は、信号線路および電源分配回路に伝搬する。一般に装置内には数 MHz から数 GHz に亘る複数のクロック回路およびデータ処理回路が使用されている。これらの回路には直流電源が必要であり、金属導体で構成された電源分配回路で供給される。電圧毎の電源分配回路は通常、分断されることなく金属導体によって多くのトランジスタに対してもれなく接続され、信号回路のように独立ではない。このため、LSI (半導体チップ) からボード (プリント基板) までの電源分配回路中にはクロック回路およびデータ処理回路のスイッチング動作に起因する非常に大きなレベルの高周波電流が存在する。

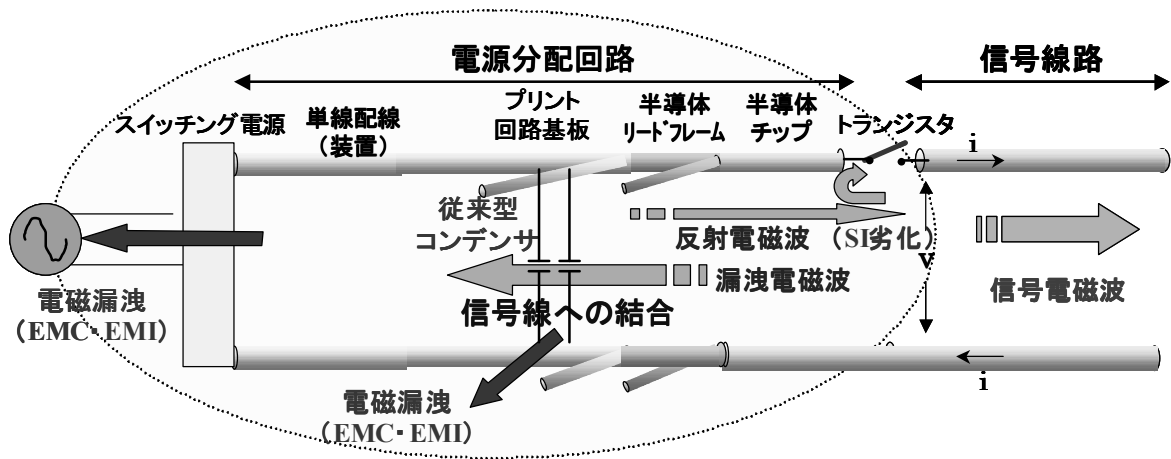


図 4-2-1 情報通信装置の内部回路概念図

図 4-2-1 において、LSI 中のトランジスタの開閉によって、左右に向かう電磁波が励起される。トランジスタから見た電源分配回路の特性インピーダンスがゼロであれば、トランジスタが励起する電磁波は電源分配回路の入り口で反射し電源分配回路中に侵入することは無いし、反射点で位相が反転するので反射波は信号線路を進む電磁波と同相となる。このとき、トランジスタの形状及びトランジスタから電源分配回路の入り口までの配線長が電磁波の波長に比べて非常に小さければ、トランジスタが励起する電磁波の全てが信号電磁波となり、信号波形品質 (SI : signal integrity) の劣化も無い。

しかし、実際の電源分配回路は、信号線路の特性インピーダンスと大きくは変わらない。そこで、従来は、電源分配回路のインピーダンスを下げる目的でコンデンサが大量に使用されている。しかしながら、これらのコンデンサは、電荷の充放電という低周波でしか成り立たない簡略化電磁気理論に基づいて作られているものであって、電磁波の伝搬を阻止する目的で作られてはいない。情報通信装置のボードに最も多く使用されている $0.1\mu\text{F}$ の容量を有するチップセラミックコンデンサのインピーダンスを図 4-2-2 に示す。インピーダンス特性は、自己共振周波数（図中 resonance）を境に、数十 MHz 以上では、インダクタンス特性領域になり周波数とともにインピーダンスが上昇するため、コンデンサでは電磁波の漏洩を効果的に阻止できない。

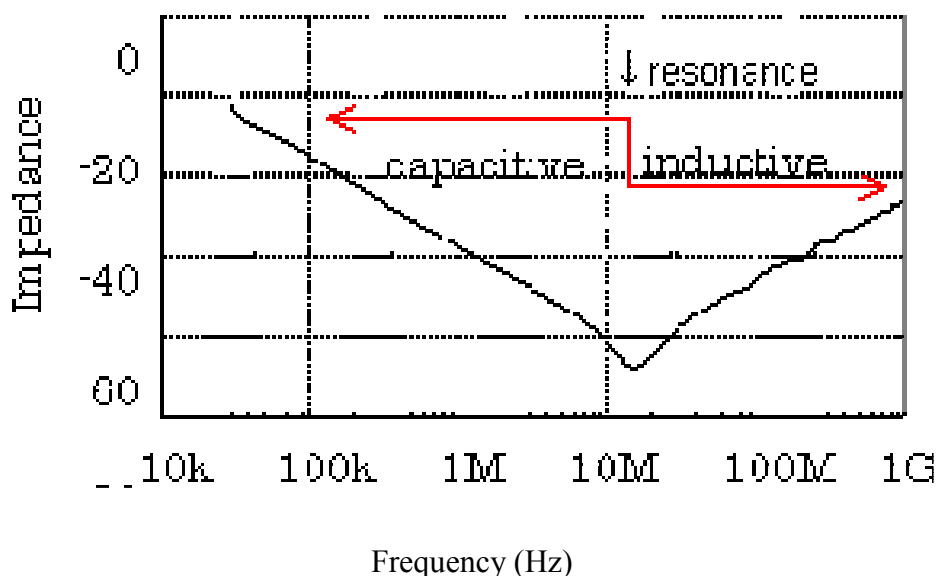


図 4-2-2 $0.1\mu\text{F}$ チップセラミックコンデンサのインピーダンス特性

このため、トランジスタが励起する電磁波の数十%以上が漏洩電磁波となって、電源分配回路中を進むと推定される。一般の回路設計者は電圧変動を気にする余り、漏洩電磁波が目に見えないこともあって、電源分配回路に大量の漏洩電磁波が存在することに気付かない。むしろ、電源配線はグランド配線とともに高周波では基準電位（グランド）と考えられているために、電源分配回路中やその付近に多数の信号配線（信号線路）が配置されている。

LSI チップ内の膨大な数のトランジスタ毎に発生する高周波電磁波が LSI 内の電源分配回路に集まり、LSI パッケージを経由してボードの電源分配回路に集まる。電源分配回路のインピーダンスは信号回路に比べて非常に低いため、高周波電磁波は通常、高周波電流として観測される。

LSI チップ、LSI パッケージ、及びボード内の電源分配回路に非常に大きな値で存在する高周波電流は、それらの中で容易に信号配線にも結合する。電源分配回路中の高周波電流の一部は電源ケーブル、信号配線に結合した高周波電流は信号ケーブルをそれぞれ經由

して、装置の外へ漏洩し放射する。これを防止することが、情報通信装置からの情報盗用防止策となる。

電源分配回路への電磁波漏洩を阻止できれば、情報通信装置からの情報盗用が防止されるほか、以下のような効果が生じると考えられる。

- ・ 回路設計効率が向上する
- ・ 信号品質が向上する
- ・ アナログ回路とデジタル回路の近接混在が可能になる
- ・ デジタル機器による EMI 問題が無くなる
- ・ EMC 対策材料や対策部品が不要となる
- ・ 消費電力が抑制される
- ・ 高速、高周波回路における電源変動が抑制される

本研究開発課題では、情報通信装置からの情報漏洩抑制に的を絞り、すでに開発済みまたは今後開発予定の低インピーダンス線路素子 (LILC: low impedance line structure component) 技術を、情報通信装置の電源分配回路に適用して、効果の確認を行うことにする。

図 4-2-3 は、L I L C を使用した場合の電源分配回路中の最適なデカップリング構成例を示す。図中の左端のスイッチング電源又は電池から L S I 内のトランジスタに対して直流電力が供給されている。漏洩電磁波発生源は、LSI 内部のトランジスタであり、信号線路に信号電磁波が伝搬すると共に電源分配回路内に漏洩電磁波が伝搬しているが、電源分配回路への電磁波漏洩を抑制すると、電源分配回路には図の左側のスイッチング電源または電池からトランジスタを含む信号回路に供給する直流電流のみが存在することになる。

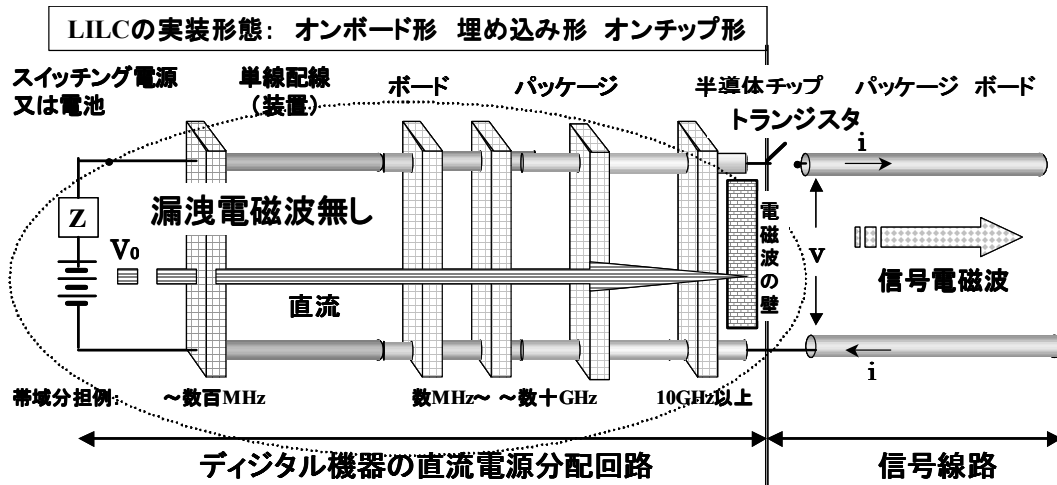


図 4-2-3 各種 L I L C の最適配置例

図中に直方体で表現している L I L C は、漏洩電磁波発生源に近く配置するほど効果が高いと考えられる。これは、トランジスタの開または閉動作にともなって励起される電磁波はトランジスタの立ち上がり時間で決まる単一周波数のみを有するが、線路を伝搬するに従い種々の理由でスペクトラムが低域に拡散していくため、広帯域特性が要求されると考えられるからである。また、L I L C を電磁波の短絡壁とみなすと、周波数が高いほど反射波の位相差が少ないトランジスタ近傍への L I L C 搭載が必要となる。しかし、L S I チップ内に L I L C を埋め込む技術の開発は、膨大なリソースを必要とするため困難である。一方、L S I の外に L I L C を搭載することは、L S I から離れるほど容易になる

が、L I L Cには、広帯域特性と、大電流に対応するための低インピーダンス特性と低直流抵抗値が要求される。総合的にはボード搭載型L I L Cの開発が比較的容易であり、ついでL S Iパッケージ埋込型、L S Iオンチップ型の順に困難になる。なお、L I L Cの特性をより効果的に発揮させるために、ボード埋込型L I L Cが考えられるが、この技術の難易度は、L S Iパッケージ埋込型よりやや高いと考えている。図 4-2-4-4 に、提案する新しい電源分配回路技術に注目した、漏洩電磁波盗用防止技術の研究開発ロードマップを示す。

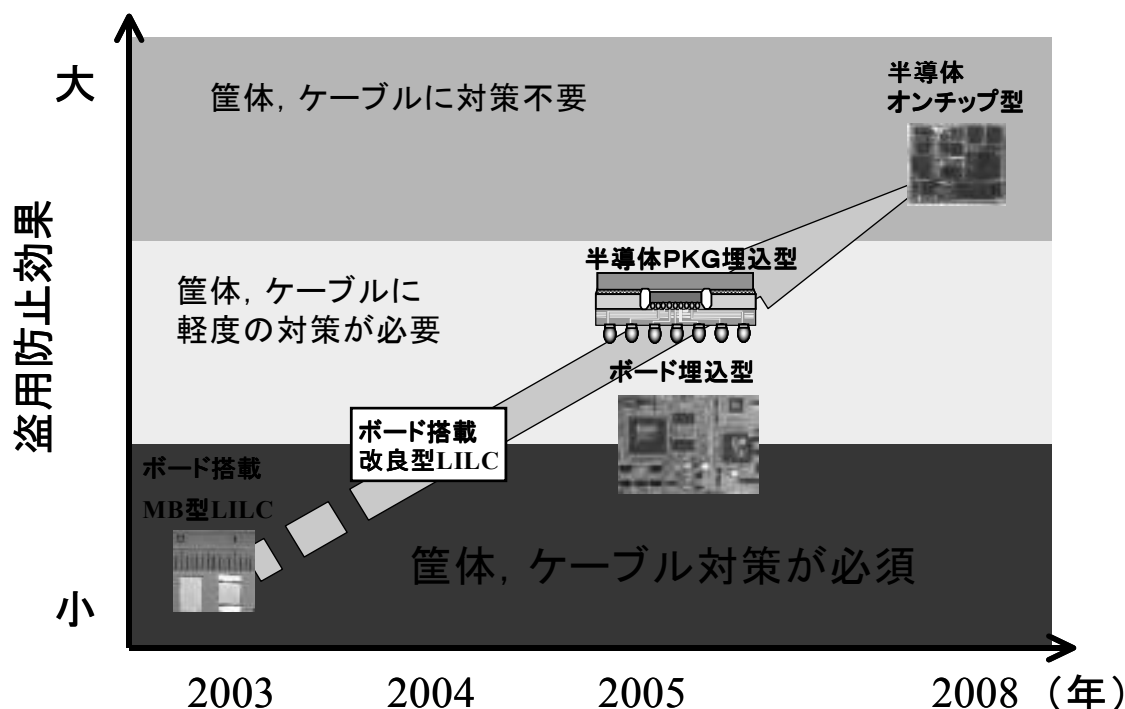


図 4-2-4 新しい電源分配回路技術に関する研究開発ロードマップ

提案する新しい電源分配回路技術に注目した研究開発課題の最終目標は、ボード搭載型を除く、半導体チップからボードに亘りそれぞれに最適な特性を有するL I L C技術の開発と、L I L C技術を核とする、高度の電源デカップリング技術の開発である。

(5) 情報通信装置に関する漏洩電磁波盗聴防止技術

漏洩電磁波盗聴を、情報通信セキュリティに対する想定脅威として、情報通信装置から漏洩電磁波盗用の現状と、防止技術について調査し、特に「電源デカップリング技術」に関して、その漏洩電磁波盗聴防止技術への応用方法について、独立行政法人通信総合研究所からの委託で、平成14年度、平成15年度に亘って調査検討した。

今本調査研究で得られた情報から、低インピーダンス線路素子 (LILC) は、従来コンデンサに比べて特に重要な数百MHz以上の周波数帯域で2桁以上の低インピーダンスを有しており、LSIのEMI評価ボードでのデカップリング特性評価においても同程度の結果を得た。商用のノートPCやサーバに適用するためには、さらなる小型化が必要であり製造プロセスの改良が必要であるが、電気的には実用可能であることが確認された。今後は、ノートPCやサーバへの応用が期待される。

一方、信号配線設計の最適化に関しては、シミュレーションを中心とした研究が実施さ

れており、開発中の技術を使用することにより、漏洩電磁波を発生させる過渡電流の最小化が可能であることを確認した。LILCとの併用により、ノートPCやサーバの漏洩電磁波盗聴防止対策として有用と考えられる。さらなるデカップリング強化のためにはLSIチップ中やLSIパッケージ中にLILCを組み込むことが必要である。

また、信号配線設計の最適化はLSIチップ中のトランジスタから始まり、LSIパッケージリードフレーム、ボードを経由してLSIチップ中のトランジスタに至る全行程の配線を対象とする必要がある。このため、現在ボード中心で行っている研究をLSIに拡張し継続していくことが必要となっている。

脅威の想定についての以下の検討を行い、漏洩電磁波による情報通信装置からの情報盗用防止のための、漏洩電磁波抑制に関する定量的な指針を設定した。

- (1) 想定条件
- (2) 脅威の受信能力算出
- (3) 受信可能な電界強度
- (4) 回避に必要な抑制量
- (5) ノートパソコンの現状調査
- (6) 情報通信装置に適用可能な従来の電磁漏洩抑制技術の調査

5 研究開発実施状況（平成 15 年度）

5-1 検証試作と可能性検証

5-1-1 序論

漏洩電磁波盗用防止技術を開発する目的で、実際に市販されるのと同等の情報通信装置に、「新しい電源分配回路技術」を適用し、回路技術の観点から本研究開発の可能性検証を実施する。本サブテーマは、「新しい電源分配回路技術」を適用した情報通信装置を試作し、その性能を評価する。H15 年度は適用する情報通信装置を選定し、「新しい電源分配回路技術」を適用したマザーボードを試作した。また、可能性検証を実施するために、評価手法を検討し、測定系を整備した。

5-1-2 情報通信装置の選定

可能性検証に使用する情報通信装置は典型的な装置としてネットワーク・サーバ装置（以下、サーバーと表記する）とネットワーク端末（以下、ノート PC と表記する）とする。選定の条件を以下に示す。

- ・ 市販製品または市販製品に類する装置
- ・ 改造試作をするため、設計情報（回路図）、部材が調達可能なこと
- ・ 改造試作を予定している次年度（H16 年度）も部材調達可能なこと
- ・ 比較用の改造前装置が入手可能こと

5-1-3 サーバー試作

新しい電源分配回路技術を適用し、情報通信装置であるサーバーを試作した。本年度は、マザーボードの電源分配回路のコンデンサを低インピーダンス線路素子（LILC：Low Impedance Line structure Component）に置き換える電源デカップリング技術を適用し、試作装置の動作試験と放射電界強度を測定した。以下、適用したサーバーのマザーボードの概要、適用箇所、試作装置評価について述べる。

5-1-3-1 試作サーバーのマザーボード概要

本試作では、設計データと改造用部品が入手可能な市販のサーバーを選定した。選定したサーバーのマザーボードは、下記の仕様であり、そのブロック図を図 5-1-3-1-1 に示す。

【マザーボード仕様】

ボードサイズ：12 インチ x 13 インチ

ボードの層数：12 層

ボードの素材：FR4

CPU：Pentium XEON（CPU クロック：3.06 GHz，FBS：533MHz）

Memory：DDR266 x 4 Slot

PCI スロット：133MHzPCI-x=2Slots, 100MHzPCI-x=1Slot, 66MHzPCI=2Slots

SCSI：Ultra320=2ポート

IDE:ATA100=2ポート

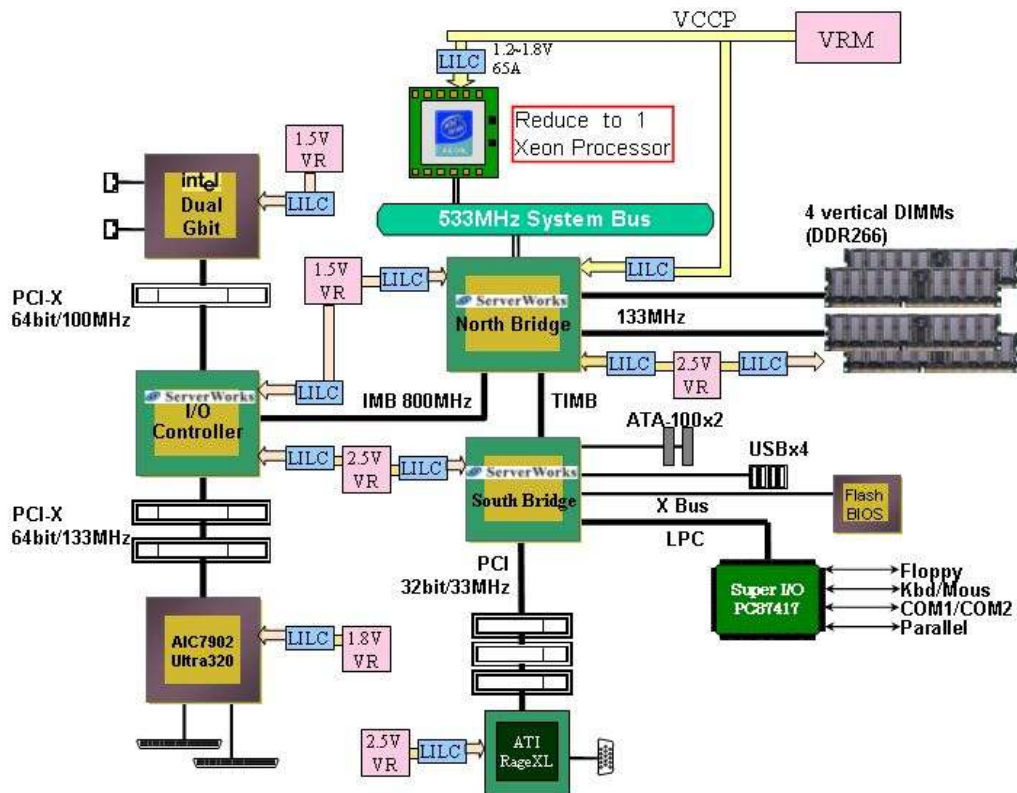


図 5-1-3-1-1 試作サーバーのマザーボードブロック図

今回は、対象マザーボードに 253 個の LILC を搭載した。表 2.1.1-1 に搭載した LILC のサイズと個数の一覧を示す。LILC サイズは、LILC の線路構造長で表記し、4, 8, 16, 24 の 4 種類準備した。表の行は使用 LILC に、表の列は適用箇所 (回路) に対応する。最右行は使用個数を示しており、サイズ 4 は 9 個、サイズ 8 は 41 個、サイズ 16 は 64、サイズ 24 は 139 個、合計 253 個である。

表 5-1-3-1-1 試作サーバーのマザーボードの LILC サイズと搭載個数

LILCサイズ	CPU	VRM	CMIC-LE	CIOB-X2	82546EB	CSB5	AIC-7902	Rage-XL	DDR	PCI	Super IO	GTL2005	PCK2057	IO interface	CLK	ADM1026	Total		
Top	4	-	-	-	-	1	-	-	-	-	-	-	-	1	-	-	2	78	4mm
	8	-	16	-	-	-	4	-	-	-	-	-	1	1	-	-	22		9
	16	-	-	1	-	-	-	-	13	-	-	-	-	1	-	1	17		8mm
	24	16	17	-	1	2	-	-	-	-	-	-	-	1	-	-	37		41
Bottom	4	-	-	-	2	1	-	-	3	-	-	-	-	-	-	-	7	175	16mm
	8	2	-	6	-	2	-	-	3	1	-	-	1	1	2	-	19		64
	16	-	5	1	4	1	1	3	23	6	-	-	1	-	1	47	24mm		
	24	31	20	6	-	4	1	8	5	2	21	2	1	-	1	102	139		
Total	49	58	14	7	9	6	14	8	44	28	2	1	2	6	3	2	253		

次に、搭載した LILC の実装位置と、それに対応するマザーボードの写真を示す。図 5-1-3-1-2 は試作サーバーのマザーボードの部品実装図 (表面: Top view) である。着色した位置が LILC 実装位置である。サイズ 4 は「空色」、サイズ 8 は「緑色」、サイズ 16 は「肌色」、サイズ 24 は「紫色」である。図 5-1-3-1-3 に試作サーバーのマザーボード (Top view) の写真を示す。LILC は試作品であるため、モールド樹脂が黒色と紫色の 2 種類混ざっているが、性能に差はない。図 5-1-3-1-4 に試作サーバーのマザーボードの部品実装図 (表面: Bottom view), 図 5-1-3-1-5 に試作サーバーのマザーボード (Bottom view) の写真を示す。

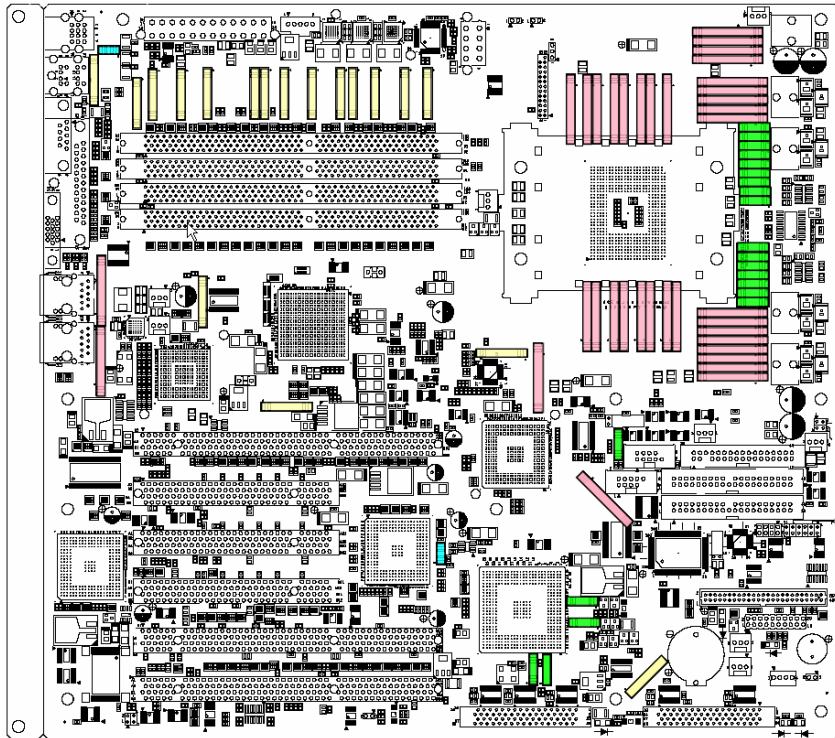


図 5-1-3-1-2 試作サーバーのmotherボードLILC搭載位置 (Top view)
(着色箇所をLILCを実装)



図 5-1-3-1-3 試作サーバーのmotherボード (Top view)

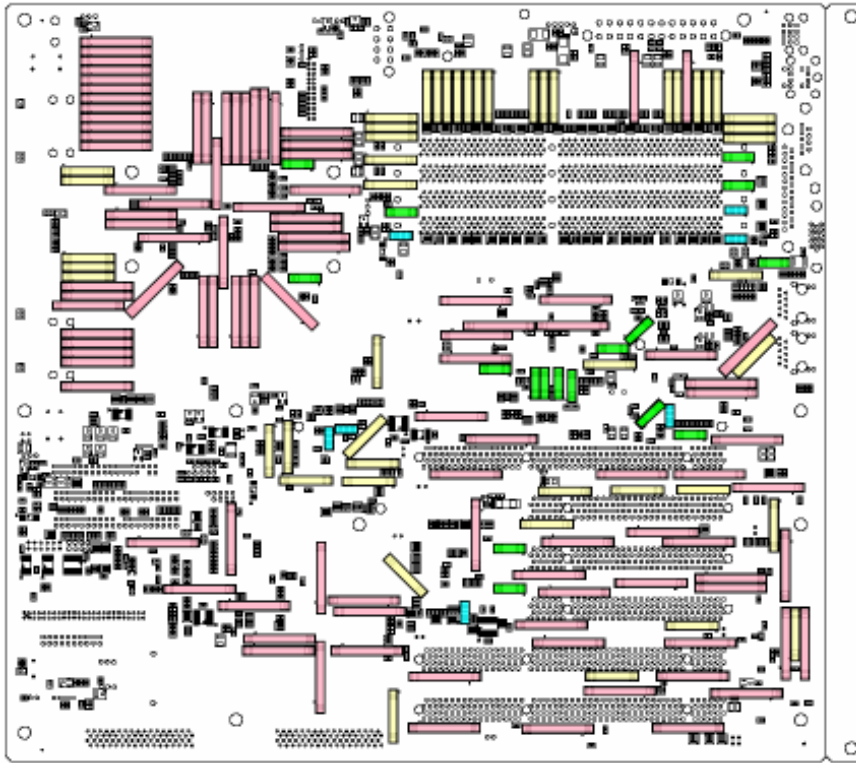


図 5-1-3-1-4 試作サーバーLILC 搭載位置 (Bottom view)
(着色位置に LILC を実装)

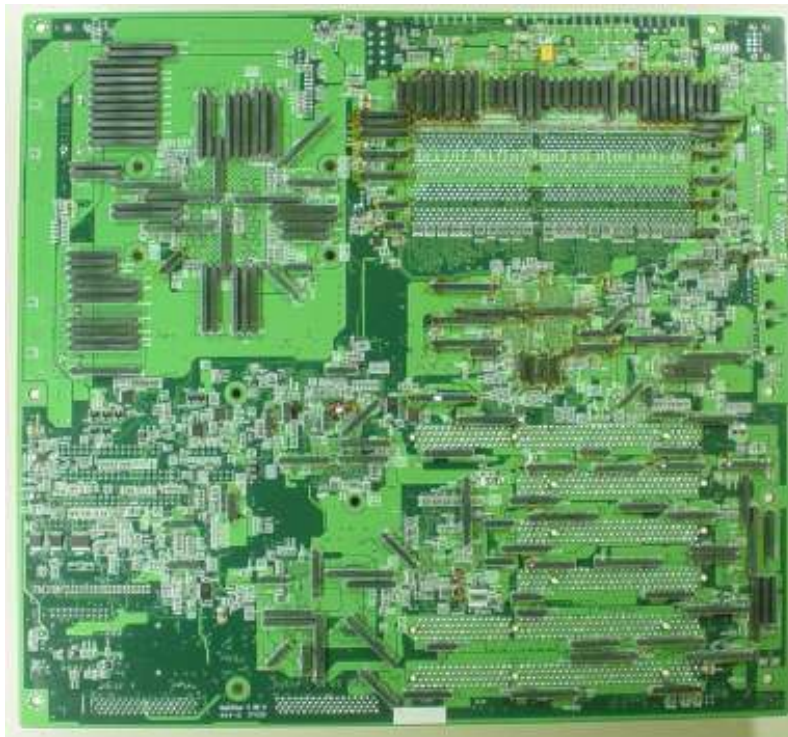


図 5-1-3-1-5 試作サーバーのマザーボード (Bottom view)

5-1-3-2 マザーボードの各部設計仕様

5-1-3-2-1 LILC の適用

A) 設計概要

LILC は 4 端子構造の線路素子であり、電源分配回路に搭載する。今回の試作では主要な LSI の電源配線に LILC を実装した。図 5-1-3-2-1-1 に LILC を配置した電源分配回路の結線図を示す。LILC は、主要な LSI の近くに実装した。

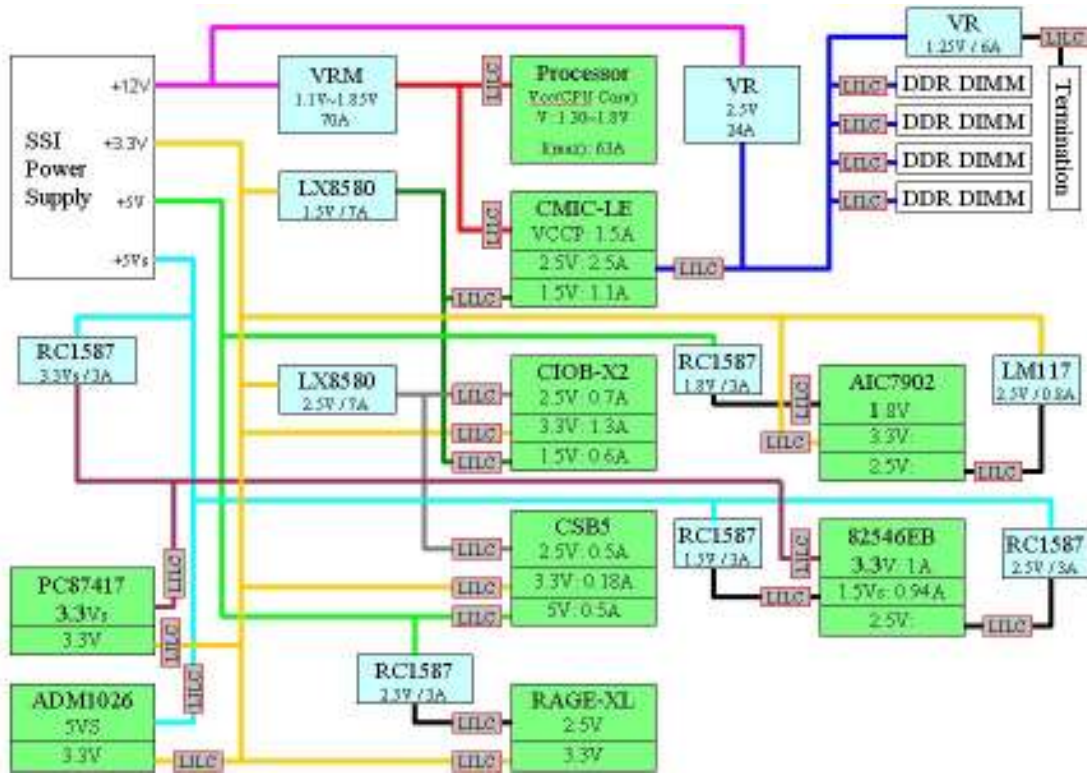


図 5-1-3-2-1-1 試作サーバーのマザーボードの電源分配回路の結線図

次に、LILC を適用した主要な箇所を個別に述べる。

B) CPU

CPU の V C C P の変更を下記に示す。

CPU の消費電力から算出した最大電流値と、LILC の電圧ドロップ特性から、CPU の動作を保証するためには、15 個の LILC を並列に搭載すれば十分である。しかしながら、本試作は、LILC の漏洩電波抑制効果の検証を目的とするため、マザーボード上に LILC をできるだけ実装した。本試作では 45 個の LILC を搭載した。この電源回路以外に電圧基準 (VERF) 信号にも LILC を適用し、CPU 周辺回路には合計 49 個の LILC を使用した。図 5-1-3-2-1-2 に従来の CPU 電源回路図を、図 5-1-3-2-1-3 に LILC 適用後の CPU 電源回路図を示す。従来回路図中のコンデンサを取り除き、LILC で置き換えをした。図 5-1-3-2-1-4 に LILC 適用後の CPU 周辺 (写真) を示す。向かって、左は部品搭載面 (表面)、右はハンダ面 (裏面) である。

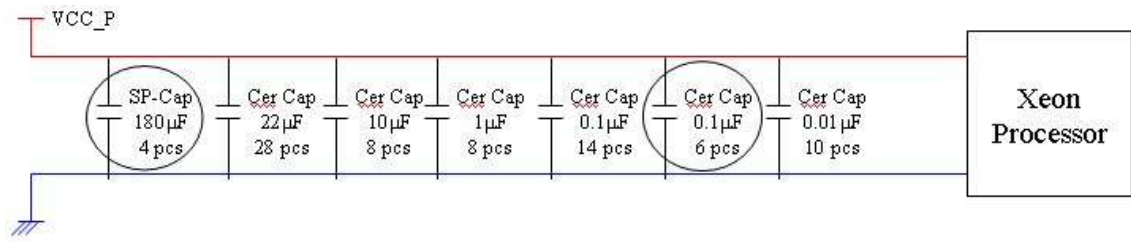


図 5-1-3-2-1-2 CPU の電源回路図 (従来)

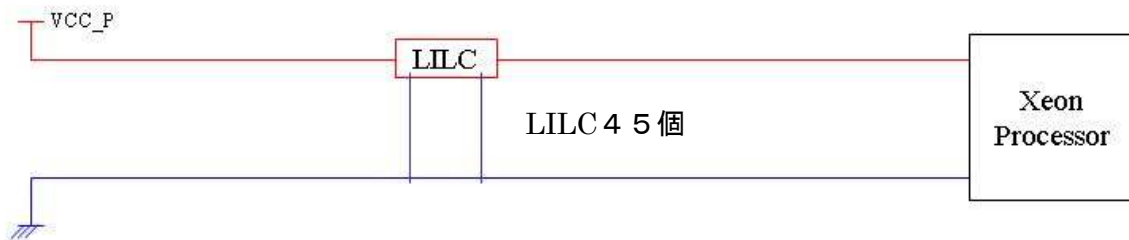


図 5-1-3-2-1-3 CPU 電源回路図 (LILC 適用)

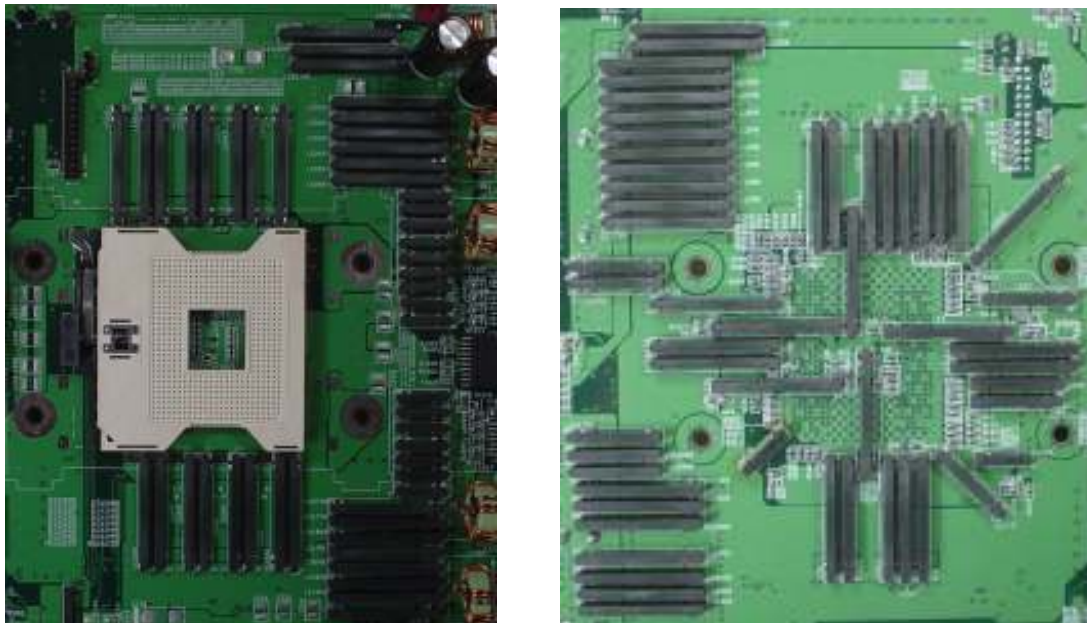


図 5-1-3-2-1-4 LILC 適用後の CPU 周辺 (写真)

右：表面，左：裏面

C) North Bridge (CMIC)

CPU とメモリーバスを接続する North Bridge は異なる 3 種類の電圧を使用している。3 種類の電源配線それぞれに LILC を適用した。図 5-1-3-2-1-5 に North Bridge の電源回路図 (従来) を、図 5-1-3-2-1-6 に LILC 適用後の North Bridge の電源回路図を示す。従来回路からコンデンサを取り去り、LILC で置き換えている。

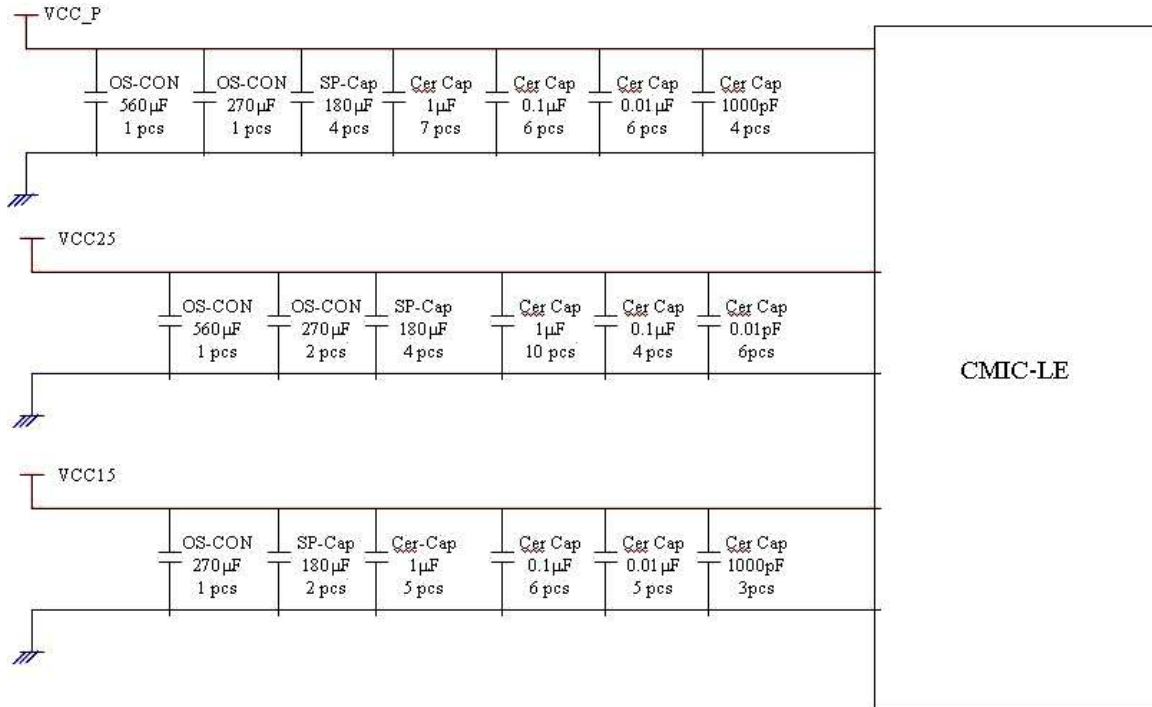


図 5-1-3-2-1-5 North Bridge の電源回路 (従来)

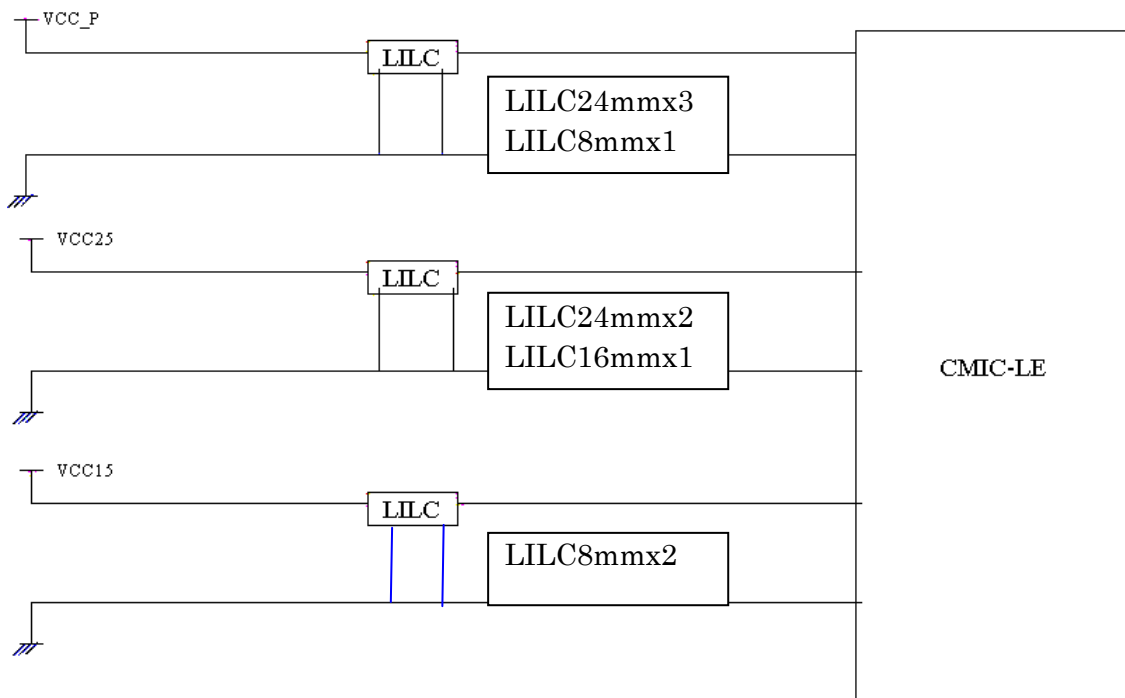


図 5-1-3-2-1-6 North Bridge の電源回路図 (LILC 適用)

North Bridge では、図 5-1-3-2-1-6 記載以外に VREF（基準電圧）信号用に LILC24mm x 1、LILC8mm x 3 も使用している。

図 5-1-3-2-1-7 に LILC を適用した North Bridge 回路周辺の写真を示す。



図 5-1-3-2-1-7 LILC を適用した North Bridge 回路周辺（写真）

D) PCI バスコントローラ (CIOB-X)

CIOB-X は PCI バスをサポートする LSI である。CIOB-X では、3 つの異なる電圧を使用しており、それぞれの電圧に対して LILC を適用した。図 5-1-3-2-1-8 に従来の PCI バスコントローラ電源回路図を、図 5-1-3-2-1-9 に LILC を適用した PCI バスコントローラ電源回路図を示す。従来回路からコンデンサを取り除き、LILC で置き換えた。図 5-1-3-2-1-10 に LILC 適用後の PCI バスコントローラ周辺の写真を示す。PCI バスコントローラでは、電源デカップリング以外にも VREF（基準電圧）信号にも LILC を適用している。

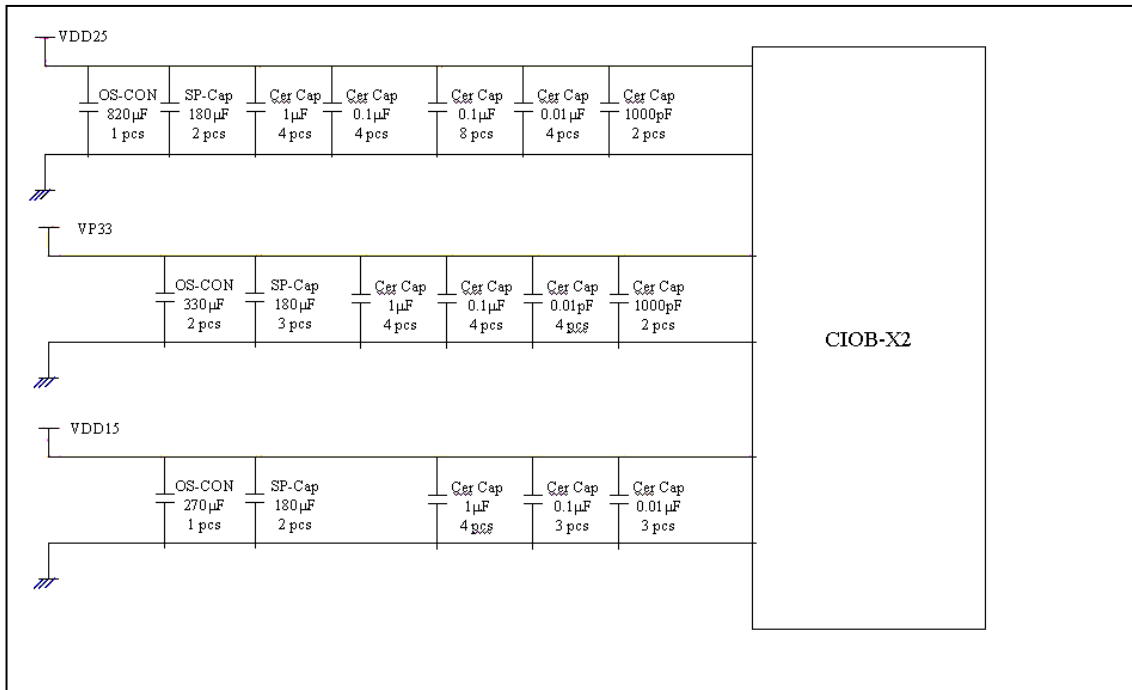


図 5-1-3-2-1-8 PCI バスコントローラ電源回路図 (従来)

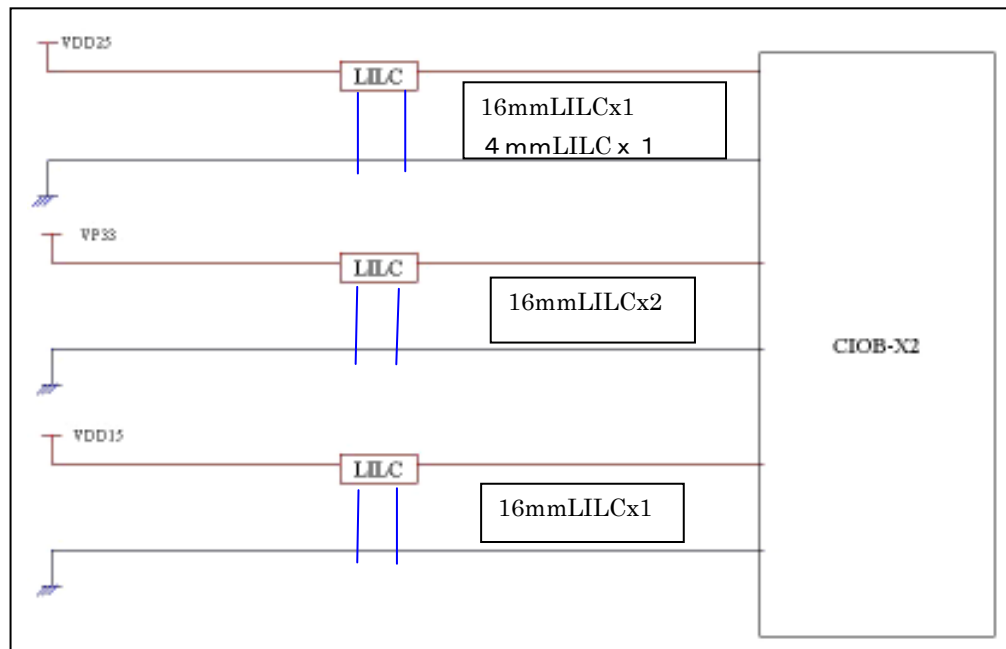


図 5-1-3-2-1-9 LILC を適用した PCI バスコントローラ電源回路図

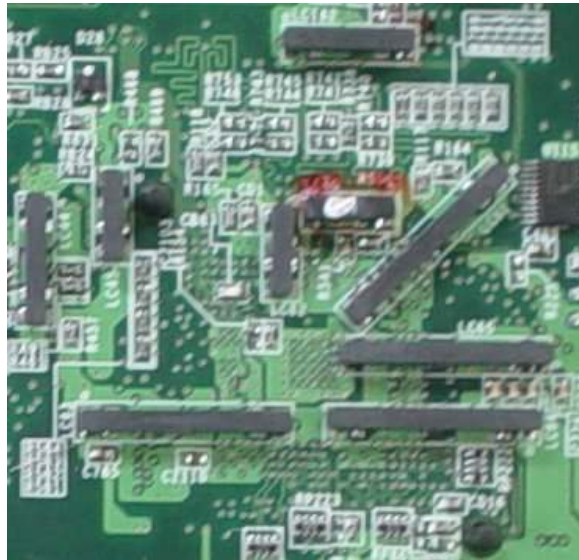


図 5-1-3-2-1-10 LILC 適用後の PCI バスコントローラ (CI0B-X) 周辺 (写真)

E) South Bridge (CSB5)

South Bridge (CSB5) は、I/O および、I/O コントローラチップへのバスを提供する LSI である。South Bridge では 2 つの電圧を使用する。図 5-1-3-2-1-11 に従来の South Bridge 電源回路図を示す。図中のコンデンサを取り外し、LILC で置き換えた LILC 適用後の回路図を図 5-1-3-2-1-12 に示す。図 5-1-3-2-1-13 に LILC 適用後の South bridge 周辺の写真を示す。

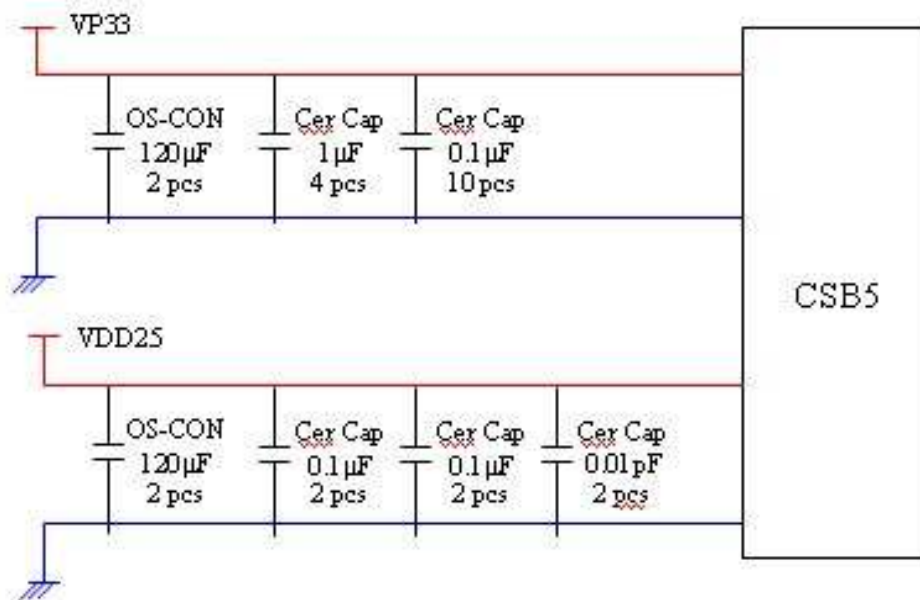


図 5-1-3-2-1-11 South bridge 電源回路図 (従来)

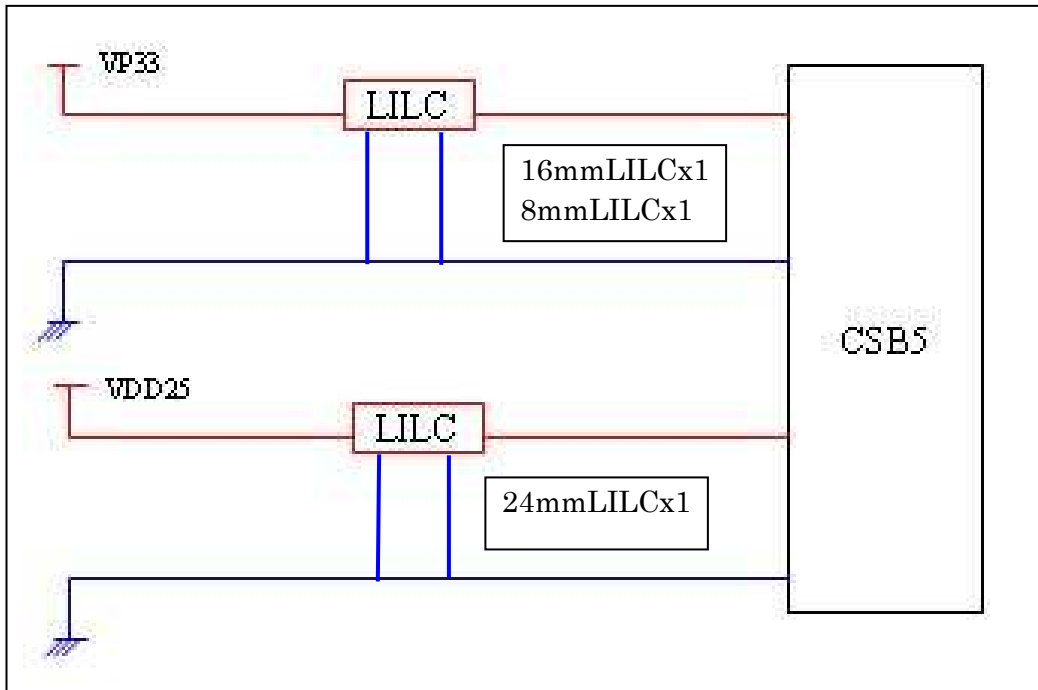


図 5-1-3-2-1-12 South Bridge の LILC 適用



図 5-1-3-2-1-13 LILC を適用した South Bridge 周辺の写真

F) Clock シンセサイザー

図 5-1-3-2-1-14 に Clock シンセサイザーの電源回路図を示す。同図のコンデンサとインダクタを取り除き、LILC に置き換えた。図 5-1-3-2-1-15 に LILC 適用後の回路図を示す。

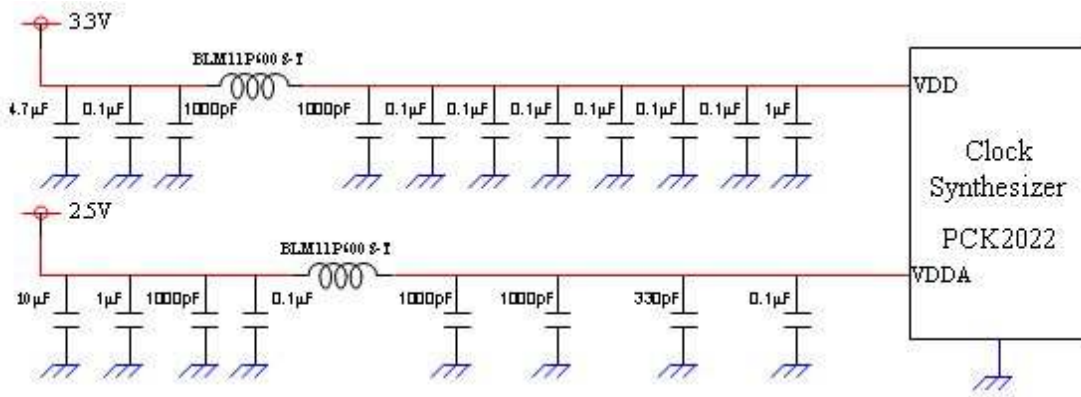


図 5-1-3-2-1-14 Clock シンセサイザーの電源回路図 (従来)

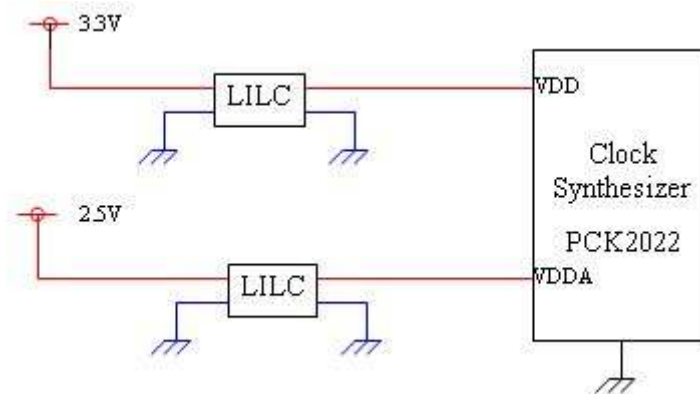


図 5-1-3-2-1-15 LILC を適用した Clock シンセサイザーの電源回路図

G) その他回路

その他の LSI についても、電源分配回路の従来コンデンサをできるだけ LILC に置き換えた。

5-1-3-2-2 コンデンサの削減数

LILC を適用した電源回路では全部のコンデンサを削減した。改造前のマザーボードは約 1 2 0 0 個のコンデンサを使っていた。LILC 適用後、その約 8 0 % (955 個) を削減した。新たに追加した LILC は 253 個であった。表 5-1-3-2-2-1 に対象回路ごとの削減コンデンサと追加 LILC の一覧を示す。

表 5-1-3-2-2-1 本改造試作での削減コンデンサ、追加 LILC 数一覧

対象回路	削減コンデンサ数	追加 LILC 数
CPU および VRM	2 4 0	1 0 7
North Bridge	9 6	1 4
PCI バスコントローラ	6 7	7
South Bridge	1 9	6
PCI/PCI-X	6 3	2 8

SCSI コントローラ	7 1	1 4
Video コントローラ	5 6	8
I/O デバイスコントローラ	1 1 3	2 2
Memory	1 5 0	4 4
Clock	8 0	3
合計	9 5 5	2 5 3

5-1-3-3 試作サーバーの評価

5-1-3-3-1 動作確認

LILC 適用した試作サーバーの動作を確認するため、OS をインストール後、高負荷試験にて安定動作を確認した。

LILC を適用したマザーボードは、フルタワー型の筐体に組み込んだ。図 5-1-3-3-1-1 に筐体に組み込んだマザーボードの写真を示す。

動作試験の条件は以下のとおりである。

試験 OS : WindowsNT4.0

試験ツール : PLU 試験

試験時間 : 4 8 時間

試験結果 : エラーなし。



図 5-1-3-3-1-1 試作サーバーの筐体内部 (写真)

5-1-3-3-2 試作サーバのEMI評価

試作サーバの EMI を測定した。測定時の構成は、本体（試作サーバ）、LCD、キーボード、マウスであった。図 5-1-3-3-2-1 に EMI 測定風景の写真を示す。EMI 測定は VCCI に準拠して 3m 法の簡易電波暗室で行った。DUT (Device under test) は、高さ 80cm の木製テーブルの中心で後端部をテーブルエッジに合わせた。表示は「H パターン」、動作は PLU テストモードとした。図 5-1-3-3-2-2 に LILC 適用前後の EMI 測定結果を示す。図中の「A」、 「B」 領域で抑制されたスペクトラムもあるが、顕著な EMI 抑制効果は確認できなかった。



図 5-1-3-3-2-1 試作サーバの EMI 測定風景（写真）

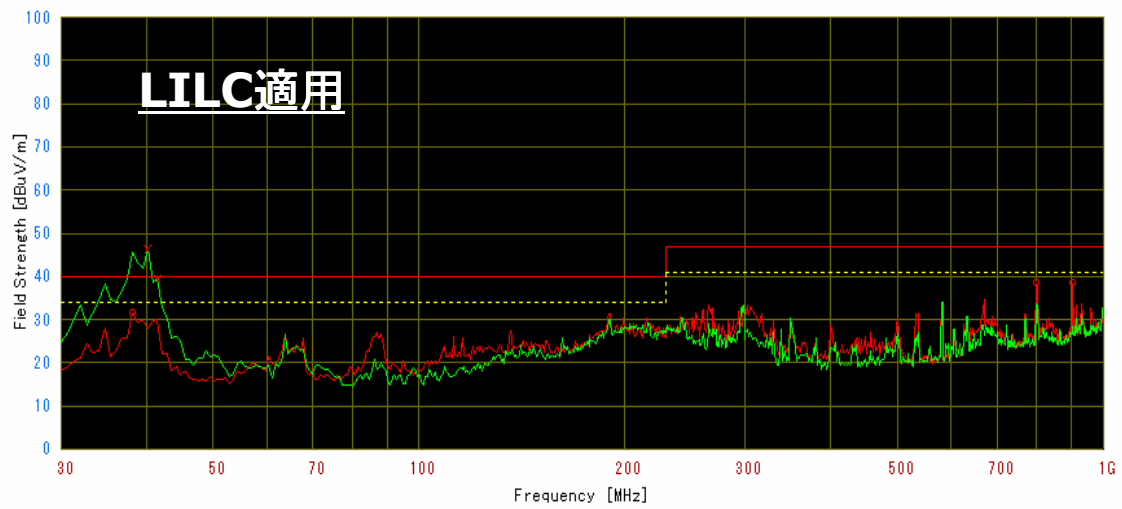
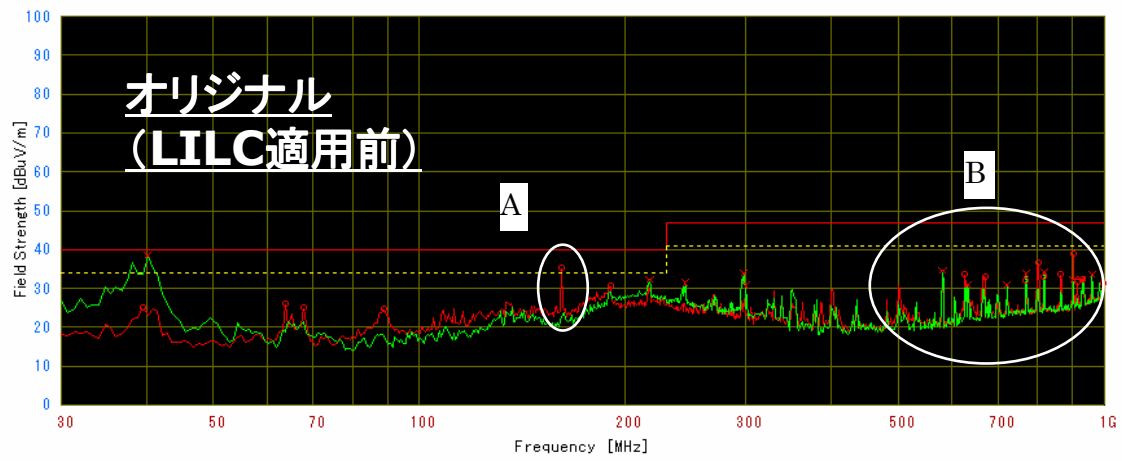


図 5-1-3-3-2-2 EMI 測定結果（上：LILC 適用前，下：LILC 適用後）

5-1-4 ノートPCの試作

5-1-4-1 ノートPCの概要

漏洩電磁波盗用防止技術適用の情報通信装置として、モバイル端末での利用が想定されるノートブック型パソコン（ノートPC）を試作した。

対象のノートPCは当研究所が設計データ入手でき、改造試作可能な条件で選定した。図5-1-4-1-1に対象のノートPCのブロック図を示す。

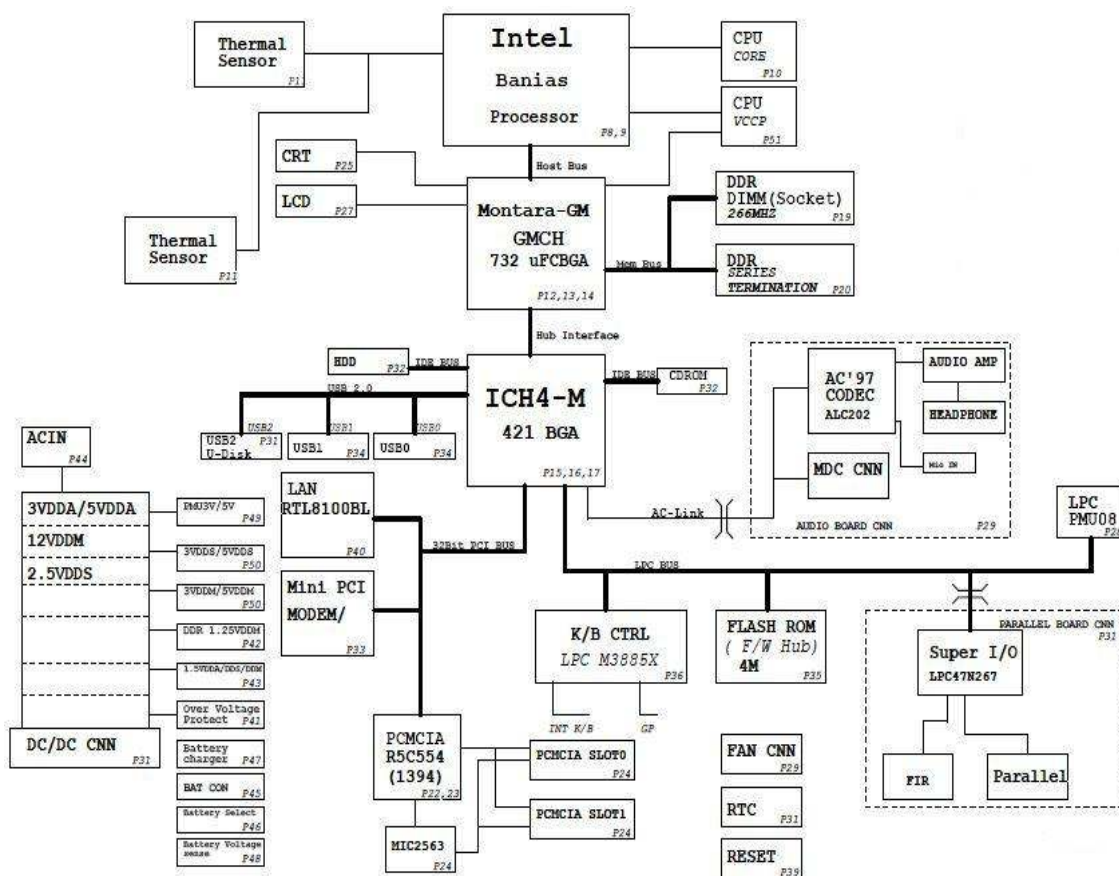


図 5-1-4-1-1 ノートPCのブロック図

ノートPCは携帯性を優先するため、筐体容積，マザーボード面積，部品実装の高さに制限がある。また、デスクトップ型に比べ省電力な仕様であり、必要なLILCは少量でよい。今回はマザーボード全体にわたる設計変更が時間的制約から困難であったため、主要な回路にLILCを適用する部分改造とした。図5-1-4-1-2にLILCを適用したノートPCの部品実装図（Top view）を示す。赤く着色している箇所にLILCを実装した。図5-1-4-1-3に試作したマザーボードの写真（Top View）を示す。図5-1-4-1-4に同PCの部品実装図（Bottom view）を示す。図5-1-4-1-5にマザーボードの写真（Bottom view）を示す。表5-1-4-1-1に対象回路ごとの削減コンデンサ数，実装LILC数の一覧を示す。

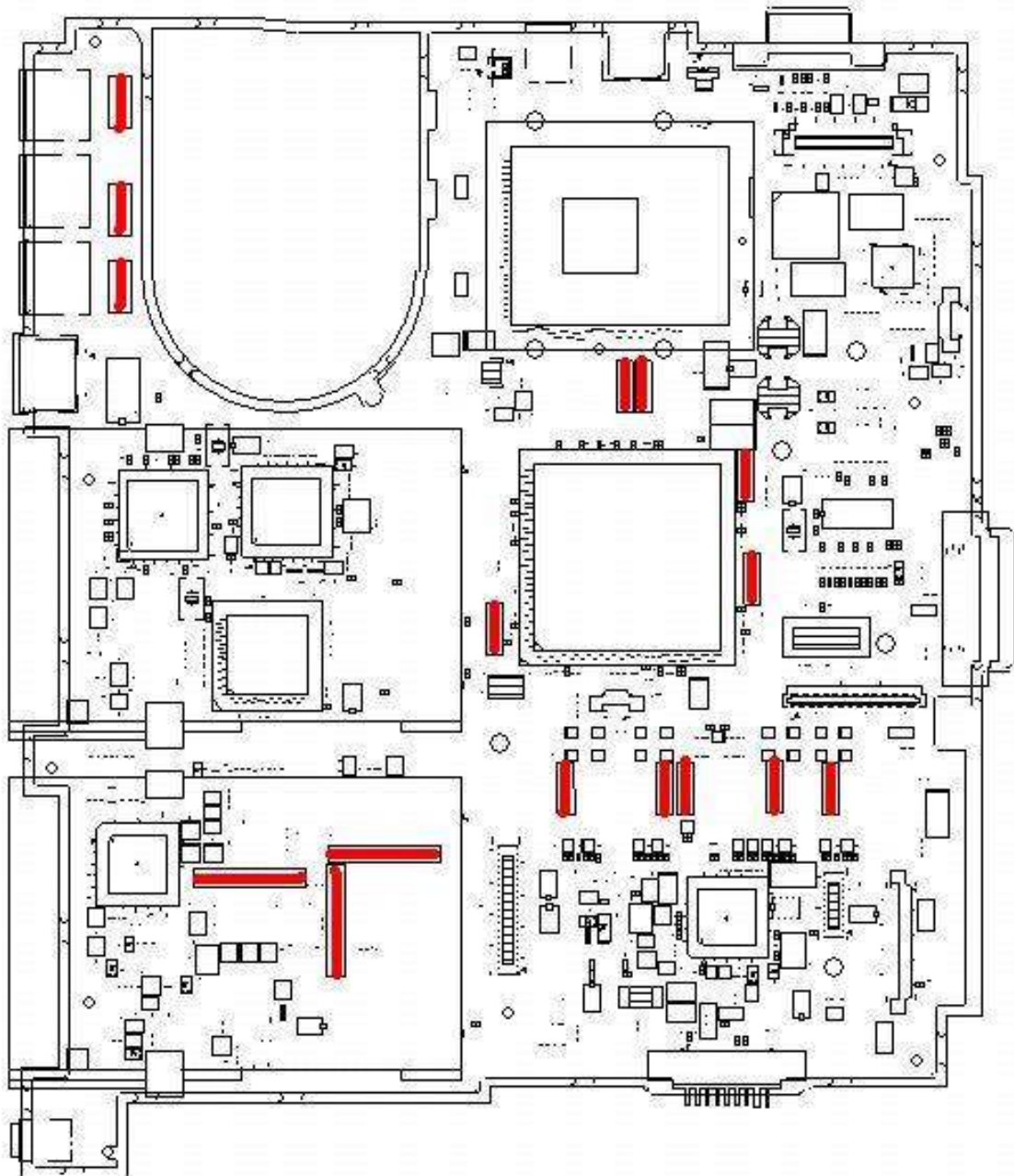


図 5-1-4-1-2 LILC を適用したマザーボードの部品実装図
(Top view)
(着色している箇所が LILC)



図5-1-4-1-3 LILCを適用したマザーボード（写真）
(Top view)

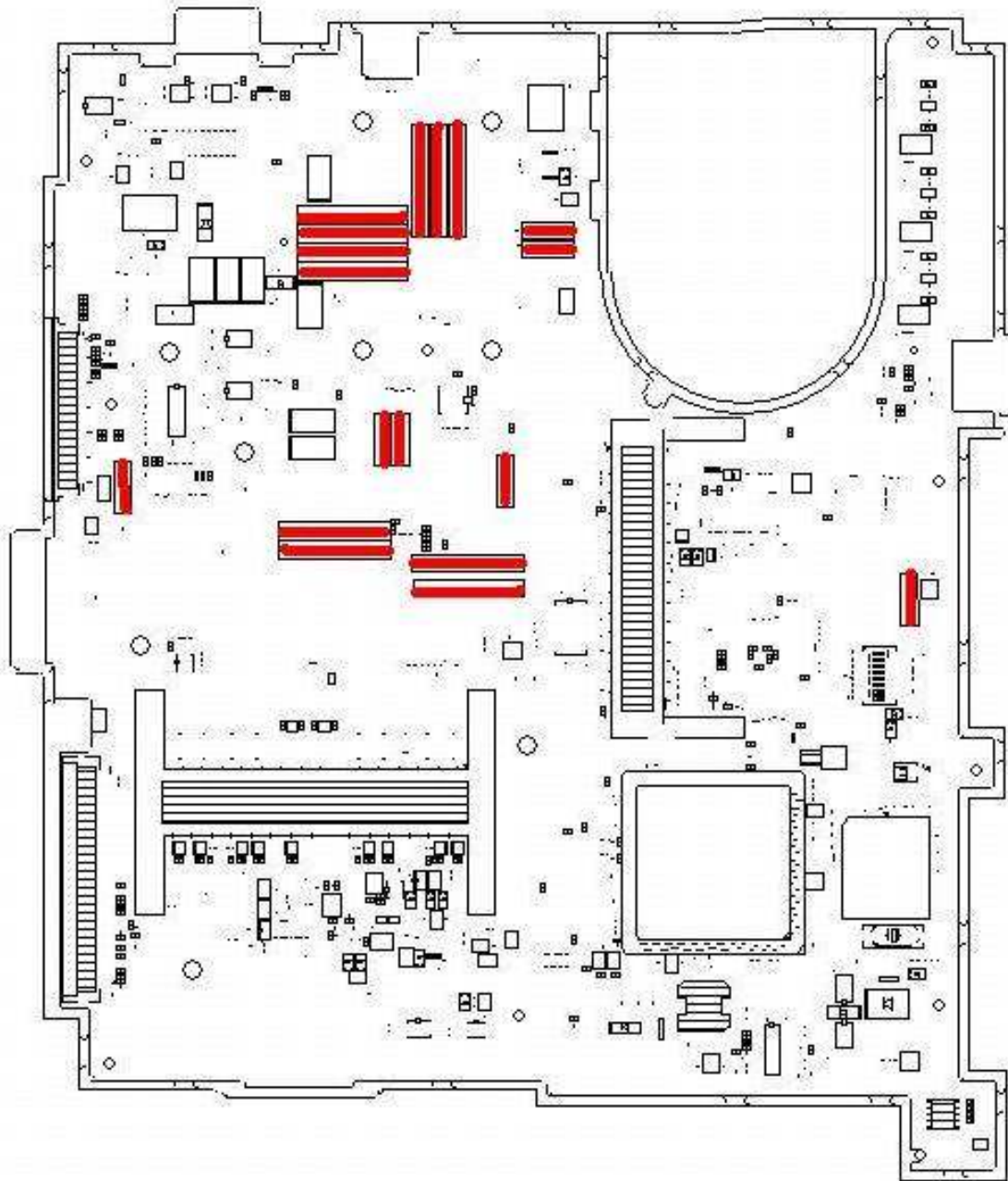


図 5-1-4-1-4 LILC を適用したマザーボードの部品実装図
(Bottom view)
(着色している箇所が LILC)



図 5-1-4-1-5 LILC を適用したマザーボード (写真)
(Bottom view)

表 5-1-4-1-1 対象回路と使用 LILC, 削減コンデンサ

Aria	4mm	16mm	Total	Removed Capacitor
CPU	4	7	11 (9)	78
North Bridge	6	4	10 (8)	42
South Bridge		3	3	20
Memory	5		5	22
LAN	1		1	?
USB	3		3	12
Clock Driver	1		1	14
Total	20	14	34 (30)	188

5-1-4-2 マザーボードの各部設計仕様

試作ノート PC の主要な回路について説明する。

A) CPU

CPU には3種類の電圧が供給されている。それぞれの電源系に LILC を適用した。図 5-1-4-2-1 に LILC を適用した CPU 周辺の部品実装図を示す。LILC は CPU ソケット実装面の裏面に実装した。図 5-1-4-2-2 に LILC を適用した CPU 周辺の写真を示す。表 5-1-4-2-1 に各電源系の置き換え詳細を示す。

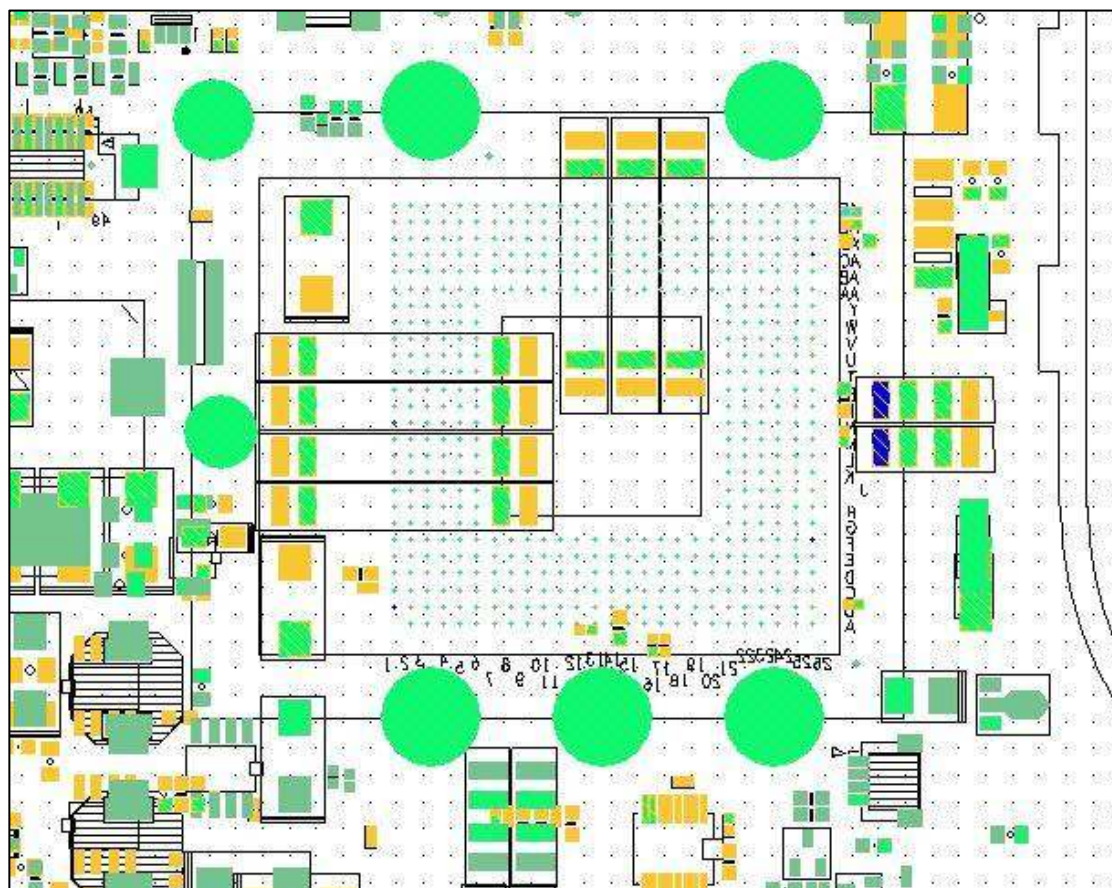


図 5-1-4-2-1 LILC を適用した CPU 周辺の部品実装図

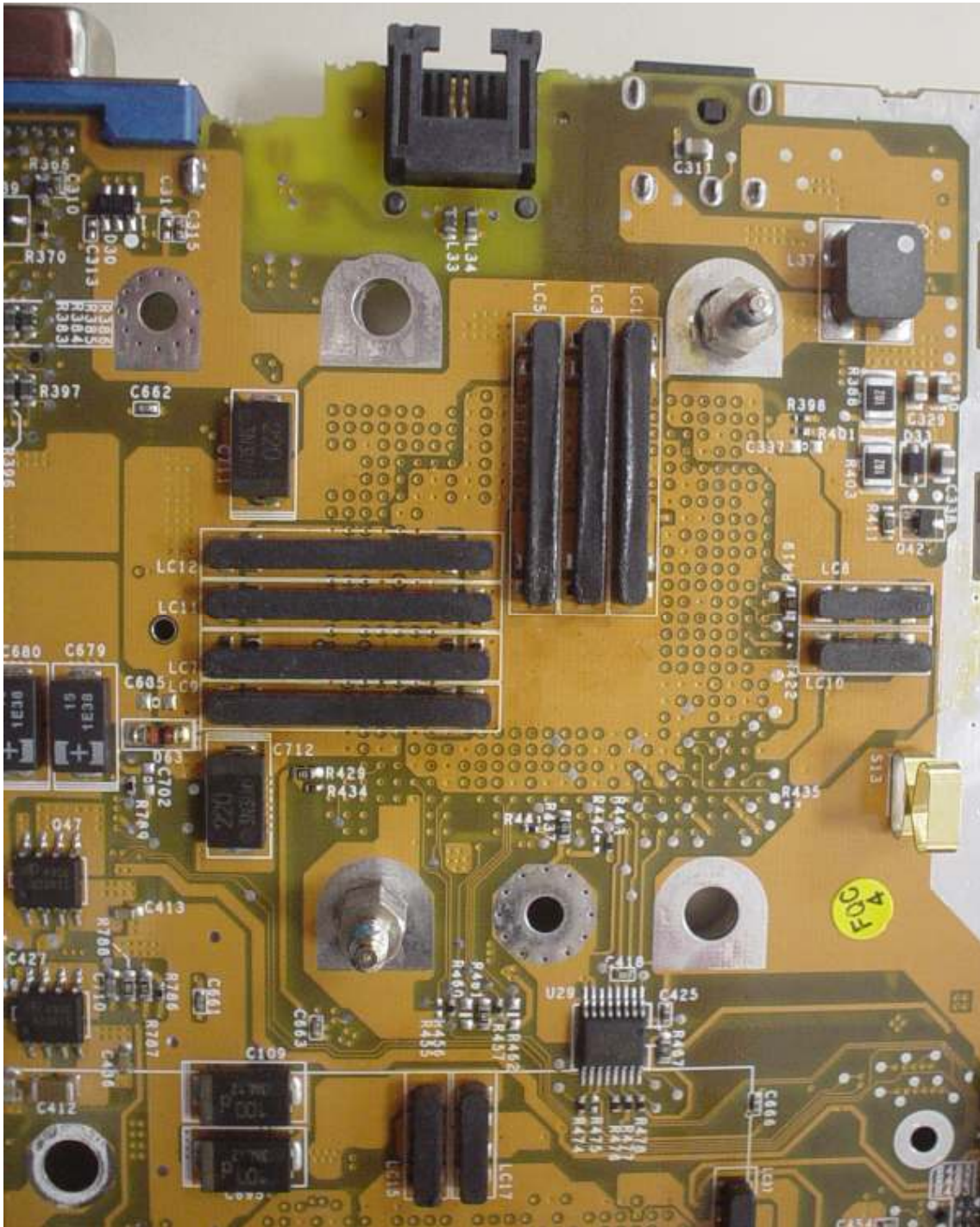


図 5-1-4-2-2 LILC を適用した CPU 周辺 (写真)

表 5-1-4-2-1 CPU の各電源系のコンデンサ置き換え

電源系	削減コンデンサ	追加 LILC
Vcore	2.2uF x 19pcs, 10uF x 38pcs 220uF x 2pcs	16mm x 7pcs
Vccp	0.1uF x 10pcs, 220uF x 1pcs	4mm x 2pcs
1.8V	10uF x 4pcs, 0.01uF 4pcs	4mm x 2pcs

B) North Bridge

North Bridge は5種類の電圧が供給される。それぞれの電源系に LILC を適用した。図 5-1-4-2-3 に LILC を適用した North Bridge 周辺の部品実装図を、図 5-1-4-2-4 に同周辺写真を示す。CPU と同様に LILC は North bridge 実装面の裏面に実装した。表 5-1-4-2-2 に各電源系の置き換え詳細を示す。

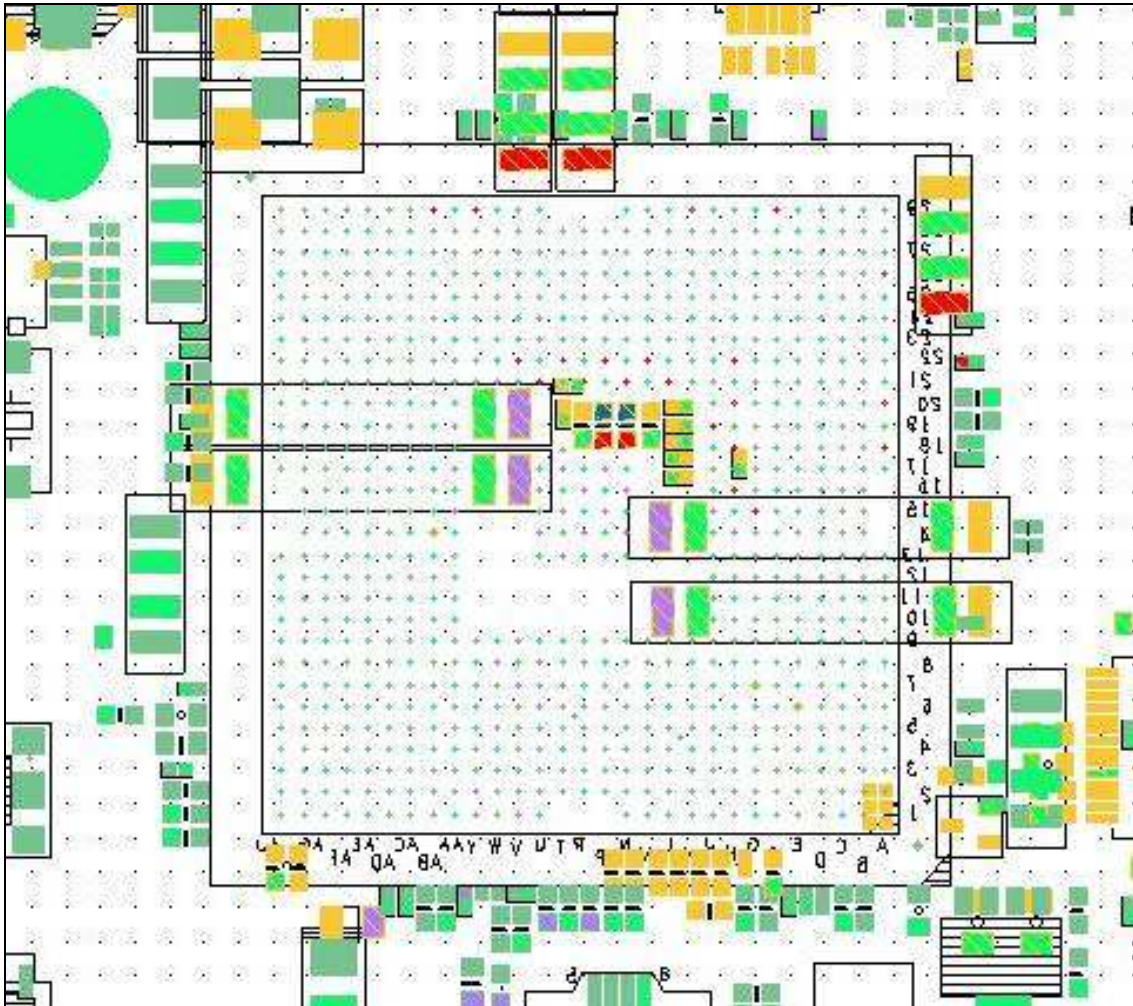


図 5-1-4-2-3 LILC を適用した North Bridge 周辺の部品実装図

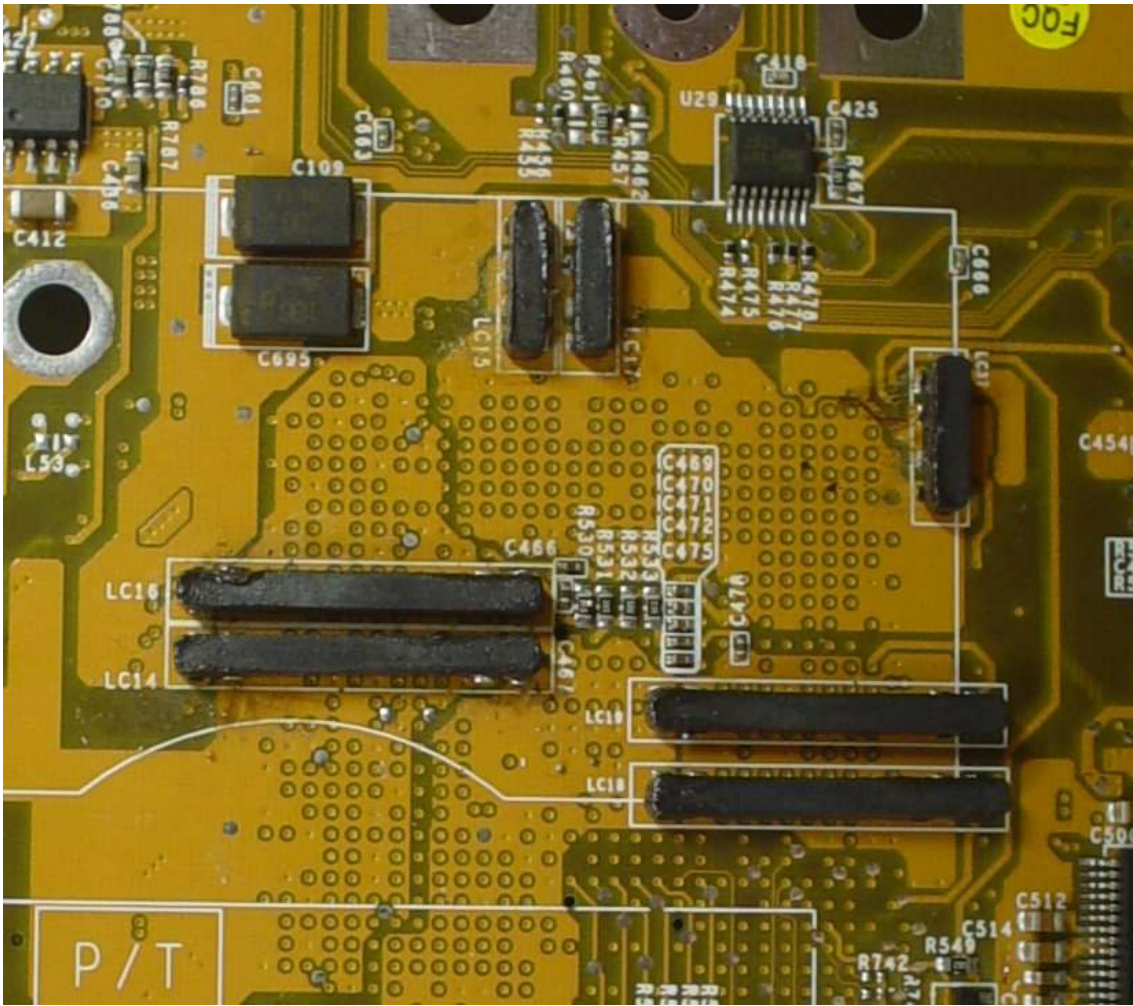


図 5-1-4-2-4 LILC を適用した North Bridge 周辺 (写真)

表 5-1-4-2-2 North Bridge の各電源系のコンデンサ置き換え

電源系	削減コンデンサ	追加 LILC
Vccp(2.4A)	100uF x 1pcs, 10uF x 1pcs 0.1uF x 3pcs	4mm x 3pcs
2.5V(2.07A)	120uF x 2pcs, 0.1uF x 11pcs	4mm x 2pcs
1.5V(0.23A)	47uF x 1pcs, 10uF x 1pcs 22uF x 1pcs, 0.1uF x 4pcs 0.01uF x 1pcs	4mm x 1pcs
1.2V(2.3A)	100uF x 1pcs, 47uF x 1pcs 10uF x 3pcs, 0.1uF x 7pcs	16mm x 2pcs
PLL Power(0.4A)	0.1uF x 2pcs, 0.1uH x 2pcs	16mm x 2pcs

C) South Bridge

South Bridge は2種類の電圧を使用する。それぞれの電源系に LILC を適用した。図 5-1-4-2-5 に LILC を適用した South Bridge 周辺の部品実装図を示す。South Bridge 実装面の裏面に LILC を実装した。図 5-1-4-2-6 に LILC を適用した South bridge 周辺の写真を示す。表 5-1-4-2-3 に各電源系の置き換え詳細を示す。

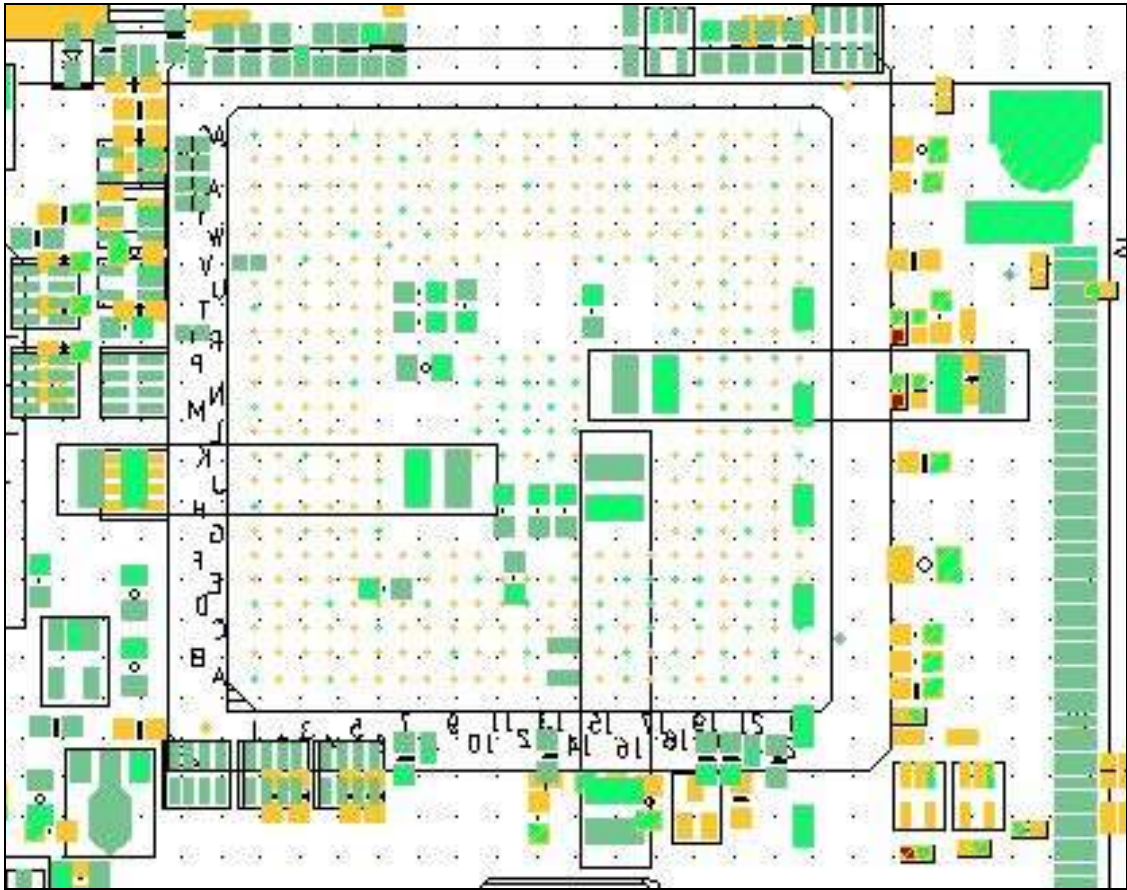


図 5-1-4-2-5 LILC を適用した South Bridge 周辺の部品実装図

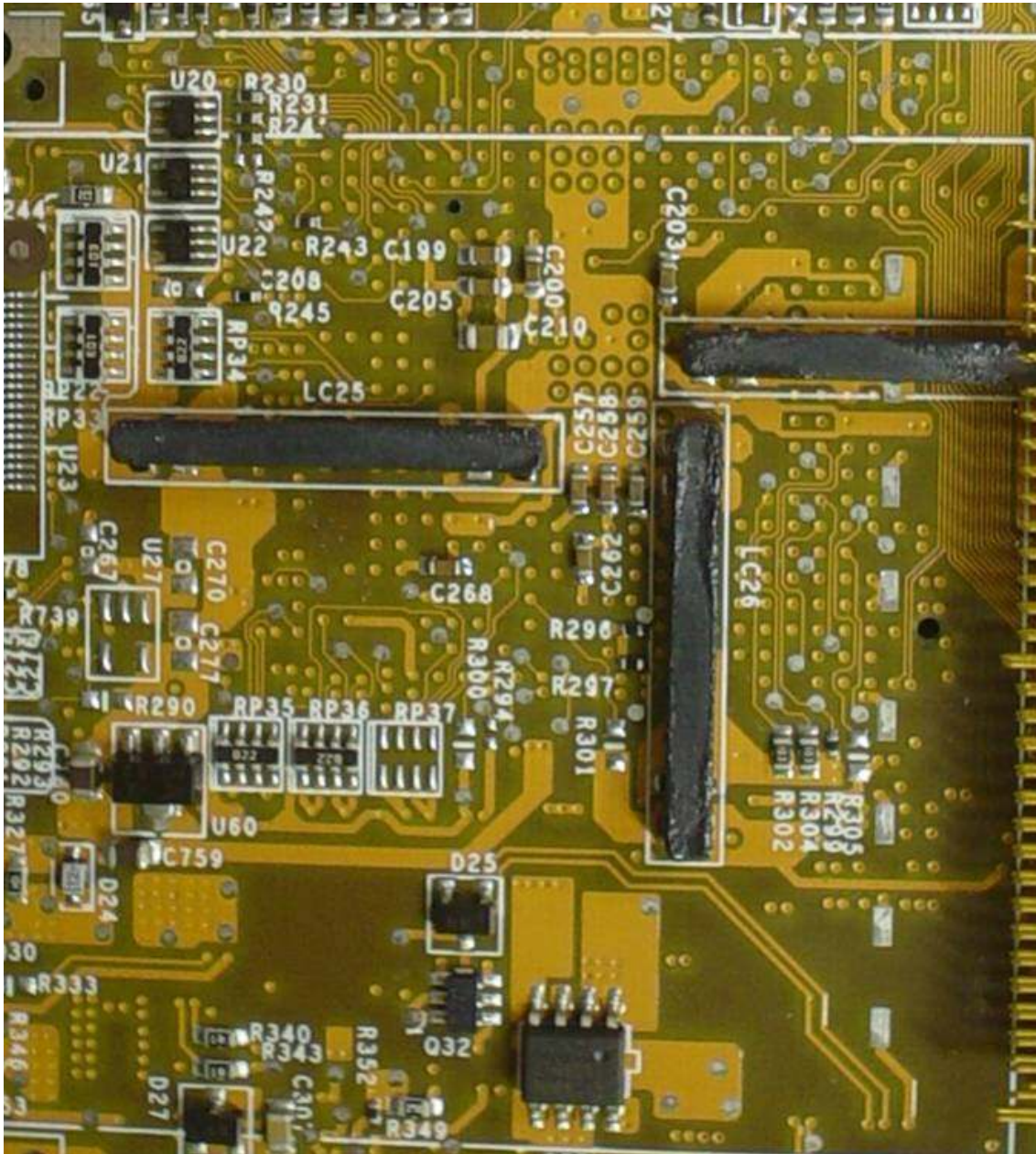


図 5-1-4-2-6 LILC を適用した South Bridge 周辺の写真

表 5-1-4-2-3 South Bridge の各電源系のコンデンサ置き換え

電源系	削減コンデンサ	追加 LILC
3V	22uF x 2pcs, 4.7uF x 1pcs 0.1uF x 8pcs	16mm x 2pcs
1.5V	0.1uF x 6pcs, 22uF x 3pcs	16mm x 1pcs

D) Memory DIMM スロット

Memory DIMM スロットの電源には、 $120\mu\text{F}$ 4 個と $0.1\mu\text{F}$ 18 個のコンデンサが使用される。これらを LILC(4mm) 5 個で置き換えた。図 5-1-4-2-7 に LILC を適用した Memory DIMM 周辺の部品実装図を示す。図 5-1-4-2-8 に LILC を適用した Memory DIMM 周辺の写真を示す。



図 5-1-4-2-7 LILC を適用した Memory DIMM 周辺の部品実装図



図 5-1-4-2-8 LILC を適用した Memory DIMM 周辺の写真

E) その他

上記主要 LSI 以外に LAN チップ, USB コネクタ部, Clock driver の電源回路に LILC を適用した。使用数量はそれぞれ 1 個(4mm), 3 個(4mm), 1 個(4mm)とした。

5-1-4-3 試作ノート PC の評価

5-1-4-3-1 動作確認

試作したノート PC の動作確認を下記条件で行った。図 5-1-4-3-1-1 に試作ノート PC の外観（写真）を示す。

動作確認試験の条件

試験 OS:WindowsXP

試験ツール: CPU/Memory 高負荷試験（ローラーコースター）

試験結果: 7 2 時間問題なし



図 5-1-4-3-1-1 試作ノート PC の外観（写真）

5-1-4-3-2 試作ノートPCのEMI評価

試作ノートPCのEMIを測定した。測定時の構成は、本体（試作ノートPC）、ACアダプタとした。図5-1-4-3-2-1にEMI測定風景の写真を示す。EMI測定はVCCIに準拠して3m法の簡易電波暗室で行った。DUT (Device under test)は、高さ80cmの木製テーブルの中心で後端部をテーブルエッジに合わせた。表示は「Hパターン」とした。図5-1-4-3-2-2にLILC適用前後のEMI測定結果を示す。図中の領域「A」では規制値をオーバーしていたスペクトラムが抑制され、規制値に入った。領域「B」では、規制値をオーバーしなかったとはいえ、800MHz以上でスペクトラムの増加が見られた。



図 5-1-4-3-2-1 EMI 測定風景（写真）

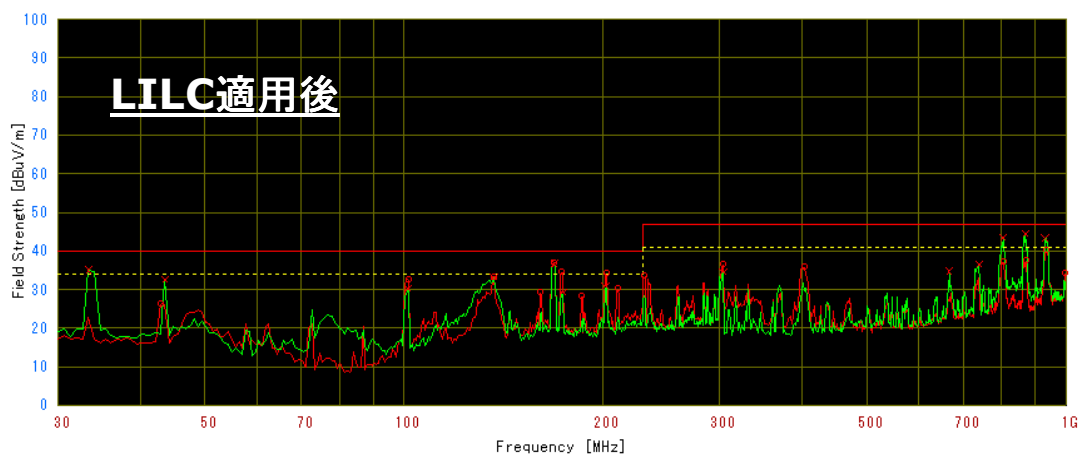
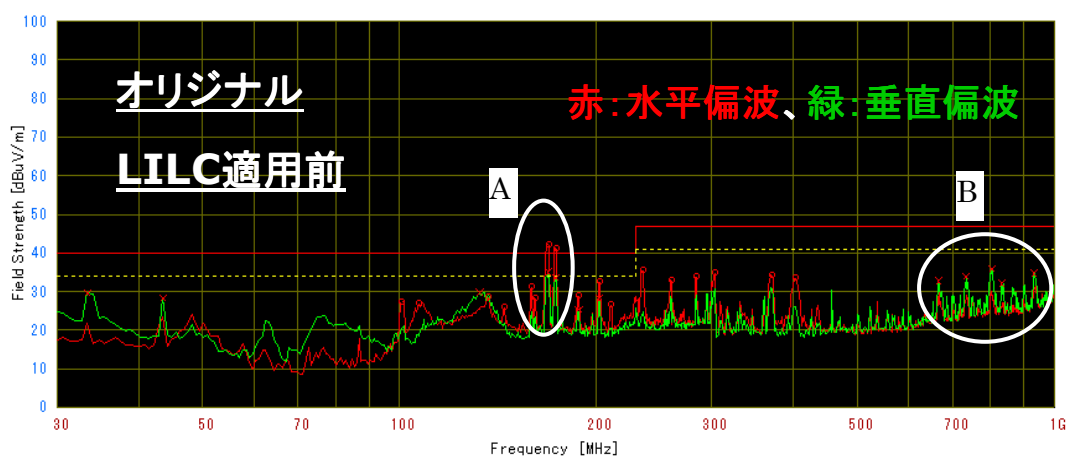


図 5-1-4-3-2-2 LILC 適用前後の EMI 測定結果

5-2 要素技術の研究開発

5-2-1 序論

最終目標達成には、プリント基板自体並びに LSI に「新しい電源分配回路技術」を適用することが必要と考える。これは情報を含有する高周波電流を発生源近傍に封じ込める「電源デカップリング」をより効果的に実施するのが第一の理由である。そこで、将来実現する可能性がある要素技術単位で電源デカップリング技術を検討する。今年度は想定される要素技術及びそれらの評価手法を検討した。

5-2-2 要素技術

「新しい電源分配技術」として、プリント基板に搭載する部品「低インピーダンス線路素子 (LILC)」は実用化検証の段階である。現在市販されている EMI 対策部品と同様に実際のプリント基板に搭載し、その効果を評価できる。しかしながら、基板搭載用の部品はプリント基板内配線を経由して発生源である LSI と接続されるため、配線長分発生源から離れてしまう。周波数が低い (~数十 MHz) であれば特性劣化は矮小であるが、高周波 (数百 MHz~) での影響は無視できない。そこで、プリント基板や LSI に埋め込む対策が必要となる。要素技術はプリント基板に埋め込む「ボード内蔵」と、LSI に適用する「オンチップ」に分類する。

5-2-3 ボード内蔵の検討

プリント基板搭載用 LILC は、部品であるため様々なプリント基板に実装できる。汎用性が高い分、基板にハンダ付けするためのリードを設ける必要があり、数百 MHz 以上の高周波で電源デカップリング性能が劣化してしまう。今後、数 GHz 以上の高周波帯域で所望の電源デカップリングを実現するには、プリント基板への実装方法の工夫、LILC の実装形態の改良が必要である。高周波特性を改善し、発生源近傍に電源デカップリング部品を配置する観点から、プリント基板に内蔵するボード内蔵形 LILC を検討する。

通常、プリント基板の配線は銅である。LILC は線路の特性インピーダンスを小さくするため、伝送路となる誘電体に誘電体酸化膜を用いる。プリント基板実装用 LILC は、基材 (陽極電極) にアルミニウム、誘電体酸化膜に酸化アルミを利用し、対向電極 (陰極) に導電性高分子を介して金属ペーストという構成である。この構成をプリント基板の内部に実現した TEG (Test element group) を試作すれば、ボード内蔵形 LILC の特性を評価できる。TEG 基板の仕様は下記の条件を満たす必要がある。

【内蔵形 LILC 評価 TEG の仕様】

- 1) 測定器と接続する配線部分の特性インピーダンスは 50Ω 。
- 2) マイクロストリップラインまたはストリップライン。
- 3) LILC は基板の内部に封入。
- 4) 事前に製作した LILC をプリント基板に埋め込む方法も可
- 5) 測定周波数帯域の上限は、50GHz。信号波形観測は 7GHz。

5-2-4 オンチップの検討

ボード内蔵より更に発生源に近い位置に適用するには LSI の内部に配置する形態が考えられる。LSI は一般にシリコンチップ (集積回路部分)、ピン (リード)、ピンとシリコンを接続する配線 (ボンディングワイヤ等) で構成される。デカップリング素子の形成はシリコンチップ上が適していると考えられる。

プリント基板実装用 LILC の主構成材料は、アルミニウムである。誘電体酸化膜で

ある酸化アルミは比誘電率が 8.5 である。一般の LSI はアルミ配線を使用するので、その配線表面に LILC を形成する方法も考えられるが、表面積が小さく誘電率 8.5 程度では良好なデカップリング素子が構成できるか不安である。そこで、アルミ（酸化アルミ）以外の材料の可能性を検討した。

- ・酸化チタン
比誘電率が 100。酸化アルミに比べ 10 倍以上の誘電率。
- ・酸化タンタル
比誘電率 27.9。酸化アルミに比べ 3 倍以上の誘電率。

【LILC 実現の課題】

- ・誘電体層の形成（材質，生成）
- ・電極とチップ配線（アルミ，銅）の接続
- ・電気特性評価はボード内蔵と同様、チップを評価するためのプロービング。
次年度以降、プリント基板内蔵形 LILC の製造方法を検討し、併せて、材料の探索を引き続き行う。

5-3 総括

H15 年度委託業務実施計画書に基づき、委託業務を実施した。中間目標（H17 年 1 月）「TEG 試作によって得られるパラメータを使用して新しい電源分配回路技術を適用した場合を想定した情報通信機器（サーバ及びノート PC）についてシミュレーションして VCCI クラス B に対して 20dB 以下になることを確認すると共に、これらの装置を試作して、試作装置からの放射電界強度が、VCCI のクラス B に対して概ね 20dB 以下であることを検証する」を達成するため、サーバ及びノート PC を試作し、放射電界強度を評価した。内蔵形 LILC の評価 TEG の仕様を検討した。また、TEG 試作によって得られるパラメータを計測するための測定設備の構築を行った。

今年度試作した装置を利用し、次年度は漏洩電磁波盗用防止技術を開発するための種々の対策効果確認実験を実施する予定である。

【参考文献】

1-1 の資料

- 資料 1: 瀬戸 信二「情報処理機器からの電磁波漏洩に対する情報保全対策」, EMC, No. 27, pp. 7-17, 1990. 7. 5
- 資料 2: 瀬戸 信二「TEMPEST 対策について」, EMC, No. 97, pp. 97-114, 1996. 5. 5
- 資料 3: 岡田 正「読み取られるパソコンの電磁波輻射」, HAM Journal, No. 73, pp. 82-86, 1991
- 資料 4 「アンテナ・電波伝搬」(虫明 康人, コロナ社, p. 33, 1961)

1 研究発表、講演、文献等一覧

なし