

平成16年度  
研究開発成果報告書

携帯テレビ用超低消費電力「地上デジタル  
放送受信用チューナー＋OFDM復調回路」  
LSIの研究開発

委託先：富士通(株)

平成17年5月

情報通信研究機構

# 平成16年度 研究開発成果報告書

「携帯テレビ用超低消費電力（地上デジタル放送受信チューナー＋OFDM復調回路）  
LSIの研究開発の研究開発」

## 目次

<b>1</b>	<b>研究開発課題の背景</b> .....	<b>3</b>
<b>2</b>	<b>研究開発の全体計画</b> .....	<b>3</b>
2-1	研究開発課題の概要.....	3
2-2	研究開発目標.....	11
2-2-1	最終目標（平成18年3月末）.....	11
2-2-2	中間目標（平成17年3月末）.....	11
2-3	研究開発の年度別計画.....	12
<b>3</b>	<b>研究開発体制</b> .....	<b>13</b>
3-1	研究開発実施体制.....	13
<b>4</b>	<b>研究開発実施状況</b> .....	<b>15</b>
4-1	LNA関連（初段のアンプ）の研究開発.....	15
4-1-1	TEG2設計.....	15
4-1-2	TEG2評価結果.....	17
4-1-3	ES1設計.....	20
4-1-4	今後の予定.....	21
4-2	OSC1（周波数発生回路）.....	22
4-2-1	OSC1開発目標.....	22
4-2-2	OSC1開発状況.....	22
4-2-2-1	TEG2設計.....	22
4-2-2-2	TEG2評価.....	25
4-2-2-3	ES1設計.....	27
4-3	IF部（ミキサ、ADCおよびフィルタ）の研究開発.....	29
4-3-1	序論.....	29
4-3-2	TEG1の評価.....	29
4-3-2-1	評価家結果.....	29
4-3-2-2	SNRが低い要因.....	30
4-3-2-3	消費電力が大きい原因.....	31
4-3-3	TEG2の設計.....	31
4-3-3-1	TEG1の問題点の改善.....	31
4-3-3-2	可変利得機能の追加.....	31
4-3-3-3	フィルタ内のアンプの削減.....	32
4-3-4	TEG2の評価結果.....	33
4-3-5	OFDM変調器とのインターフェイス.....	34
4-3-6	クロック生成PLL.....	35
4-3-7	まとめと今後の課題.....	35
4-4	低消費電力デジタルOFDM回路.....	36
4-4-1	RF部とのインターフェイスについて.....	36
4-4-2	インターフェイスの構成.....	37

4-4-2-1	フィルタとダウンサンプル .....	37
4-4-2-2	直流分除去とゲイン補正.....	37
4-4-2-3	周波数シフト.....	37
4-4-2-4	フィルタとダウンサンプル .....	37
4-4-3	低消費電力の手法 .....	38
4-4-3-1	RAMのインヒビット端子の利用.....	38
4-4-3-2	RAMの分割.....	38
4-4-3-3	ゲーティング.....	38
4-4-3-4	動作クロック周波数の低減.....	38
4-4-4	低消費電力の見積り .....	39
4-4-4-1	昨年度の消費電力見積り.....	39
4-4-4-2	本年度開発LSIのシミュレーション値.....	40
4-5	総括.....	41
<b>5</b>	<b>参考資料・参考文献.....</b>	<b>42</b>
5-1	研究発表・講演等一覧.....	42

## 1 研究開発課題の背景

デジタル放送は基本的に映像／音声／データ放送などの情報をマルチメディア統合した放送サービスである。平成15年末に地上デジタル放送が開始され、固定受信を前提とした地域密着型デジタル放送サービスが実現された。一方でBS／CSデジタル放送も存在し、これが、全国一律のコンテンツを固定受信テレビに放送している。

一方、地上デジタル放送には、変調方式としてOFDM変調方式が採用され、その中に（1）1・3セグメント受信など特定周波数セグメント単位の信号受信機能、（2）誤り訂正強化のための信号分散（インタリーブ）機能、（3）16QAM／64QAM変調設定可能など受信場所が限定されない移動受信に適した機能が含まれる。大きな特長であり、このため、テレビのモバイル化、携帯化、さらには携行が前提のデジタルラジオへの適応も可能である。

我々の研究開発は、地上デジタルのモバイル性に着目したものである。すなわち地上デジタル放送は、固定受信テレビ市場と同時にモバイル／携帯市場にも展開可能であり、固定受信を凌駕する新市場創出が期待される。最近、携帯テレビで必須のデジタル動画像圧縮方式としてH264方式の採用が決定し、さらに携帯テレビ放送自体が平成17年度に開始される見込みである。

しかしモバイル／携帯テレビ実現には固定受信テレビと違う技術要件が存在し、この要件が十分満たされない限り、モバイル／携帯テレビ市場の創出は困難である。すなわちモバイル受信、携帯受信では、回路の小型化、低消費電力化が必須であり、この要件に合わせた回路の（地上デジタル放送受信チューナーなど）の高性能化が必須である。

現状、複数のメーカーがこのモバイル／携帯テレビ市場を目指し、小型、低消費電力チューナー、OFDM復調回路の開発発表を行っている。しかし、未だに十分に低消費電力化されたとと言える状況でない。携帯テレビ市場の本格立ち上げには、回路の低消費電力化、小型化が大きな技術的障壁であることに変わりはない。

## 2 研究開発の全体計画

### 2-1 研究開発課題の概要

上記背景をベースに携帯テレビ実現に必須の超低消費電力「地上デジタル送受信チューナー＋OFDM復調回路」LSIの研究開発を実施中である。以下が研究開発の概要。

（目標サービス）

サービスとして地上デジタル放送で新規に立ち上がる携帯市場全般をカバー出来ることを目標に（1）地上デジタル放送内1セグメント携帯テレビサービスと（2）3セグメントデジタルラジオ放送サービスを想定し、この両方に対応する回路の低消費電力化、携帯向け小型化、LSI化を研究。

以下が、上記の2サービスを受信するLSIを研究開発する場合にLSIが処理すべき周波数域など（チューナー部に要求される基本機能など）の検討である。



図1・地上デジタルの周波数割り当て

図1は地上放送の周波数割り当てである。90-770MHz帯域の中に各チャンネルが6MHz単位で存在する。この中で地上デジタル放送は、基本的にはUHF帯のチャンネルが割り当てられる。また、デジタルラジオ放送は、VHF帯の空きチャンネルに割り当てが考えられている。従い、LSIが対応すべき周波数帯域は90-770MHzの全域となる。

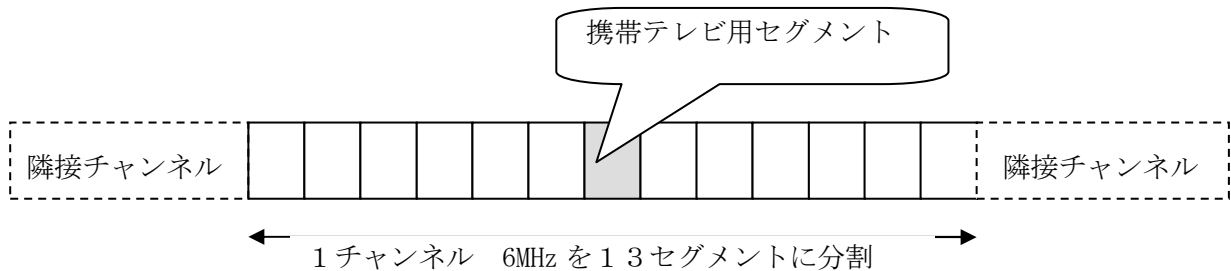


図2・OFDMセグメントの概念

図2は、UHF帯デジタル放送チャンネルの様子を示す。6MHz毎にチャンネルが存在し、OFDM変調されたチャンネルは周波数軸で13セグメントに分割される。携帯テレビ用に使用可能なセグメントは、図2の中心に位置する灰色の約432KHz帯域のセグメントである。1セグメント携帯テレビサービス受信には、UHF帯に6MHzごと存在するこのセグメントの抽出が必要である。

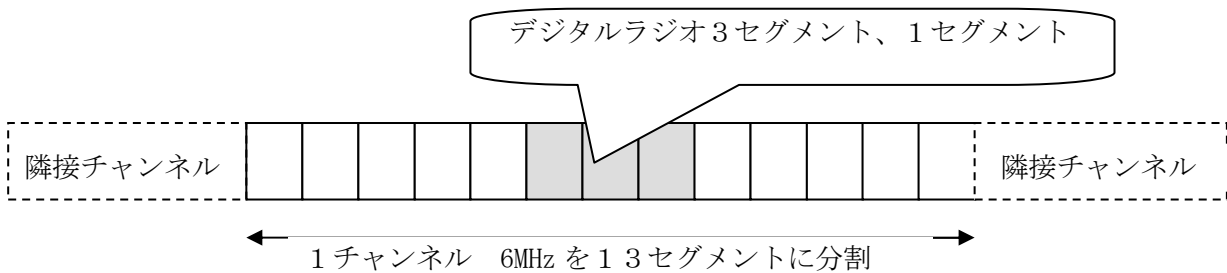


図3・デジタルラジオ対応OFDMセグメントの概念

図3は、デジタルラジオに対応する場合のセグメントの概念である。1セグメント或いは、3セグメント情報が連結して(隣り合って)送信されている。通常は1セグメントの幅は約432KHz、3セグメントはその3倍の幅を持つ。復調LSIは1/3セグメントに関わらず、中心のセグメントを受信し、そのセグメントが1セグメントなのか、3セグメントの中央1セグメントなのかを、自動判別し、3セグメントの場合、3セグメント受信に切り換える必要がある。

## (目標消費電力)

消費電力は、現行固定受信テレビ用地上デジタルチューナーやOFDM復調回路では、チューナーが約1W、OFDMが約1.5W(当社学会発表LSIなど)。一方で、携帯電話市場で一般にオプション機能を追加する場合に許容される「プラスα」の消費電力は最大で50mWと言われている(当社が市場調査して得た数値)。本研究では、基本的には携帯テレビ受信用のLSI開発を目指す、同時に携帯電話に携帯テレビ機能を追加した製品形態も視野に入れ、携帯電話市場にも波及するLSIの研究開発を行う。従い、消費電力は50mW以下を想定する。これは、通常の固定受信テレビを前提とした地上デジタルチューナー、OFDM回路のおよそ1/50の消費電力である。

## (LSIを搭載する装置の製品形態)

携帯テレビサービスと携帯電話サービスで必要となるチューナーの特徴などを比較したのが下記である。

	携帯テレビ(1/3セグメント受信前提)	携帯電話(WCDMA前提)
存在帯域	90-770MHz	アップリンク 1920-1980MHz ダウンリンク 2110-2170MHz
抽出必要帯域	432KHz(1セグ携帯テレビ受信時) 1296KHz(3セグデジタルラジオ受信時)	5MHz (現実に抽出している帯域)

表1・想定携帯テレビと携帯電話(WCDMA前提)のチューナーの比較

携帯テレビの場合、テレビ信号の存在する帯域は約700MHz。この中から受信するサービスに依存し432KHz或いは1296KHz帯域の信号を抽出する必要がある。これに対し携帯電話は60MHzの帯域に信号が存在し、この中から約5MHzを抽出するものである。以上のように携帯テレビと携帯電話のチューナー部分に要求される性能が大幅に違っていることが分かる。

本研究では、携帯テレビ側の要件を満たす超低消費電力回路の研究開発を行う。携帯テレビと携帯電話を一体化した端末では、フロントエンド部分(チューナー及びデジタル復調部など)の回路の共有は困難であるが、プロセッサを含む映像デコードなどバックエンド部分の共有はハードウェアを中心にある程度は可能と想定される。携帯テレビ、携帯テレビ/携帯電話一体化端末が実現した場合の想定ブロック図を下記に示す。

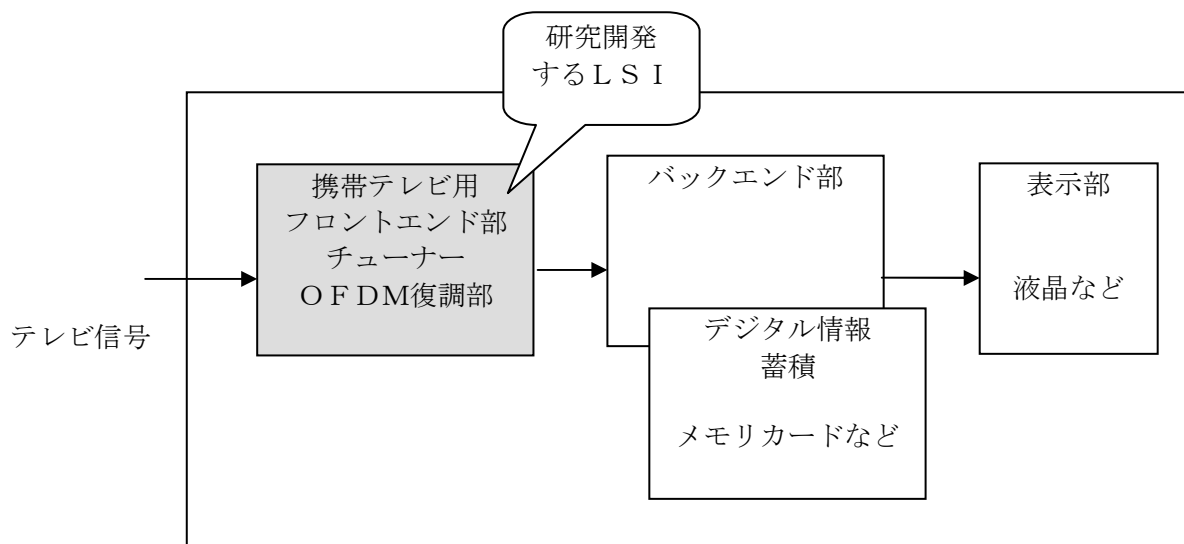


図4・想定される携帯テレビ端末

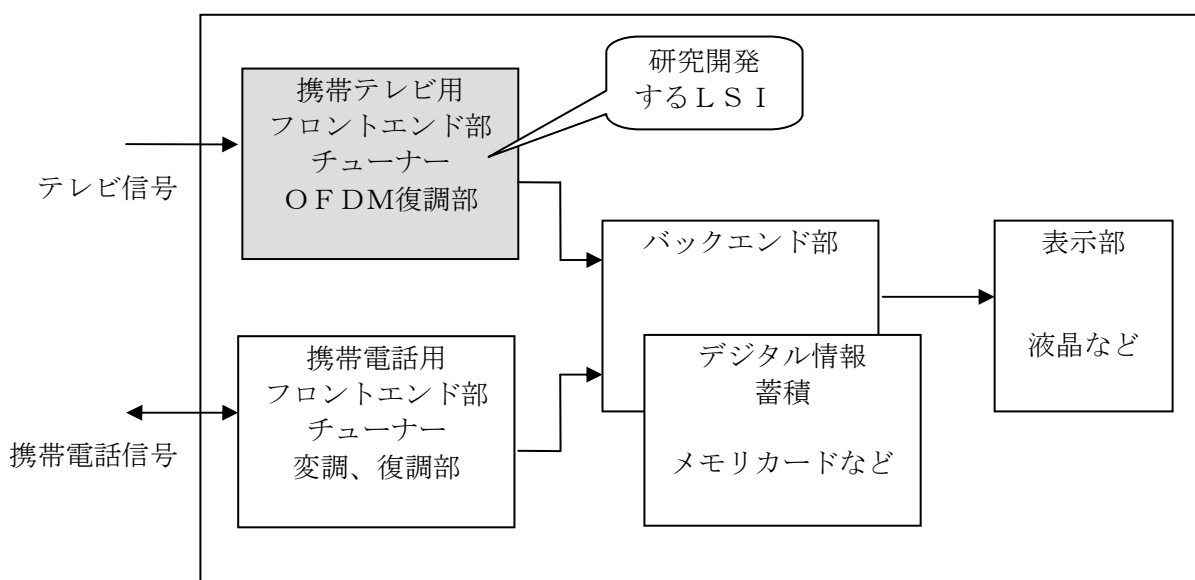


図5・想定される携帯テレビ／携帯電話（WCDMA）一体化端末

図4、5は一般に想定される携帯テレビ端末、携帯テレビ／携帯電話一体化端末である。図5で携帯電話信号に対応するチューナー及び復調、変調部分は表1の検討でも分かるようにテレビ信号に対応する部分とは別の回路で実現される。バックエンド部にはプロセッサ、メモリカードなどが存在する。またメモリカードは携帯向けテレビ放送コンテンツやデジタルラジオコンテンツを蓄積し、任意時間に視聴するようなサービスを実現するために使う。

本研究開発は、図4、5の携帯テレビ用フロントエンド部（灰色部分）のLSI化、超低消費電力化に関する。図4、5のような用途を想定し、消費電力などの目標値を設定する。

（現行地上デジタル放送用チューナー、OFDMデジタル復調回路の検討）

図6に現行地上デジタル放送用チューナー、OFDMデジタル復調回路のブロック図例

を示す。携帯端末に転用する場合の問題点などをこの図をベースに詳述する。

#### (前提条件)

テレビ信号は、入力レベルが $-20\text{ dBm}$ から $-75\text{ dBm}$ （携帯テレビは、 $-20\text{ dBm}$ から $-86\text{ dBm}$ ）、 $90$ から $770\text{ MHz}$ 帯域に存在する。この中から選択チャンネルに応じ $6\text{ MHz}$ 帯域の信号を抽出し、デジタルOFDM復調する必要がある。

#### (動作概要)

このため、入力部分のHPF（ハイパスフィルター）で $90\text{ MHz}$ 以下の信号成分を除去し、その後LPF1（ローパスフィルター）により $770\text{ MHz}$ 以上の信号成分の除去を行う。AMP1（アンプ）は、この $90-770\text{ MHz}$ 信号を増幅するための初段のアンプである。

次にAGC回路により、信号レベルを調整する。レベル調整された信号を1st MIX（ミクサー）により周波数を $1.2\text{ GHz}$ 帯まで上げる。 $1.2\text{ GHz}$ という周波数は、次段BPF2（バンドパスフィルター）を考慮し選択する。このバンドパスフィルターBPF2が本チューナー性能を決定する重要部分である。現行地上デジタル放送受信チューナーでは $6\text{ MHz}$ 選択チャンネルをここで抽出する。隣接チャンネル妨害など出来るだけ削減するためフィルター特性が急峻であることが求められ、また減衰域での減衰率は $-40\text{ dB}$ 以上が必要とされる。これを実現するため現行固定受信回路ではSAWフィルターが利用される。但し、一段のSAWフィルターでは減衰率の十分な確保が困難なため、2段利用することも考えられる。これで $1.2\text{ GHz} \pm 3\text{ MHz}$ 帯域の信号が抽出される。

その後、AMP2（アンプ）で増幅され、2nd MIXで $57\text{ MHz}$  IF周波数帯域に変換される。この信号が $57\text{ MHz}$  IF処理部で $6\text{ MHz}$ 帯域のベースバンド信号にされ、さらに $10\text{ ビット} \cdot 32\text{ MS/s}$ のADコンバータ（当社開発OFDM-LSIの例）などでデジタル変換される。デジタル化されたOFDM信号は、同期制御部分でフレーム同期など各種同期処理を受け、FFT処理され、ビタビなどエラー訂正後、MPEG-TS（MPEGトランスポートストリーム）形式のデジタル信号として出力される。MPEG-TSの中に時分割多重形式で圧縮ビデオ、オーディオ信号などが存在し、これを後段（図示せず）のMPEGデコードLSIなどが処理する。





## AMP 1（初段のアンプ）

AMP 1は、入力テレビ信号（90から770MHz）全部を増幅しており、多大な電力を消費していると考えられる。これに対し図6の他のアンプは、予め選択された狭い周波数帯域の範囲の信号しか入力されておらず消費電力もかなり小さいと判断出来る。また携帯テレビ受信を前提とした場合、入力レベルが固定受信と比較し相当厳しく（-86dbmから-20dbm）なる。

この部分に関しては例えば以下のような低消費電力対策があると考えられる。すなわちAMP 1の前段にBPF（バンドパスフィルター）を挿入し、事前に入力周波数成分を一部遮断することが考えられる。AMP 1を通過する信号成分が例えば、1/4になれば電力を1/4に削減出来る可能性がある。特性の違うBPFを4つ用意し、選択チャンネルに応じて4つのBPFを切り替える回路の研究開発を検討出来ると考えられる。BPFの数を増やすことでAMP 1を通る信号を削減し、大幅な消費電力削減を達成出来る可能性がある。但し、その分回路規模が増大しコストアップになります。（1）BPFの数、（2）AMP 1の消費電力、（3）コストの間で最適なポイントを見つける必要がある。

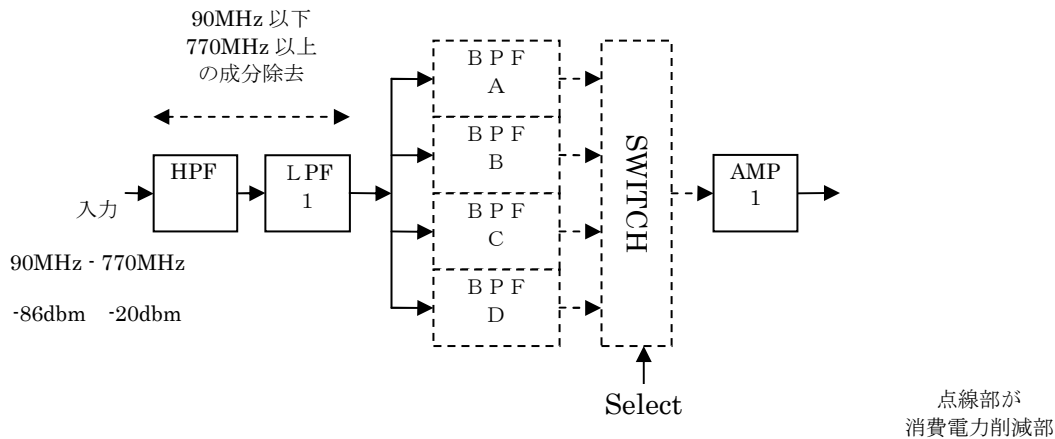


図7・AMP 1の消費電力削減案

## OSC 1（周波数発生回路）

本回路は選択されたチャンネルを1200MHz ± 3MHz帯域に引き上げるための周波数発生器である。一般にPLL回路で実現される。しかし90-770MHzの広帯域に渡り放送される全113チャンネルに適応出来る低消費電力PLL周波数発生回路の開発は困難と考えられる。狭い範囲の周波数に適応する低消費電力PLL周波数発生回路を複数用意し、選択チャンネルに応じてPLL回路を切り替えるような対策が必要と考えられる。但し消費電力を抑えるため、未使用のPLL回路が「オフ」になるような対策も必要と想像され、これでかなりの電力削減が可能と思われる。また、PLL回路が「オン」になる応答時間の検討が必要である。基本的には以下のようなトレードオフが存在し、検討が必要である。

- （1）用意するPLL回路数
- （2）各PLL回路の消費電力
- （3）コスト（PLL回路数が増大するとコストアップになる）。

## 抽出周波数帯域と消費電力の関係

先にも述べたが、1セグメント携帯テレビ受信或いは3セグメントデジタルラジオ受信の場合に抽出する周波数は432KHz或いは1296KHzである。一方で固定受信前提の地上デジタル受信チューナーが抽出するのは6MHzである。この違いをベースに回路をどう実現するか消費電力という見地から検討が必要である。

チューナー部で従来と同様に6MHz帯域を抽出し、OFDM部のADコンバータの後段にデジタルローパスフィルターを設置し432KHz、1296KHzバンドパスでフィルタリングすることは可能である。これが既存回路部品を利用した一般的な設計と考えられる。しかし、あまり広帯域の信号をデジタル処理するのはADコンバータのサンプルレートやデジタル回路のクロックレートが増大し消費電力という見地から得策と言えません。逆に言うと432KHz或いは1296KHzの狭帯域バンドパスフィルターを設計出来れば、後段のADコンバータ、デジタル回路の動作周波数が削減されかなりの電力削減が期待される。ADコンバータの場合、一般的に動作周波数が半分になれば消費電力も半分になる。あくまで検討によるが、工夫し消費電力削減を図る必要があると考える。但し、アナログレベルで必要信号を抽出する図6のBPF2(バンドパスフィルター)を何処まで狭帯域に出来るかも検討が必要である。当然であるが、バンドパスフィルターは狭帯域であればあるほど設計困難である。

結論としては、図6のBPF2(バンドパスフィルター)の帯域を何処まで狭帯域にし、どの周波数レベルからデジタル処理するか研究が必要ということになる。

## ADコンバータのビット数などに関する考察

今回の研究は前述のように携帯受信であり1/3セグメント受信が前提になる。1/3セグメント受信の場合、通常の13セグメント受信と違い64QAM変調モードは運用されず、16QAM変調までの対応が前提になる。従い、ADコンバータのビット数を現行13セグメント受信OFDM-LSIの10ビットから8ビット(或るいはそれ以下)に削減し消費電力を削減出来るか、ADコンバータに入力されるアナログ信号の減衰帯域での減衰率の最適化などの検討が必要である。

## 57MHz IF出力に関する考察(ダイレクトコンバージョン関連)

57MHz IF出力は、チューナー部とOFDMデジタル部が別々になった場合の便宜的な中間周波数でありチューナー部とOFDMデジタル復調部を一体化することが前提の本研究ではあまり意味がないと考えられる。逆に57MHz中間周波数を削除しOFDMの初段に存在するADコンバータに信号を直接入力出来る周波数まで落とし、57MHz IF処理回路の削減などを検討出来るかと考える。また周波数を落とす時のポイントは、DC電流による無駄な電力消費を避けることと考えられる。以上のように57MHz IF出力の必要性、不要とした場合に周波数を何処まで落とすのが最適か、研究が必用になる。

## デジタルOFDM回路の低消費電力化に関する考察

「抽出周波数帯域と消費電力の関係」の項でも記載しましたが、本研究のLSIは、固

定受信のように13セグメント(6MHz)の信号全部を処理する必要はなく、本質的には1セグメント或いは3セグメント処理で十分である。チューナー部で何処の帯域まで信号抽出が可能かにも依存するが、処理量に応じたOFDM回路の再設計を実施することでメモリ容量、処理スピードなど大幅に削減し、低消費電力化出来ると考える。従い、以上の観点からの検討が必用と考えられる。

(まとめ)

以上が考えられる携帯テレビ受信回路の課題概要である。

広く世の中の技術動向を見渡すと地上デジタル受信回路の低消費電力化を意識して狙う動きが出ております。例えば、当社では3セグメント(デジタルラジオ)対応のOFDMデジタル復調LSIを開発中である。他社でも発表がある。方向としては、PDA的な受信端末に搭載することを前提とした開発と考えられる。また何年かたつと、LSI設計ルールの微細化が進み、それに起因しある程度の低消費電力化は自然に進むものと考えられる。しかし、本研究のように、チューナー部を含め、回路全体を50mWで実現し、本格携帯端末搭載を可能にするには、回路全体を見直し、再設計し、再開発しないと(50mW以下の消費電力、現行回路のおよそ1/50の低消費電力化)達成困難と判断出来ません。

## 2-2 研究開発目標

### 2-2-1 最終目標(平成18年3月末)

携帯テレビに必須の超低消費電力「地上デジタル放送受信用チューナー+OFDM復調回路」用LSIを研究開発する。本LSIは、(1)地上デジタル放送内1セグメント携帯テレビサービス、(2)3セグメントデジタルラジオ放送サービスの両方に対応するものとし、90-770MHzテレビ信号帯域の任意の1セグメント携帯テレビチャンネル、3セグメントデジタルラジオチャンネルを受信し、OFDMデジタル復調/誤り訂正後、MPEG-TS形式デジタル信号を出力するものとする。また受信時の平均消費電力は最大50mWを目標とする。さらに携帯テレビ端末搭載可能な大きさまで回路を小型化し、量産時に民生市場適用可能な範囲までコスト削減可能なこととする。

### 2-2-2 中間目標(平成17年3月末)

「地上デジタル放送受信用チューナー+OFDM復調回路」用LSI試作を完成させる。本試作LSIの目的は、これを簡易受信ボードに搭載し、最終年度の平成18年度で実際の電波を受信し、要求された性能が出ていることを確認出来るようにすることである。実際の電波受信で電波受信性能、実際の電波を受信した時の消費電力などを実測し、それをベースに最終的なLSIの研究開発を実施する。

## 2-3 研究開発の年度別計画

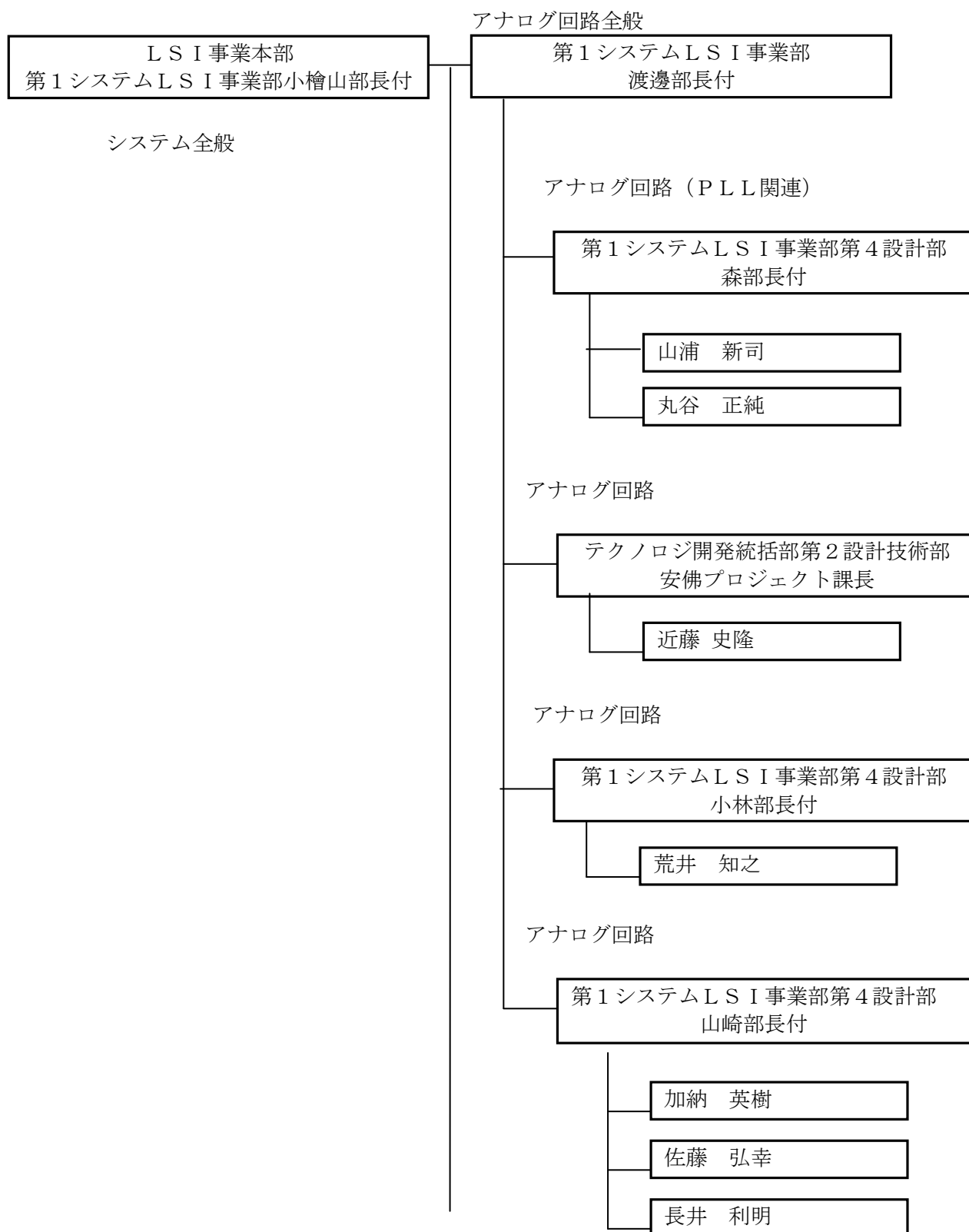
(金額は非公表)

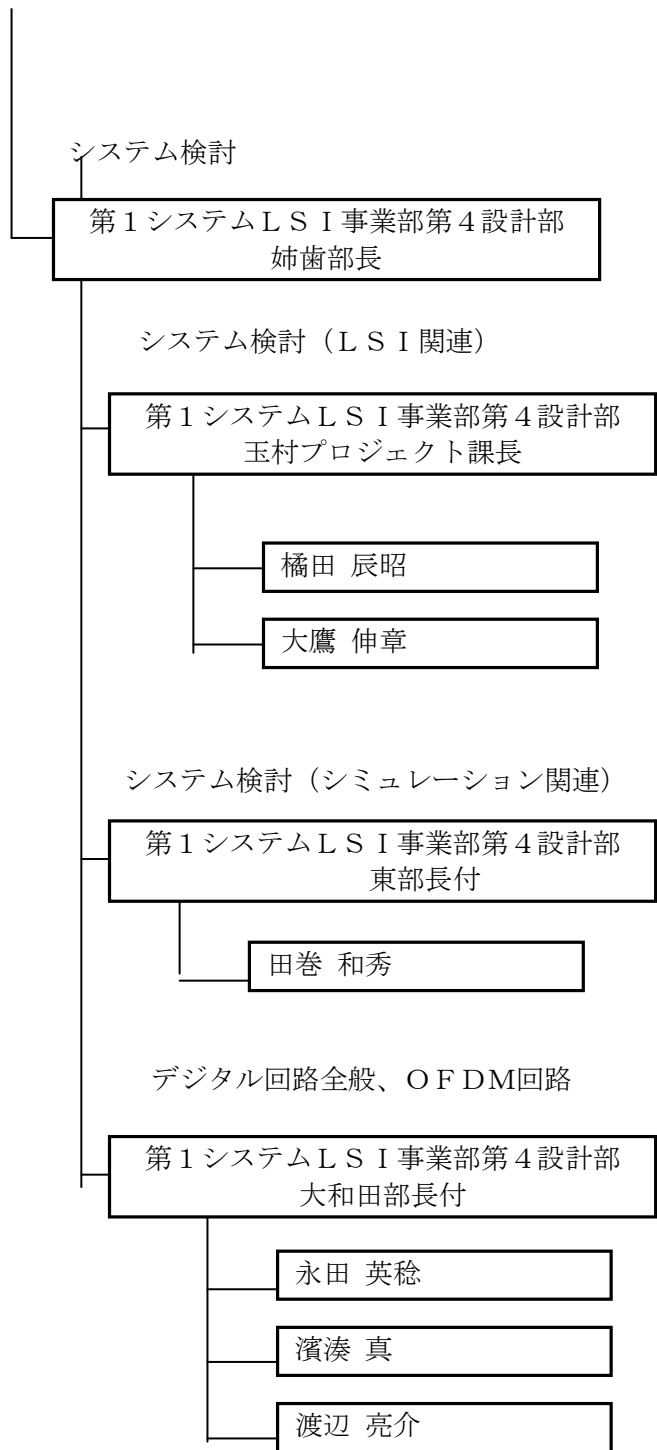
研究開発項目	14年度	15年度	16年度	17年度	年度	計	備考
1) 方式検討	—	—	—	—		—	
2) コンポーネント試作		—	—			—	
3) 全体試作			—			—	
4) 全体試験、改良				—		—	
間接経費額 (税込み)	—	—	—	—		—	
合 計	—	—	—	—		—	

- 注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%を上限として計上(消費税を含む)。  
 2 備考欄に再委託先機関名を記載  
 3 年度の欄は研究開発期間の当初年度から記載。

### 3 研究開発体制

#### 3-1 研究開発実施体制





## 4 研究開発実施状況

### 4-1 LNA関連（初段のアンプ）の研究開発

LNAはアンテナで受信した微弱な信号を増幅する高周波回路である。この回路には、回路動作において発生するノイズを極力抑えて、信号品質を劣化させない低雑音性能が求められる。

「平成15年度研究開発成果報告書」で報告したTEG1では、CMOS差動アンプの高周波特性取得が主な目的であった。今回報告するTEG2では、テレビ受信用途に必要な基本性能・基本機能を備えたLNAを開発することを目的とした。更にTEG2の評価結果を踏まえて、実用化に向けて改良したES1における設計に関しても報告する。

#### 4-1-1 TEG2設計

現在開発している受信機のフロントエンド増幅回路構成を図4-1-1に示す（詳細は以前の報告書にあるAMP1の項を参照）。アンテナ端子からミキサ入力端子までの信号増幅段である。

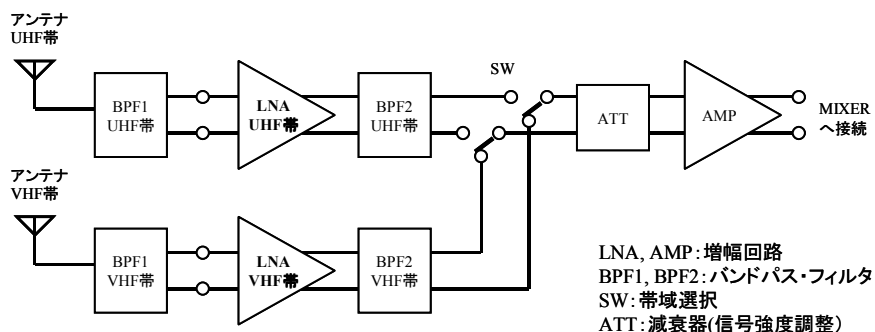


図4-4-1 フロントエンド増幅回路構成

TEG2において、TEG1で設計した回路を出発点として改良を加える設計を行った。TEG1ではLNAの基本性能であるGain及びNFの性能不足と、VHF帯及びUHF帯の一部の周波数しか増幅できないという機能的な問題があった。

GainとNFに関してはチューナのレベルダイヤを見直すことにより目標値を緩和すると同時に、回路の改良による特性改善を目指した。Gainの目標値は36dB、NFの目標値は4dBとした。

一部の周波数しか増幅できない問題に対しては、入力整合回路か、もしくはLNA自体を改良することが課題であった。入力整合回路を改良する方法は2通り考えられる。1つは整合周波数を可変にする方法であるが、BPF2の中心周波数と一致させる制御が困難である。もう一つは50Ωの抵抗で広帯域な整合をする方法であるが、入力端子に抵抗を接続することでNF特性を劣化させる。このためTEG2ではLNA自体を広帯域化する方法を採用した。広帯域アンプを実現する回路形式としてはフィードバックアンプ、ゲート接地アンプ、分布アンプ等があるが、今回はフィードバックアンプについて検討した結果を以下報告する。

TEG2で開発したフィードバックアンプの回路構成を図4-1-2に示す。VHF帯用のLNAとUHF帯用のLNAはパラメータが違うだけで回路構成は同じである。基本は電流源を用いた差動回路であるが、差動対を構成しているトランジスタのドレインとゲート間に抵抗を入れて帰還をかけている。この結果入力インピーダンスが50Ω程度になり、50Ωの信号源インピーダンスに対して入力整合が可能になる。



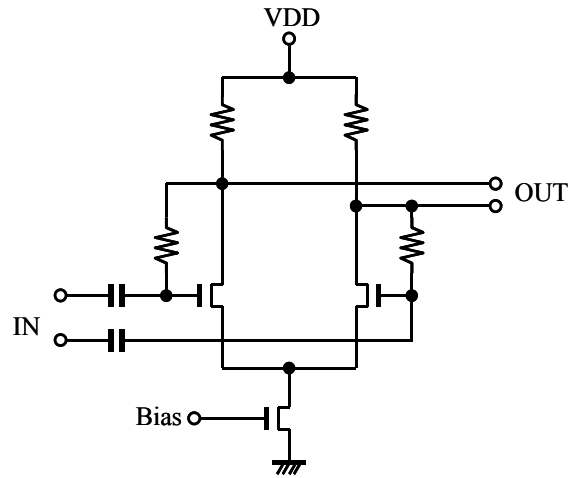


図4-1-2 TEG 2入力アンプ (LNA) の回路図

TEG 2で設計したLNAのVHF帯の入力反射係数 (S11) を図4-1-3に示す。VHF帯の全帯域において、入力反射係数が-10 dB以下である。BPF 2の中心周波数を変化させて測定したが、ほとんど同じ結果であり、ほぼ重なっている。LNAのアイソレーションが十分にあるため、BPF 2の中心周波数を変えても、入力反射係数には影響が殆ど見られず、同じ特性を示している。またUHF帯に関しても同様のシミュレーション結果が得られている。

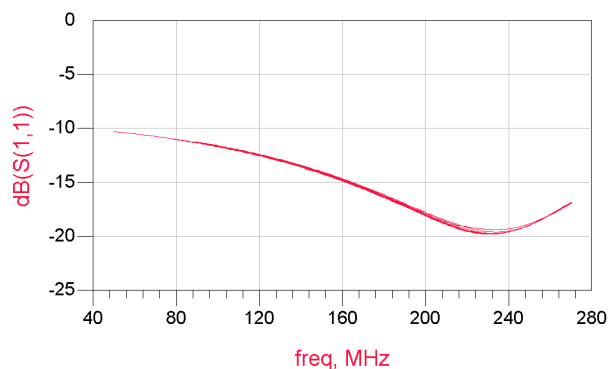


図4-1-3 TEG 2増幅回路の入力反射係数S11 (設計値)

図4-1-4にTEG 2増幅回路のVHF帯におけるGain対周波数の特性 (S21) を示す。BPF 2の中心周波数を変えてプロットした結果である。BPF 2はチップ外付けのインダクタとチップ内蔵の可変容量から成るLCタンク回路である。可変容量は、MIM容量とトランジスタによるスイッチを、バイナリの重み付けをした5組用意して、5ビットのデジタル信号で制御する。これによりBPF 2の中心周波数を32通り設定することが可能である。TEG 1で問題となった入力整合回路による帯域制限がなくなり、VHF帯の全ての周波数を受信可能になった。UHF帯も同様に帯域内の全ての周波数を受信可能となった。

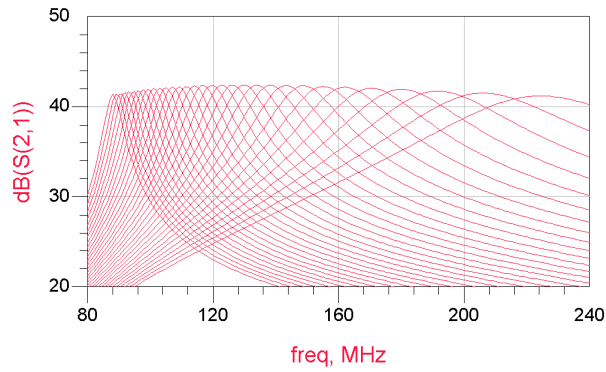


図4-1-4 TEG2増幅回路のGain対周波数S21(設計値)

#### 4-1-2 TEG2評価結果

設計したDTVチューナLSIをセラミックパッケージに組立て、評価ボードに実装してチップ内の増幅段のみの評価を行った。

入力反射係数を測定した結果を図4-1-5、6に示す。図4-1-5はVHF入力端子を測定した結果で、図4-1-6はUHF入力端子を測定した結果である。測定はアジレント・テクノロジー社のネットワーク・アナライザ8714ETを使用して行った。BPF2の中心周波数を3通り変化させて(VHF:可変容量のMIMコード0、7、31、UHF:可変容量のMIMコード0、8、31)測定した。BPF2の中心周波数を変化させてもほぼ同じ結果となった。VHF、UHF共にシミュレーションの結果より劣化していて-10dBより大きくなる周波数がある。

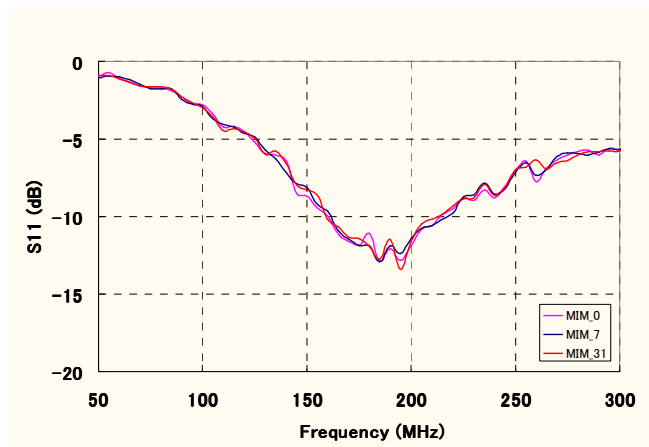


図4-1-5 増幅回路の入力反射係数(S11、VHF帯)

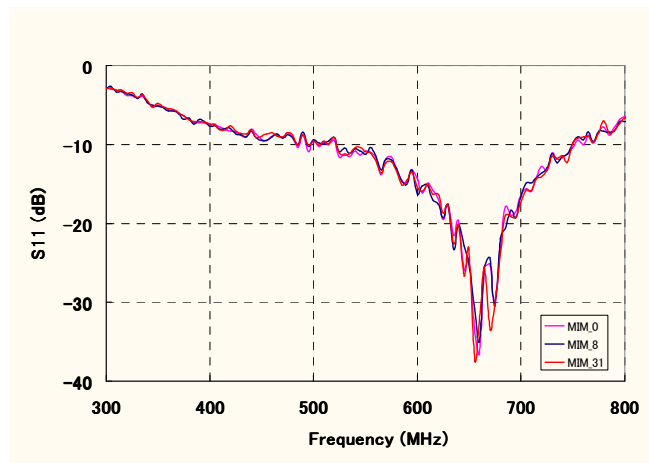


図4-1-6 増幅回路の入力反射係数(S11、UHF帯)

次に通過特性 $S_{21}$ の結果を図4-1-7、8に示す。図4-1-7はVHF端子から信号を入力して測定した結果で、図4-1-8はUHF入力端子から信号を入力して測定した結果である。可変容量は高周波側（MIMコードが小さい方）では1コードステップで変化させて、低周波側（MIMコードが大きい方）では4コードステップで変化させて測定した。BPF2の外付けのインダクタを設計値と同じ値にすると、パッケージ、評価ボードの寄生容量が予想以上に大きかったため、 $S_{21}$ のピークが低周波数側にシフトし、また周波数の可変範囲が狭くなった。寄生容量による設計値とのずれを補正するために外付けのインダクタの値は小さいものを選んだ。ただしインダクタンス値の補正をしても目標値を満せず、周波数可変範囲が狭く、またGainが不足した。この結果が図4-1-7、8である。

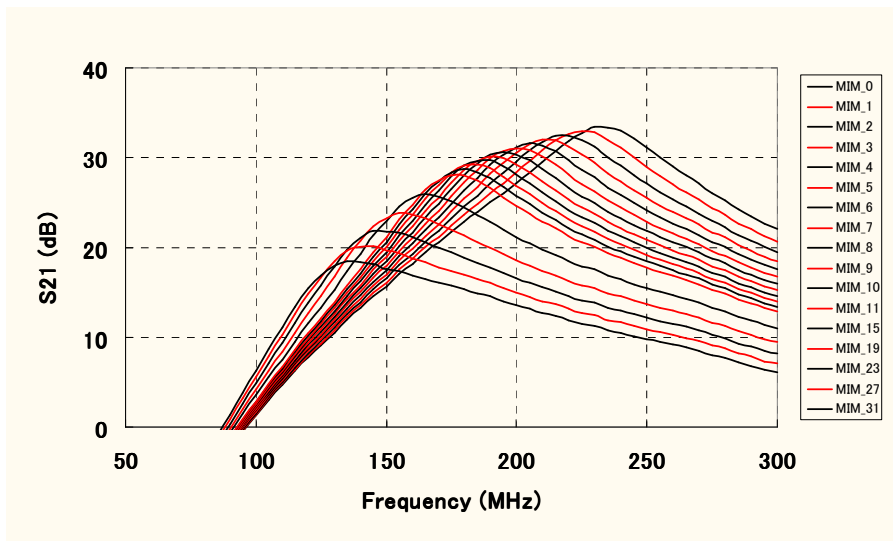


図4-1-7 増幅回路のGain ( $S_{21}$ 、VHF帯)

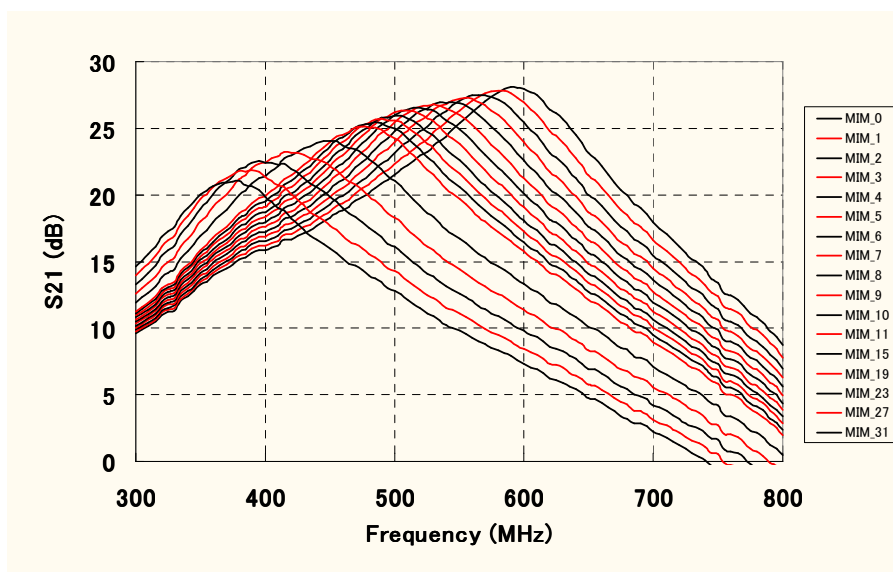


図4-1-8 増幅回路のGain ( $S_{21}$ 、UHF帯)

図4-1-9、10にNFメータを使用して測定したNF対周波数の特性を示す。図4-1-9がVHF帯の性能で、図4-1-10がUHF帯の性能である。それぞれ可変容量を3通り変化させた。両帯域とも高い周波数側の値が良好であり、低周波側で劣化している。 $S_{11}$ 及び $S_{21}$ が低周波側で劣化していることがNF劣化の要因となっている。

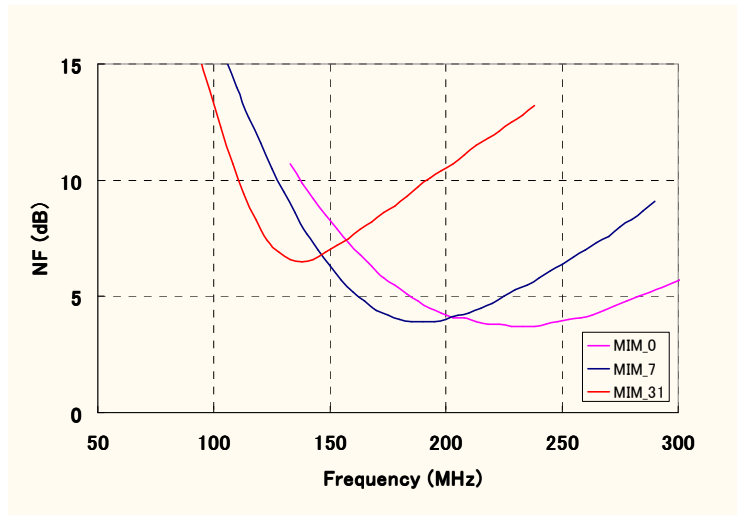


図 4-1-9 増幅回路のNF (S 2 1、VHF帯)

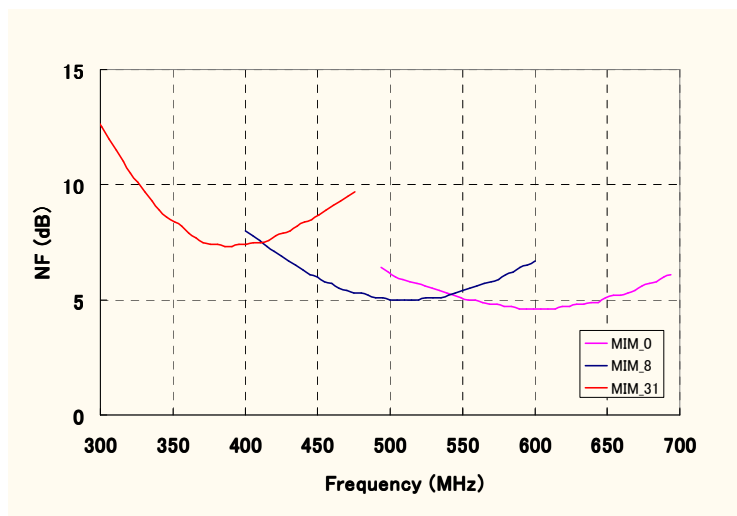


図 4-1-10 増幅回路のNF (S 2 1、UHF帯)

表 4-1-1 に T E G 2 増幅回路の目標仕様、設計性能、評価結果をまとめた。G a i n と N F の目標値はそれぞれ 3 6 d B、4 d B と緩和してある。

表4-1-1 TEG2増幅回路の性能一覧(目標値、Sim結果、評価結果)

項目	条件	単位	目標値	Sim結果		評価結果			
			TYP	TYP	備考	MIN	TYP	MAX	備考
VDD		V	1.2	1.2		1.1	1.2	1.3	
Temp		°C	-	Tj=25		Tj=-40	Tj=25	Tj=125	
TBPF 中心 周波数	UHF,Min.freq 設定	MHz		470	470	可変BPFの中心 周波数		376	
	UHF,Max.freq 設定			770	770			594	
	VHF,Min.freq 設定			90	90			137	
	VHF,Max.freq 設定			220	220			233	
-3dB帯域	UHF,Min.freq	MHz	TBD	97			93		
	UHF,Max.freq			33		88			
	VHF,Min.freq			60		59			
	VHF,Max.freq			5.6		41			
Power Gain	UHF,Min.freq	dB	36	36.01			21.0		
	UHF,Max.freq			41.05		28.1			
	VHF,Min.freq			41.07		18.3			
	VHF,Max.freq			41.39		33.4			
Noise Figure	UHF,Min.freq	dB	4	2.37			7.4		
	UHF,Max.freq			1.92		4.8	4.6	4.4	
	VHF,Min.freq			2.08		6.5			
	VHF,Max.freq			1.85		3.8	3.7	3.5	
I1dB BCP	UHF,Min.freq	dBm	-36	-50.9			-40		
	UHF,Max.freq			-54.2		-45	-48	-49	
	VHF,Min.freq			-53.9		-39			
	VHF,Max.freq			-53.3		-48	-50	-51	
IIP3	UHF,Min.freq	dBm	-26	-42			-37.15		
	UHF,Max.freq			-46.2					
	VHF,Min.freq			-45.7		-38.88			
	VHF,Max.freq			-45.1					
入力 Return Loss	UHF,Min.freq	dB	10	-11.58			-6.3		
	UHF,Max.freq			-10.85		-13.2			
	VHF,Min.freq			-19.13		-5.7			
	VHF,Max.freq			-11.31		-8.3			
入力インピー ダンス	UHF,Min.freq	Ω	50	342.2+i16	信号源=50Ω バランス インピーダンス		26.6+i34.5		
	UHF,Max.freq			119.8-j46.2		74.6-j12.0			
	VHF,Min.freq			248.8-j8.4		27.3+i32.1			
	VHF,Max.freq			323.4-j73.8		67.7-j44.0			
LNA Gain 可変範囲	UHF,Min.freq	V					29.1		
	UHF,Max.freq					28.6			
	VHF,Min.freq					29.6			
	VHF,Max.freq					28			
ATT 可変範囲	UHF,Min.freq	dB					52		
	UHF,Max.freq					52.8			
	VHF,Min.freq					55			
	VHF,Max.freq					55.5			
ATT Step	UHF,Min.freq	dB	< 1.0				1.3		
	UHF,Max.freq					1.2			
	VHF,Min.freq					1.2			
	VHF,Max.freq					1.3			
電源電流	UHF,Min.freq	mA	8.3	8.05			8.7		
	UHF,Max.freq			8.05		8.7			
	VHF,Min.freq			8.05		8.6			
	VHF,Max.freq			8.05		8.6			
パワーセーブ 電流	UHF,Min.freq	μA	TDB				10以下		
	UHF,Max.freq					10以下			
	VHF,Min.freq					10以下			
	VHF,Max.freq					10以下			

### 4-1-3 ES1設計

ES1では実装形態を考慮して、入力アンプ(LNA)の単相回路化の検討を行った。TEG1、TEG2で開発した差動回路は差動信号を入力する必要があるが、アンテナからの信号が単相であるため、単相信号を差動信号に変換するための balan が必要であった。VHF、UHFの各周波数帯全てをカバーして、通過損失の少ない balan は、サイズが大きいという問題がある。現在評価で使用している良好な特性を示す balan のサイズは5.5mm x 3mmであり、Tunerチップに対して同等の大きさである。このためモジュールのサイズの縮小、外付け部品削減のため、単相入力のLNAを検討・設計した。図4-1-11に単相LNAの回路図を示す。基本構成は広帯域特性を有するゲート接地アンプである。逆方向の通過特性(アイソレーション特性)を改善するためにもう一段ゲート接地トランジスタを従属接続した。またNF性能を向上させるため、アンプの負荷はインダクタとした。これは後段のBPF2のタンク回路のLも兼ねている。

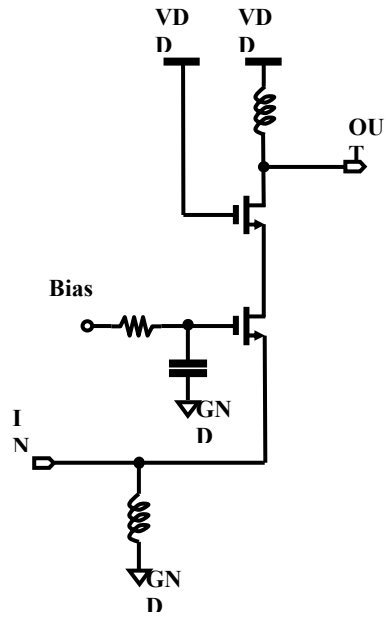


図 4 - 1 - 1 1 単相 L N A の回路図

#### 4 - 1 - 4 今後の予定

今後は新規回路である単相 L N A を評価して、実用に向けた開発を進める。

T E G 2 ではパッケージに組むことで高周波特性が変化したため、E S 1 ではチップを直接ボード、またはモジュールに実装するベアチップ実装を検討している。これにより設計通りの通過帯域を確保できると考えている。またベアチップ実装と単相 L N A によりモジュールサイズの縮小を目指す。

## 4-2 OSC1 (周波数発生回路)

### 4-2-1 OSC1 開発目標

OSC1では、チューナにて使用するLOクロック信号(4相)を生成する。チューナの目標である、VHF、UHF両帯域での信号受信に対応して、本ブロックに求められるLOクロック周波数は、およそ90MHz~770MHzであり、デジタルラジオ受信のために各セグメント(帯域幅=6MHz/14)へ対応した周波数を設定する能力が必要である。

本OSC1(シンセサイザ)の目的は、上記の広い範囲の周波数にわたり細かい周波数設定間隔を実現しうる4相LOクロック発生シンセサイザを、携帯端末用途向けに低消費電力な回路構成や方式により実現することにある。当然ながら、受信機に用いるLOクロックの雑音レベルは、低く抑えることも必要である。

15年度までに、雑音特性を考慮しつつ、最終出力段での周波数設定間隔を細かく設定するシンセサイザの方式の検討と選定を終え、具体的な機能回路の実現を行ってきた。また、実際に回路を設計しTEG1としての評価は既に報告の通りである。今年度は、これまでの残検討課題としている、以下の特性改善と機能追加を目標に掲げて、TEG2の設計・評価ならびに、ES1の設計を行った。

以後、これらについて順次報告する。

#### 【TEG2設計】

- 2種VCO構成への変更に伴う、発振回路変更
- 上記変更にもなう、シンセサイザ内ブロック間接続部回路変更
- PLL高速分周器部の電流削減
- 各部電流削減とPD(パワーダウン)モード対応

#### 【TEG2評価】

- 各部の特性評価

#### 【ES1設計】

- 発振器周波数ずれの修正
- VCOの自動選択回路
- アンプ部およびPLL高速分周器部(プリスケアラ)動作周波数改善
- シンセサイザ部のTOPレベル検証

### 4-2-2 OSC1 開発状況

#### 4-2-2-1 TEG2設計

##### ●VCO構成の変更に伴う、発振回路変更

プロセスばらつきや各種環境変動を考慮した場合、VCOに求められる特性は最も厳しい見積もりで1600~3600MHzにも達する。改版では、単一のインダクタを用いたTEG1の構成で検討を行ったが、寄生容量による可変幅の制限から実現困難と判断した。このため、VCOを2つとし、いずれかを選択して発振する構成とした。

表 4-2-1 VCO の目標周波数

	システム使用	PVT考慮時必要	VCO1個構成 (TEG1実力)	VCO2個構成 (TEG2設計)
周波数 (GHz)	3.1 ↑ 1.9 ↓	3.6 ↑ 1.6 ↓	3.1 ↑ 1.6 ↓	2.5 ↑ 2.3 ↓ 3.6 ↑ 1.6 ↓

さらに、低電力化のための改善検討も行った。電流削減の為に、VCOのバッファや回路内 Tr のサイズ縮小だけでは効果が小さく、共振器Q値を犠牲にしてインダクタンスを増大させて負荷容量サイズを縮小することが必要と判断した。

発振回路であるVCOでは、電流削減は利得不足による発振停止の危険を伴う。このため、発振が停止しないような値に制限しつつ、回路内素子のチューニングを行った。

●シンセサイザ内ブロック間接続部 回路変更

2つのVCOを使い分けることによる特性の改善は、発振周波数範囲を拡大した一方で、レイアウト的には大きな面積を占有するVCOが2個存在することとなった。この結果、非動作側のVCO出力段回路や長い信号配線の寄生容量が動作周波数制限と電流増加を引き起こす。そこで、非動作時にはハイインピーダンス状態となるセレクト回路と中継バッファとを挿入した。

●PLL高速分周器部の電流削減

電流削減のため、PLLの初段に用いている高速分周器（電流源型差動対の構成）とチャージポンプ回路の基本電流量を見直した高速分周器では消費電力の大きい電流源型分周器の段数を削減し、チャージポンプ回路では基本電流をTEG1の1/4に削減した。これらにより、シミュレーション上で3mA程度の削減を達成した。

●各部電流削減とPDモード対応

最終段IQ生成部を、TEG1で暫定的に用いていた電流源型差動構成分周器から、低電力化に適するインバータ型の分周器に変更した。この結果、シミュレーション上で3mA程度の削減を達成した。

また、IQ生成部内の各ブロックにおける、パワーセーブ時のリーク電流パスを特定し、これらにリーク電流対策を施した。

上記改善により、合計6mA程度の電流減少を図り、下記のレイアウトにより評価TEGを作製した。

## IQ生成部



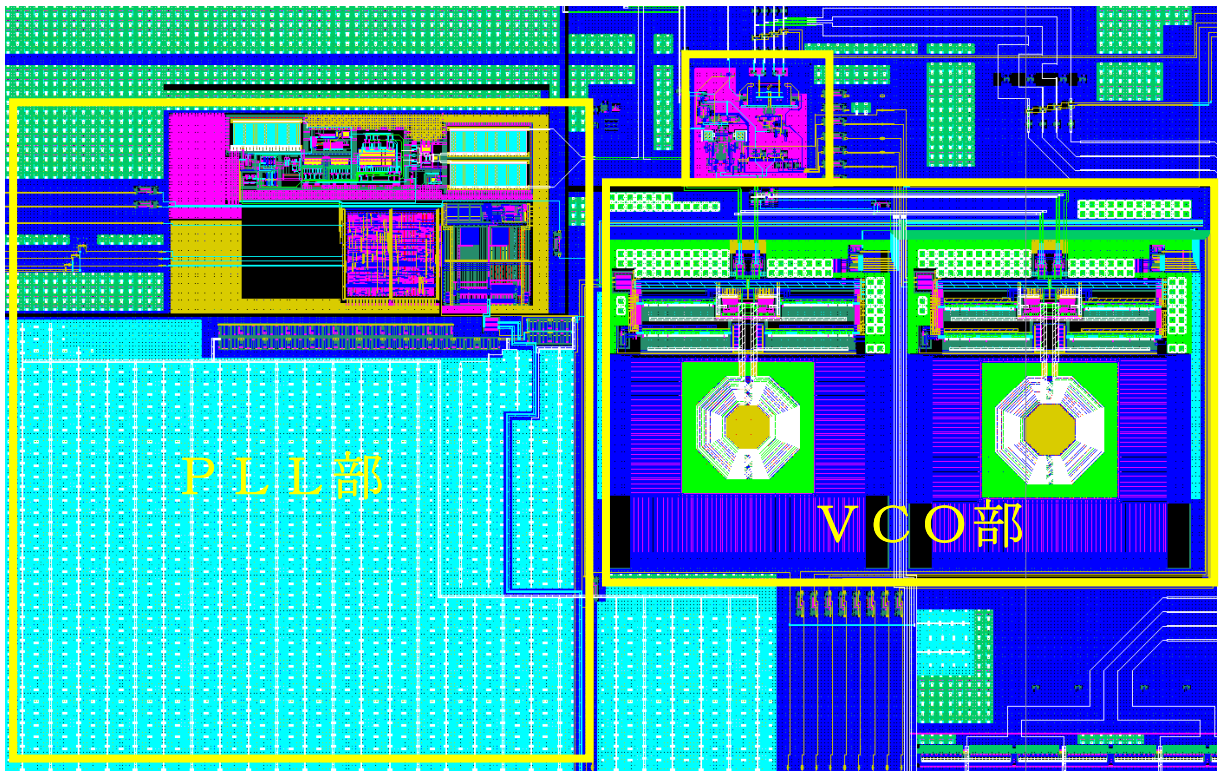


図 4-2-1 TEG2 OSC1部レイアウト

#### 4-2-2-2 TEG2 評価

##### ● シンセサイザ全体評価

図 4-2-2~5 に TEG2 シンセサイザ部の特性を評価した結果を示す。VCO<sub>L</sub>において、高い側のコードでクロックが出力できなかったが、VCO<sub>H</sub>とのオーバーラップが存在している為、所望のクロックを出力できる。ただし、図中に赤丸で囲んでいるチャンネル（12、60~62）でシンセサイザは所望の周波数にロックできていない。この原因は、PLL部の初段にある高速分周器における動作周波数不足が原因と思われる、ES1の課題である。

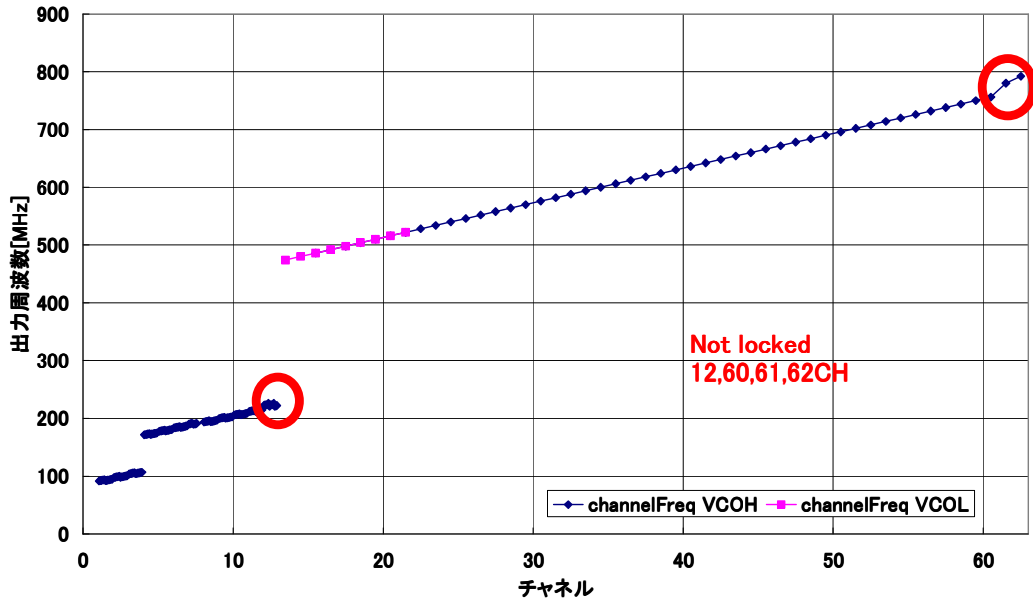


図 4-2-2 シンセサイザ出力特性(横軸設定 CH, SEG)

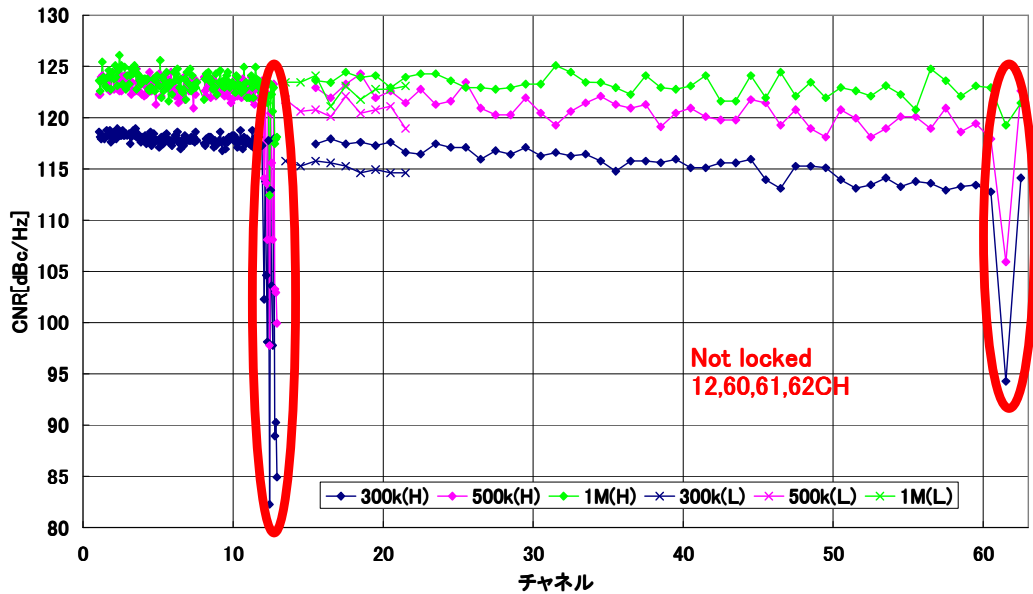


図 4-2-3 シンセサイザ出力 CNR 特性(横軸設定 CH, SEG)

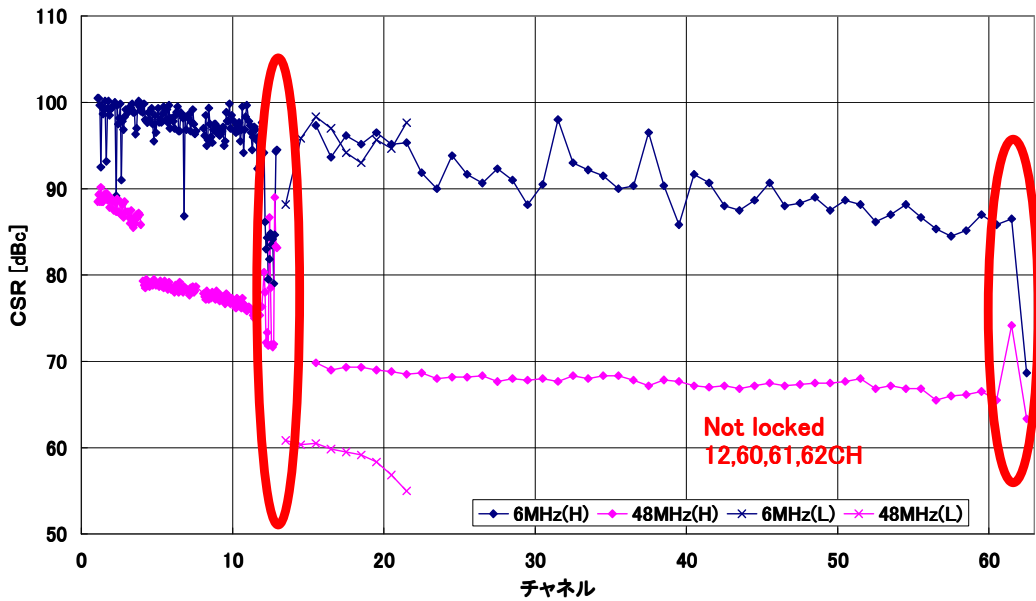


図 4-2-4 シンセサイザ CSR 特性(横軸設定 CH, SEG)

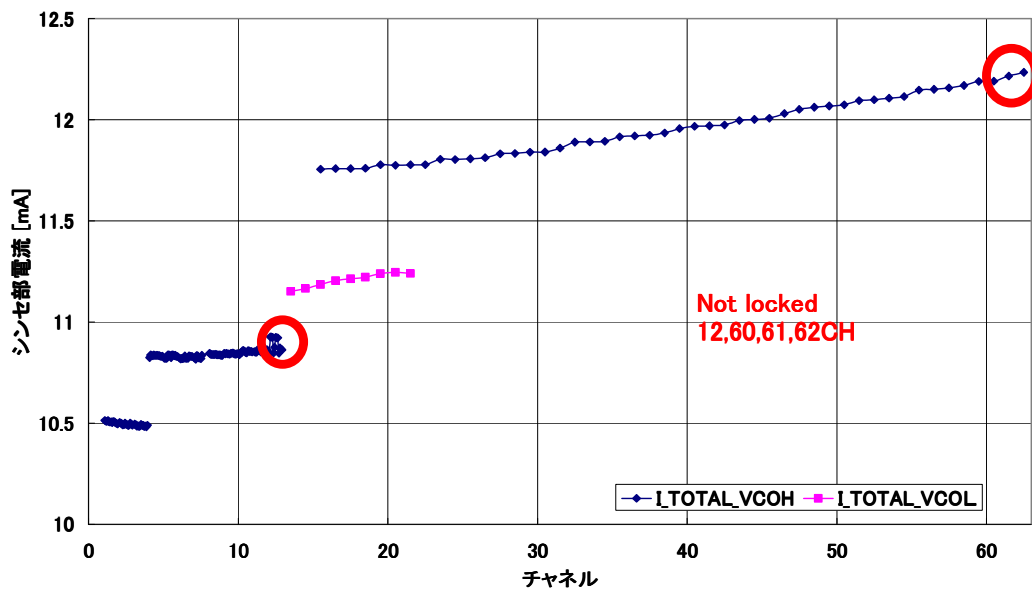


図 4-2-5 シンセサイザ消費電流特性(横軸設定 CH, SEG)

評価の結果、今回の最も大きな目的であった電流の目標値 10.8 mA は VHF 帯において達成。UHF 帯においては 1 ~ 1.5 mA 程度上回ったが、TEG 1 からの大幅な改善を達成している。また雑音特性に関しても TEG 1 と同等な特性が得られている。

今後は、PVT 考慮時の動作保障のための回路改版や今回のロック不良の課題に対策を施す予定であり、その原因によっては電流の増加が必要にもなりうる。雑音特性、消費電流に関しては、ES 1 に向けても引き続き調査・検討を進める。

● VCO特性

表 4-2-2 に示すように、VCOの発振周波数は全体的に低い側へシフトしていた。このことは、低消費電力化のためにLを大きくして容量を小さくしたことにより、従来よりも寄生容量の影響が見えてしまったためである。TEG 2設計においては、TEG 1設計時に使用した寄生容量や「MIM容量+TRスイッチ」のモデルを用いたが、ES 1へ向けてはこれらの素子の正確な特性評価とモデル化を行い、設計精度を改善する。

表 4-2-2 LC-VCO 評価概要

特性		TEG 2 VCO L	TEG 2 VCO H	TEG 1
発振周波数	MHz	1.7~2.1	1.9~3.2	1.6~3.1
目標値		1.6~2.5	2.3~3.6	1.9~3.1
消費電流	mA	5.0~5.1 (一部発振せず)	4.9~5.7	5.5~7.0

※ TEG 1同様、電流は低周波側で増加する。

● 高速分周器部評価

VCOが所望の周波数は全てカバーしていたにもかかわらず、シンセサイザ全体としての動作は、各バンド帯（VHF, UHF）のうち、VCOが約3GHzを越える高い周波数で発振する条件下でPLLがロックできなかった。

原因調査のため、高速分周器部の個別TEGを評価した結果を表 4-2-3 に示す。本TEGは実際の回路を切り出しているために、入力部において実際よりも特性を悪化させる要因が働くが、動作速度として3GHz付近はカバーしきれていないことが推測できる。TEG 2にて改版した電流縮小の影響が、シミュレーションで予測されていた以上の悪影響を及ぼし、回路の動作速度を落としてしまったと考えられる。

表 4-2-3 高速分周器 評価概要 (入力 1.2Vpp 差動)

GHz	16分周	17分周
1.5	○	○
1.9	○	○
2	○	○
2.5	○	×
3	×	×
3.1	×	×
3.5	×	×
4	×	×

4-2-2-3 ES 1設計

● VCO周波数ずれの修正

VCOの再設計に当たり、周波数がシミュレーション値とずれてしまった原因調査を行った。この結果、「MIM+TRスイッチ」および「インダクタ」のモデルを個々の素子の実測Sパラメータデータとの整合をより改善させることで、TEG 2の設計値と実測値がほぼ一致することを確認した。

その上で、ES 1へ向けてのVCOを再設計し、表 4-2-1 の周波数を得られるように素子値を改めて求め、レイアウトを再作製した。シミュレーションの結果、雑音特性への影響は僅かであった。

● VCOの自動選択回路

TEG 2までは、シンセサイザのロック時に使用するVCOを128通りの設定(コード)の

中から予め選択して手動で設定していた。しかし、実際のシンセサイザにおいては、プロセスばらつきの影響に応じた初期調整や、電源と温度の変動への追従ができない可能性があるなどの問題がある。そのため、ユーザのチャンネル選択毎に最適なコードを選択する自動選択回路の付加が必要であり、ES1に向けて、その設計を行った。

VCOのコードは64本と多い上、各コード間の周波数間隔は低い側から高い側へと次第に大きく変わっていく。そこで、周波数の高低判定は高精度で判定できるようにしつつ、非同期クロック間で動的に周波数比較を行うことで短時間に判定を下すことのできるフローを用いて、最適なコードを選択できる自動選択回路を設計した。また、2つのVCO間で重複してしまうチャンネルに関しては、初期値を設定しつつ、補完的に他方のVCOへ選択変更を可能にするバックアップ機能も追加した。

#### ● バッファ部およびPLL高速分周器部の動作周波数改善

本課題に関してのES1での対策は、まだ不十分である。先のTEG2での一部PLLがロックできないという機能不良は、チューナとして致命的な問題であるとの判断から、高速分周器部の特性改版を行った。しかし、これにより高速分周器部単体で電流は2mA程度も増加してしまった。

さらに、TEG2でVCOLが発振停止した原因として、VCOLの出力段からのバッファ、配線に寄生する容量の見積もりが甘かったことを突き止め、配線レイアウトの見直しと、バッファサイズの見直しを実施。また、上述の高速分周器部のTRサイズが大幅に大きくなったことにより、その前に配置したバッファ数段が、駆動力不足に陥ってしまった。この対策として、更にバッファを追加し、サイズを大きくする対処を行ったため、最終低には電流が4~5mA程度も増加することとなってしまった。

ES2へ向けはこの高速分周器部の縮小や構成変更を行い、併せてVCO出力段からのバッファの構成の最適化が大きな課題として残っている。

上記の設計改版を施して、ES1評価TEGを作製した。従来はMIM容量を用いていたPLLのフィルタ部は、面積縮小の為にPOLY-WELL間容量を用いるレイアウトに変更している。TEG2で別途作製していた容量タイプの比較TEGの評価結果より、特性的な影響は小さいと判断している。

#### (4-2-3)今後の課題

17年度はES1の評価を行い、その評価結果や今後の新たな課題を踏まえてES2設計・評価を行い、開発の完了を目指す。

ES1の評価では特に、改版した以下の回路の評価・解析を優先的に行い、ES2へ向けての問題点を再整理する。

- VCOの周波数ずれ
- VCO自動選択回路の評価
- 高速分周器の低消費電力化
- VCO出力部から次段（PLL部、IQ生成部）へ信号を伝達するバッファの構成
- 各機能・特性評価

この他にも、全体システムとしての評価結果を考慮して、個々の回路についても、必要に応じたスペックの見直しや設計変更を行う。

## 4-3 IF部（ミキサー、ADCおよびフィルタ）の研究開発

### 4-3-1 序論

本研究で検討しているチューナは、デジタルフィルタを用いてチャンネル選択を行うことにより、低消費電力を実現する。このため、AD変換器に所望波と妨害波を同時にAD変換できるダイナミックレンジが要求される。従来のチューナではAD変換器の入力の段階で妨害波は除去されていたため、AD変換器のダイナミックレンジに対する要求が2桁程度であったのにたいして、この方式にした場合要求されるダイナミックレンジは3桁である。このダイナミックレンジを実現するのに大きな電力をAD変換器に割り当ててしまうと、チャンネル選択フィルタにより得られた消費電力の削減効果が相殺されてしまう。

そこで本研究においては、 $\Sigma\Delta$ 方式のAD変換器を用いることで、低消費電力かつ広ダイナミックレンジを実現することを目指した。ISDB-TおよびISDB-TSBで必要とされる帯域幅は、アナログTVの6MHzに比べて、1セグメント受信時428kHz、3セグメント受信時に1.3MHzと狭い。 $\Sigma\Delta$ 方式は変換できるバンド幅は他の方式に比較して狭いものの、同じ電力で広いダイナミックレンジが実現可能であり、本研究のチューナに適していると言える。さらに、TEG2において回路の簡素化を目指して、 $\Sigma\Delta$ AD変換器自体に可変利得機能を搭載する構成を検討した。ここで、この可変利得機能はOFDM復調器側より制御する方式とした。そこで、本報告書では、この制御用インターフェイスについても $\Sigma\Delta$ AD変換器とあわせて述べる。この制御インターフェイスはチャンネル設定にも同じ方式のものを使用している。

### 4-3-2 TEG1の評価

#### 4-3-2-1 評価家結果

最初に昨年度試作したTEG1についてその評価結果と、問題点、および原因の考察を述べる。

図4-3-1はTEG1の出力信号スペクトラム（実測）である。図は1MHzの周波数入力を行った場合の測定結果を示している。この評価結果から明らかになった、TEG1の問題点は大きく下記の2つである。

- ・SNRが低い（1セグメント受信を考慮の場合 目標/実測：71dB/61dB）
- ・消費電力が大きい（目標/実測：8mW/9.7mW）

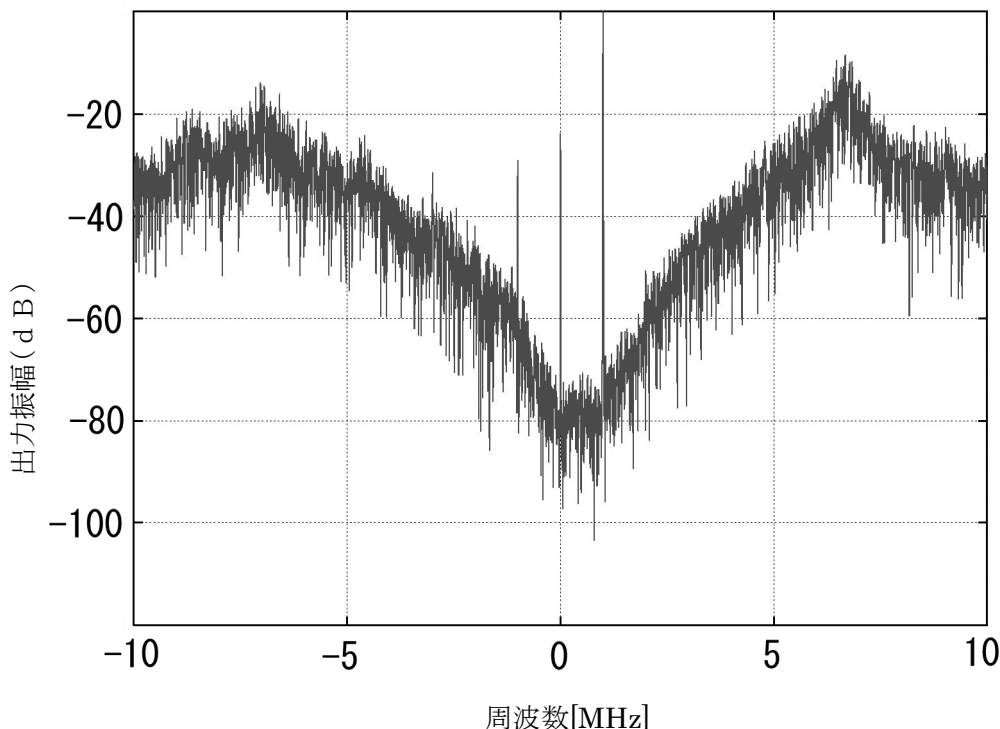


図4-3-1 TEG1実測スペクトル

これらの2点について、原因に対する考察を以下に述べる。

#### 4-3-2-2 SNRが低い要因

図4-3-1から、TEG1においてノイズのピークは約8MHzである。サンプリング周波数は130MHzであるから、この値は $f_s/16$ である。(fs:サンプリング周波数)本来 $\Sigma\Delta$ AD変換器の出力において、この値は $f_s/2$ であるが、ループ遅延が過大であると、この周波数が低下することが知られている。以上のことから、TEG1のループの遅延が過大であることが、SNRが目標値を達成できなかった大きな要因であると考えられる。

この推察を確認するために、TEG1設計時に用いたシミュレーションのモデルを、より精度が高いモデルに構築しなおして再度シミュレーションを行った。その結果、コンパレータからのキックバックノイズにより、ヒステリシスを生じていたことが明らかになった。(図4-3-2)

図4-3-2はフィルタ出力の波形(正出力・負出力)をモニタしたものである。これらがコンパレータの差動入力となっている。丸で囲った部分がコンパレータからのキックバックノイズを受けてフィルタ出力が変動を受けている部分である。波形から、差を広げる方向、すなわち同じ入力状態を維持する方向にキックバックノイズが働いていることが読み取れる。

このようにキックバックノイズの影響で回路がヒステリシスを持つことで、ループ遅延が大きくなり、ノイズピークの周波数が低下する。

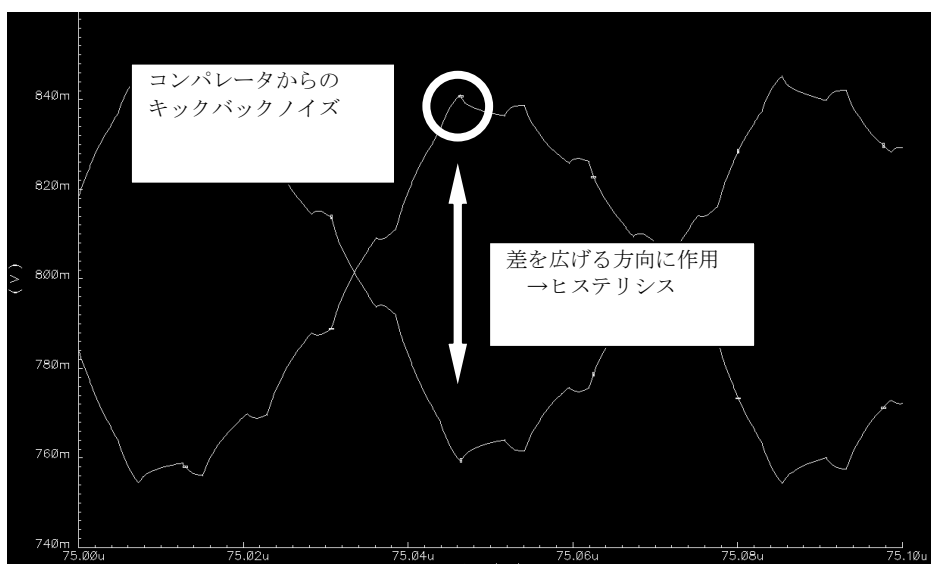


図4-3-2 コンパレータからのキックバックノイズ

### 4-3-2-3 消費電力が大きい原因

消費電力が大きい原因は、ループフィルタの構成が複雑であることである。図4-3-3に TEG1 のループフィルタの構成を示す。

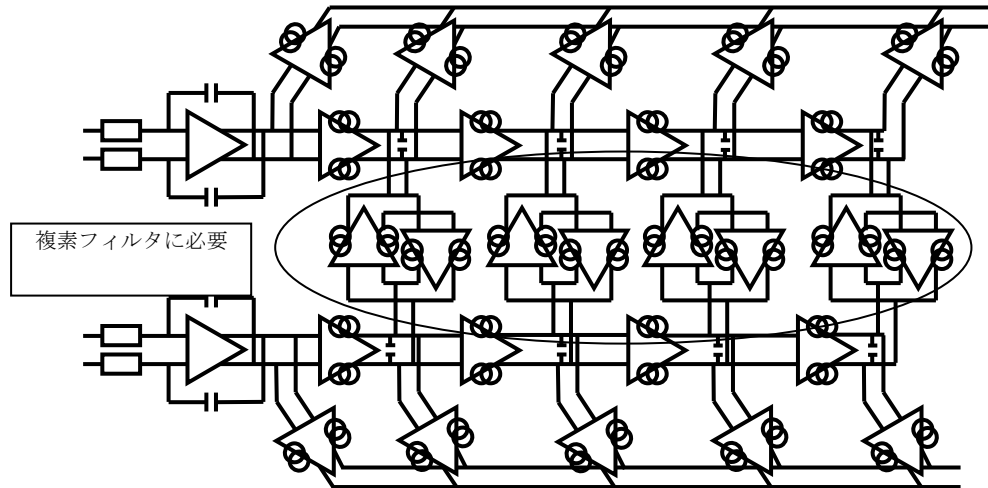


図4-3-3 TEG1 での複素型のフィルタ

一つ一つの3角はオペアンプを示している。このフィルタは28個のアンプを使用している。TEG1では複素型のフィルタを採用している。

このフィルタは  $I_{ch}$  と  $Q_{ch}$  の間にアンプを挿入することにより、共振状態をつくり、急峻なカットオフ特性を得ることが特徴である。このときカットオフ特性の急峻さは積分アンプのゲインによって決定される。しかし、低電圧下において十分なゲインをもつアンプを構成するのは難しい。したがって、消費電力とトレードオフに得られる SNR の値は、低電圧で動作させる場合は小さな値でしかない。すなわち、消費電力に対する SNR の改善効率が悪いのが問題である。

### 4-3-3 TEG2 の設計

#### 4-3-3-1 TEG1 の問題点の改善

TEG1 での問題点を解決するために、以下のことを行った。

まず、キックバックノイズを低減するために、コンパレータの回路構成を、前置アンプとラッチ段を融合した形から、これらを分離した回路構成に変更した。

また、フィルタを複素構成から実数構成に変更した。このフィルタの詳細については、(4) - 3 で述べる。

#### 4-3-3-2 可変利得機能の追加

携帯用の DTV チューナは、受信場所により大きく信号レベルが変化するのに対応するため、トータルとして広いダイナミックレンジが必要となる。



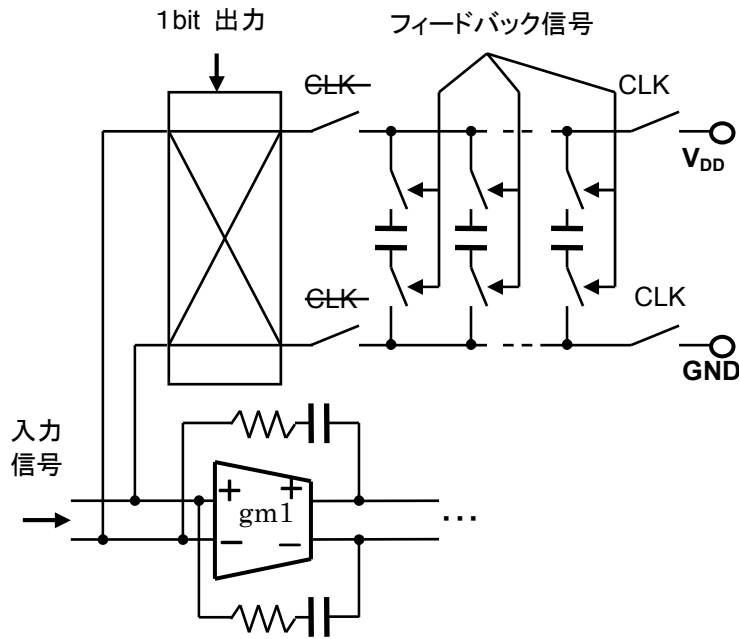


図4-3-4 出力可変DAC

従来、このダイナミックレンジをカバーするのに、LNAの後段にVGAなどによる可変利得回路を用いていた。しかし、カバーすべきダイナミックレンジが広い場合、この可変利得回路が複雑化することにより、消費電力と回路面積の増大を招く。このため、本研究においては、 $\Sigma \Delta$  AD変換器でカバーするダイナミックレンジの範囲を広くすることで、LNAの後段の可変利得回路の簡素化を狙っている。ここで、 $\Sigma \Delta$  AD変換器には妨害波から決まる要求値59dB(QPSK/1セグメント受信時)よりも広い70dBのダイナミックレンジを割り当てた。

このダイナミックレンジをカバーする場合、従来構成の $\Sigma \Delta$  AD変換器だと、ピークSNRの要求値も70dBとなり、消費電力の増大を招く。ここで、 $\Sigma \Delta$  AD変換器の入力信号レンジを信号電力に合わせて切り替えることができれば、59dBを割らない範囲でピークSNRの要求値を下げるができる。

TEG2においては、出力パワーを可変にしたフィードバックDAC(図4-3-4)を用いることで、この可変利得機能を $\Sigma \Delta$  AD変換器に搭載することを試みた。

#### 4-3-3-3 フィルタ内のアンプの削減

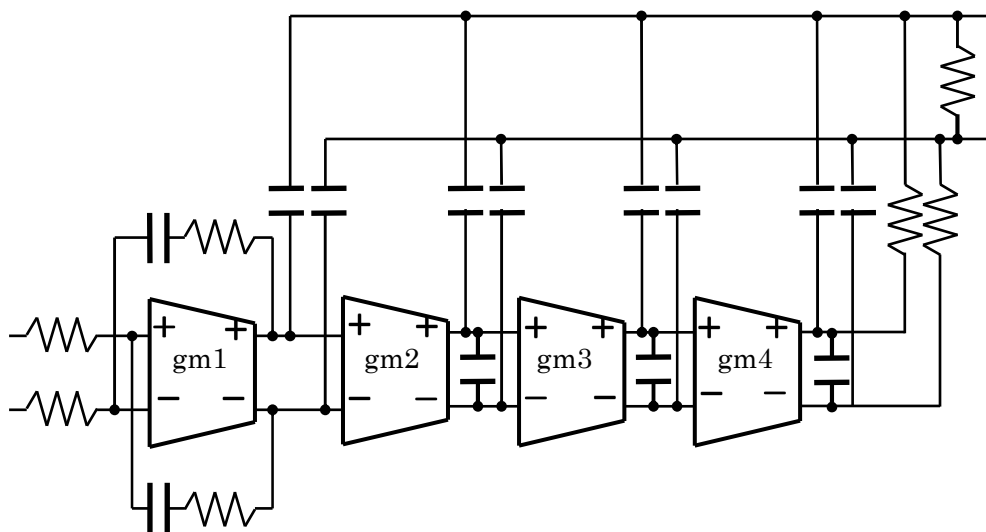


図4-3-5 TEG2でのフィルタ構成

図4-3-5に TEG2 のフィルタの構成図を示す。なお、TEG2 ではフィルタは実数型であるので、1チャンネルのみ示してある。まず、先述のように、実数型の構成に変更した。これにより、28個あったアンプが20個に削減された。さらに、位相補償用にアンプの代わりに容量と抵抗を用いることで、各チャンネル5個のアンプを減らし、アンプの総数を10個に減らした。最後に、アンプの設計を見直すことで4次でも必要なSNRが確保できると判断し、次数を4次に改変した。最終的にアンプを8個まで削減することができた。

#### 4-3-4 TEG2 の評価結果

図4-3-6に正弦波を入力したときのスペクトラムを示す。

スペクトラムから、設計した $\Sigma\Delta$ 変換器が、4次のノイズシェーピング特性を持ち、正弦波を正しく変調して出力できているのがわかる。

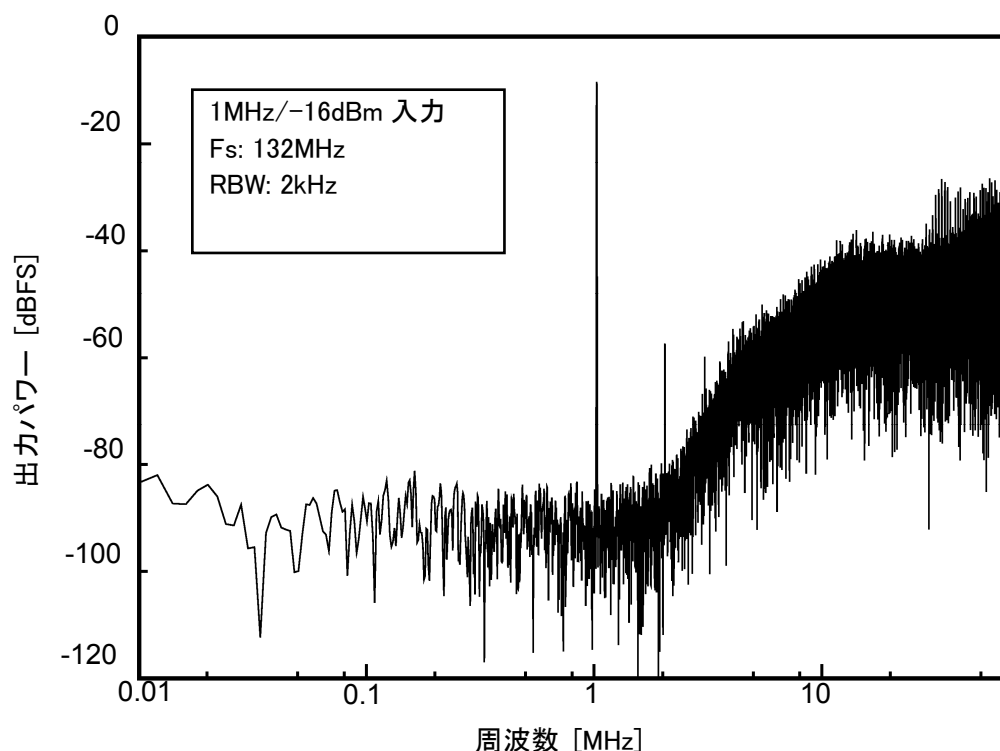


図4-3-6 TEG2 における正弦波入力時のスペクトラム

また、利得を切り替えてSNRおよび、SNDRを測定した結果を図4-3-7に示す。なお、このグラフでSNRおよびSNDRの計算は1セグメントの帯域幅について行った。

グラフから、利得を切り替えることで、SNRのカーブがシフトしている、すなわち、入力レンジが利得の設定により切り替わっているのが読み取れる。試作した回路は、どの利得の設定に対しても63dBのピークSNRを達成している。今回搭載した可変利得機能は12dBなので、全体として、75dBのダイナミックレンジを実現している。

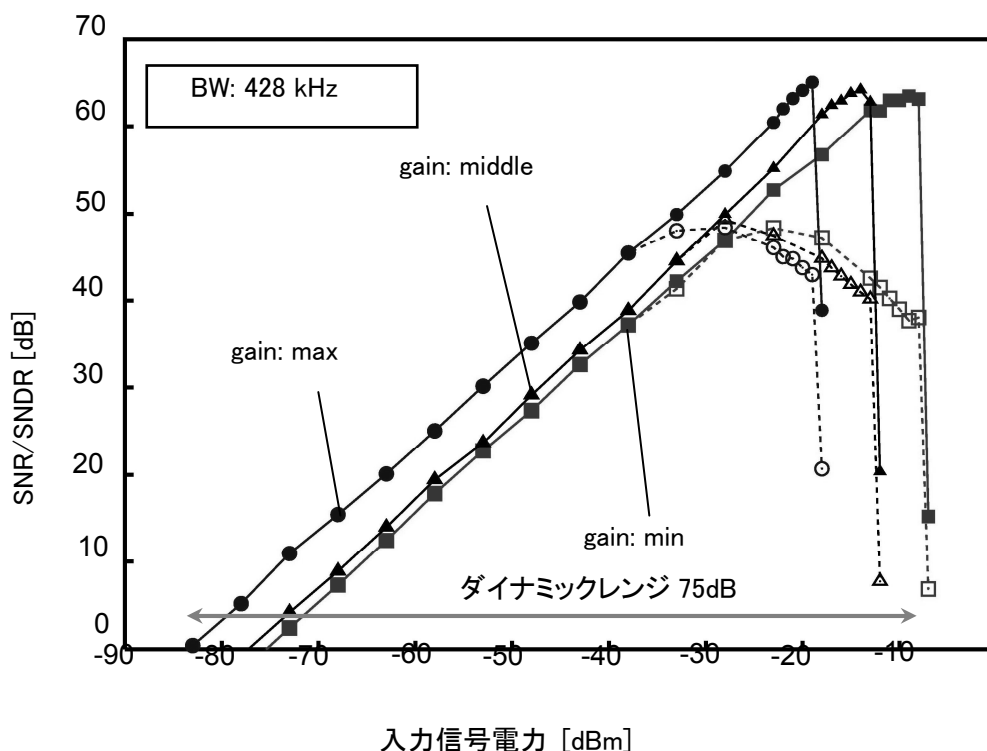


図4-3-7 SNR/SNDR 入力信号電力特性(実線は SNR、破線は SNDR)

図4-3-7は1セグメントの帯域幅について示したものであるが、3セグメントの帯域幅については、信号帯域内のノイズフロアがフラットであるため、1セグメントの測定値の5dB下の値となる。すなわち、ピーク SNR はどの利得設定についても 58dB 以上、全体のダイナミックレンジは 70dB である。

試作した回路の消費電力は2チャンネル合わせて 6.8mW である。ここで、アンプを 28 個から 8 個にまで削減したにもかかわらず、消費電力の削減量が 3mW 程度にとどまっているのは、今回削減した複素極を作りこむためのアンプや位相補償のためのアンプが、信号を積分するアンプほど電力を必要としないためである。しかしながら、この値は目標値 8mW に対して十分に低い値であるといえる。

#### 4-3-5 OFDM 変調器とのインターフェイス

先述の  $\Sigma \Delta$  AD 変換器の変利得機能を含め、デジタルの制御は OFDM 変調器内のコントローラから行う。この制御信号それぞれに対してピンを割り当てると、ピン数が多くなり、チップ面積の増大を招く。一方、書き込みの頻度は高くないため、書き換えの速度をあまり高速にする必要はない。このため、インターフェイス部分では、シリアル-パラレル変換によりピン数を減らす方式をとっている。設定する制御ビットが増えてもこの方式であれば 3 ピンで制御が可能である。この回路は ES1 に搭載されており、評価は ES1 を用いて行う。

ゲイン設定入力/チャンネル設定入力へ

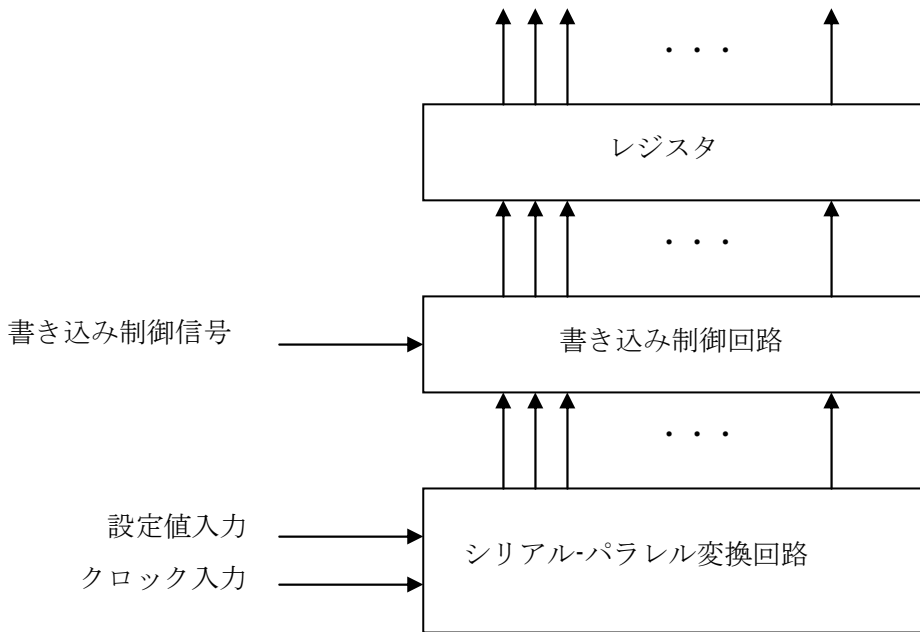


図 4-3-8 チューナ-OFDM インターフェイス回路概略

#### 4-3-6 クロック生成 PLL

TEG2 において、 $\Sigma \Delta$ AD 変換器は外部からクロックパルスを入力して駆動していた。実際の製品では、外付けの発振器で駆動するわけにはいかないため、ES1 にはクロックを内部で生成するための PLL を搭載した。

#### 4-3-7 まとめと今後の課題

TEG2 において、 $\Sigma \Delta$ AD 変換器の SNR の改善と低電力化を行った。また、ES1 において、制御インターフェイス回路とクロック生成 PLL の追加を行った。

今後は制御インターフェイスおよびクロック生成 PLL の動作検証と、 $\Sigma \Delta$ AD 変換器のさらなる特性改善による感度向上が課題となる。

## 4-4 低消費電力デジタルOFDM回路

### 4-4-1 RF部とのインタフェースについて

RF部とベースバンド部のインタフェースはLOW-IF方式を採用した。LOW-IF方式はRF部の低消費電力化や小型化に貢献するが、デジタル部では、

- ・イメージ除去、不要周波数帯域除去
- ・ダウンサンプリング、出力ビット数調整
- ・I/Q直交歪みやゲインバランスの補正

等が必要となり回路が複雑になる。

しかし、これらの機能をアナログ部からデジタル部側に移動することで、チューナシステムとして低消費電力化が実現できる。

今回ES開発において用いた、アナログ部とデジタル部のインタフェース構成を図5-4-1に示す。(1) フィルタ&ダウンサンプル、(2) 直流分除去、(3) ゲイン補正、(3) 周波数シフト、(4) フィルタ&ダウンサンプル回路を新規に設計付加した。

LOW-IF方式のため、フィルタリング&ダウンサンプルから周波数シフトまでを、インタフェースとして新規に開発した。昨年度試作した回路と一部構成が変更になっている。これは、チップ面積から鑑みた最適化を行い、本構成となった。付加した回路以降は富士通で開発済みの回路を用いた。

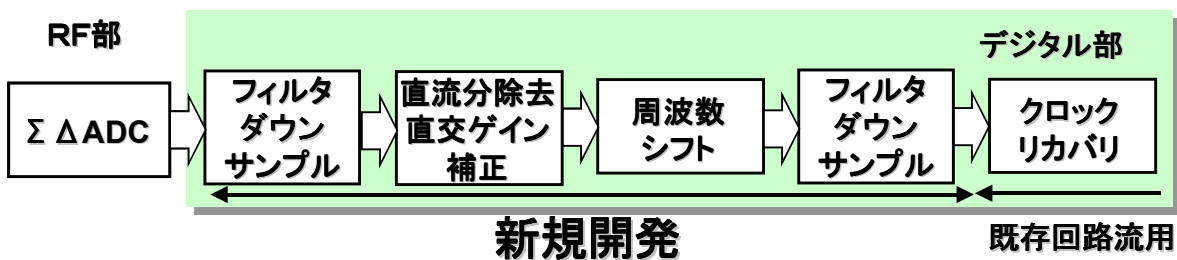


図 4-4-1

## 4-4-2 インタフェースの構成

デジタル部に新たに追加されたアナログ部とのインタフェースの構成を説明する。

### 4-4-2-1 フィルタとダウンサンプル

RF部からの $\Sigma\Delta$ ADC信号出力は、133MHzの1ビットで広帯域な信号である。デジタル部側ではこの信号を取り込むことが必要であるが、(1) 133MHz高速信号の入力、(2) 不要信号を除去し、適切なサンプリング周波数までダウンサンプルする必要がある。

133MHzの高速信号に対しては、RF部で4ビットの平行信号に変換して取り扱う。以前の回路では8ビットとしていたが、パッケージを小型化し、実装面積を少なくするために、RF/B間の接続をI/Qそれぞれ4ビットとした。

デジタル部では、平行信号のまま移動平均フィルタで処理し、ダウンサンプルを行う。入力データは $\Sigma\Delta$ 変調後の妨害波、イメージを含んだ信号のため、高周波成分の除去も行う。

### 4-4-2-2 直流分除去とゲイン補正

入力データには、アナログ部Mixer Localのリークに起因する比較的大きな直流成分が含まれる。この直流成分により、同期回路が不安定になることがあり、周波数シフトより前段でこれを除去する必要がある。また、同時にRF部直交ミキサーで発生する直交ゲイン誤差の補正も行う。

### 4-4-2-3 周波数シフト

周波数シフト部では、入力信号をIFからベースバンドに変換する。また、希望波とイメージ波を分離し、イメージ成分を除去する働きを持つ。NCOの位相誤差をなくすため、周波数シフト量は、IF中心周波数に近い $(F_s + d_f) / 2$ とし、残留周波数誤差は、同期部のキャリア周波数リカバリNCOの定常オフセットとする。バタフライ演算器で構成されるが、動作周波数を $4F_s + d_f$ とすることで回路規模を削減した。

※ $F_s$  サンプリング周波数

※ $d_f$  中心周波数誤差成分

### 4-4-2-4 フィルタとダウンサンプル

ISDB-T<sub>SB</sub>左端1 segmentは、下側隣接アナログ音声キャリアと比較的近い周波数関係にあり、アナログ音声キャリアがデジタル放送側に影響を及ぼす。そこでこれらの周波数関係を考慮し、1 segment、3 segmentと2種類の特性を持つフィルタを用意した。3 segment時は非常に急峻な特性が必要であるため、タップ数の多いのハーフバンドフィルタとした。1 segment、3 segmentで演算回路を共有することで、回路の削減を行った。

### 4-4-3 低消費電力の手法

今回のES開発にあたり、デジタル回路の低消費電力化に用いた方法を説明する。

#### 4-4-3-1 RAMのインビビット端子の利用

動作時以外はRAMへのクロック供給を停止する。クロックを停止することで、動作電流をほぼ0とし、リーク電流のみとすることができる。一般的にRAMのセルにはインビビット（IH）端子が備わっており、この端子を制御することで、RAMのクロックを停止したのと同等の機能を実現している。本端子をRAMの動作に応じてこまめに制御することで消費電力の削減が図れる。

#### 4-4-3-2 RAMの分割

図4-4-2で示すように、1個のRAMのサイズを小さくし、5-4-3-1で説明したRAMのインビビット機能を利用する。このようにすることにより、ある時間に動作するRAMサイズを小さくし、消費電力を削減する。図の場合4分割しているのので、1/4の消費電力になる。

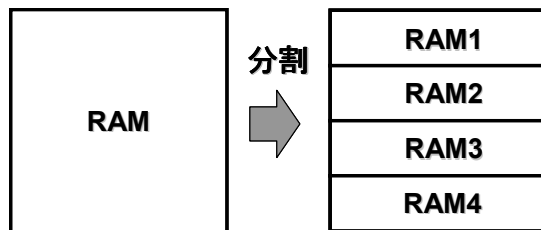


図 4-4-2

しかし、RAMを分割すると、1個のRAMサイズ（実装面積）が大きくなり、また、各々のRAM内部にインタフェース回路が必要となり、この部分の消費電力が無視できなくなる。最適な分割数はテクノロジーに依存するので、今回用いた0.18 $\mu$ における最適値を用いた。

#### 4-4-3-3 ゲーティング

動作していない回路に対し、クロックのゲーティングを行い、動作を停止させる。RAMのインビビット制御と同様、セルのリーク電力のみとなる。

#### 4-4-3-4 動作クロック周波数の低減

動作クロック周波数を落とすことで、一般に消費電力を低減できる。ゲーティングと同様の効果が得られる。設計する回路の性質により、どちらか或いは両方の手法を用いる。

## 4-4-4 低消費電力の見積り

### 4-4-4-1 昨年度の消費電力見積り

まずは、昨年報告した消費電力の見積りを記載する。  
昨年度の計算ではベースバンド部は19mWで実現できる予想をたてた。

- (1) 回路削減
- (2) ゲーティング (RAM分割インヒビット制御含む)
- (3) 動作速度
- (4) RF部とのインタフェースによる回路増

試算では、富士通で以前開発した13セグメント復調LSI / 3セグメント復調LSIの回路をベースとし、ロジック部、RAM、I/O部と分け、各々85mW、75mW、20mWをスタート値とした。

#### (1) 回路削減

回路規模は3セグメント伝送による階層伝送が3から2階層へ減少したこと、FFTのポイント数の減少から、13セグメントに対してロジック部は80%、RAMの容量は38%の規模になる。

$$\begin{aligned} \text{ロジック} & 85 \times 0.8 = 51 \text{ (mW)} \\ \text{RAM} & 75 \times 0.38 = 28.5 \text{ (mW)} \end{aligned}$$

#### (2) ゲーティング

回路構成により積極的に出来る部分と、わずかししか出来ない部分がある。回路の性質から、平均全体の25%はゲーティングできる。

$$\begin{aligned} \text{ロジック} & 51 \times 0.75 = 38.3 \text{ (mW)} \\ \text{RAM} & 28.5 \times 0.75 = 21.4 \text{ (mW)} \end{aligned}$$

#### (3) 動作速度

ロジック、RAM部は何れも、13セグメントの32MHz動作に対して、8MHz動作設計なので、消費電力は25%となる。I/O部は信号の変化が4MHzに対して500KHzとなるため、12.5%となる。

$$\begin{aligned} \text{ロジック} & 38.3 \times 0.25 = 9.6 \text{ (mW)} \\ \text{RAM} & 21.4 \times 0.25 = 5.4 \text{ (mW)} \\ \text{I/O} & 20 \times 12.5 = 2.5 \text{ (mW)} \end{aligned}$$

#### (4) 回路増

RF部とのインタフェースのため、ダウンサンプルやイメージ除去回路のフィルタによる消費電力の増加は、回路規模から1.5mWとなる。

$$\text{ロジック} \quad 11.1 \text{ (mW)}$$

以上の項目を表4-4-1にまとめた 表 4-4-1

削減手法 (13seg値 mW)	ロジック (85)	RAM (75)	I/O (20)	合計 (180)
回路削減	51(80%)	28.5(38%)	-	
ゲーティング	38.3(75%)	21.4(75%)	-	
動作速度	9.6(25%)	5.4(25%)	2.5(12.5%)	
回路増	11.1(+1.5)	5.4	2.5	19



#### 4-4-4-2 本年度開発LSIのシミュレーション値

今年度は、4-4-3で説明した低消費電力の手法をLSIに適用し、RTL設計、レイアウト後に消費電力を求めた。レイアウトを行うことで、クロックバッファの挿入、最適なセルへの置き換えなど行われ、実動作に近い消費電力を求めることができる。ただし、今回はテスト用にいくらかの仕組みを回路として付加してあること、ゲーティング部分は完全にはシミュレーションできないことから、若干の誤差を含んでいる。表5-4-2に各モジュールの消費電力を示す。

表4-4-2

モジュール	消費電力 (MW)
RAM	5.38
I/O	2.68
LOGIC	10.66
合計	18.67

上記表から、昨年度見積もった消費電力が非常に正確であることがわかる。また、BB部の消費電力は当初の目標値の20mW以下を実現できることがわかった。引き続き開発したES LSIの消費電力を実測し確認を行う。

## 4-5 総括

今年度の研究では、まず、昨年度試作したコンポーネント TEG を用いて、1 セグメント放送の受信基本性能を評価した。これにより、基本動作の確認とチップ間のインターフェイス仕様を決定した。また、この結果に基づく回路 TEG の設計、試作を行って、最終目標性能である消費電力 50 mW 以下を実現できる目処を得たほか、LSI 化する際に懸念される諸課題を確認することができた。この回路 TEG では、 $\Delta \Sigma$  AD 変換器を 1.2V 電源で 4mW という低電源電圧・低消費電力で動作させることに成功し、別途報告のとおり、半導体集積回路の学会としては世界で最も権威の高い International Solid-State Circuits Conference (ISSCC) に論文が採択され、新聞各紙で報道されるなど、広いダイナミックレンジと低電力を兼ね備えた技術として高い評価を得た。さらに、当初計画の LSI として、チューナー部 LSI とベースバンド部 LSI の設計し、富士通の 0.13 ミクロンノード CMOS プロセスを用いて、試作を進めた。この LSI は試作が終了し、基本動作を確認して、引き続き特性評価を行っている。

具体的な研究成果として、上記の論文、新聞発表のほか、特許 3 件を提出しており、研究の進捗としては計画通りに順調な進展であると考えている。

従来のバイポーラトランジスタ技術ではなく、CMOS による低電力 LSI を実現するための技術的な困難は、携帯テレビ受信というユーザーの状況の安定しない使用環境、また、アナログ放送の混在した電波環境から要求される高いダイナミックレンジを低電圧化という制約の中で実現すること、これをアナログ/デジタル回路の中で最適化する設計技術を確立する難しさにあり、電源電圧の高いバイポーラ回路では比較的作りやすかった電圧参照回路なども、低電圧 CMOS 回路で実現するには、大きなブレークスルーが必要となる。さらに従来技術ではチップ外の部品としてコスト増大の要因となっていたフィルターなどをチップ内に機能として取り込むなど、技術的挑戦に挑んでおり、研究成果としては技術的な意義の高いものである。次年度には、試作した LSI の評価を進め、セットとして機器に搭載することを前提として、システムに必要な回路の改良を行うことにより、完成度を高め、プロジェクトを完遂する予定である。

## 5 参考資料・参考文献

### 5-1 研究発表・講演等一覧

研究発表論文 1件

機関：ISSCC 2005 (IEEE International Solid State Circuit Conference)

題名：SESSION 27.2 A 1.2V 3.5mW  $\Delta\Sigma$  Modulator with a Passive Current Summing Network and a Variable Gain Function

Author：T.Nagai, et al.

査読有無：有