

平成16年度
研究開発成果報告書

テラビットルータに向けた高速信号処理用
光モジュールの開発

委託先：日本電気(株)

平成17年5月

情報通信研究機構

平成16年度 研究開発成果報告書

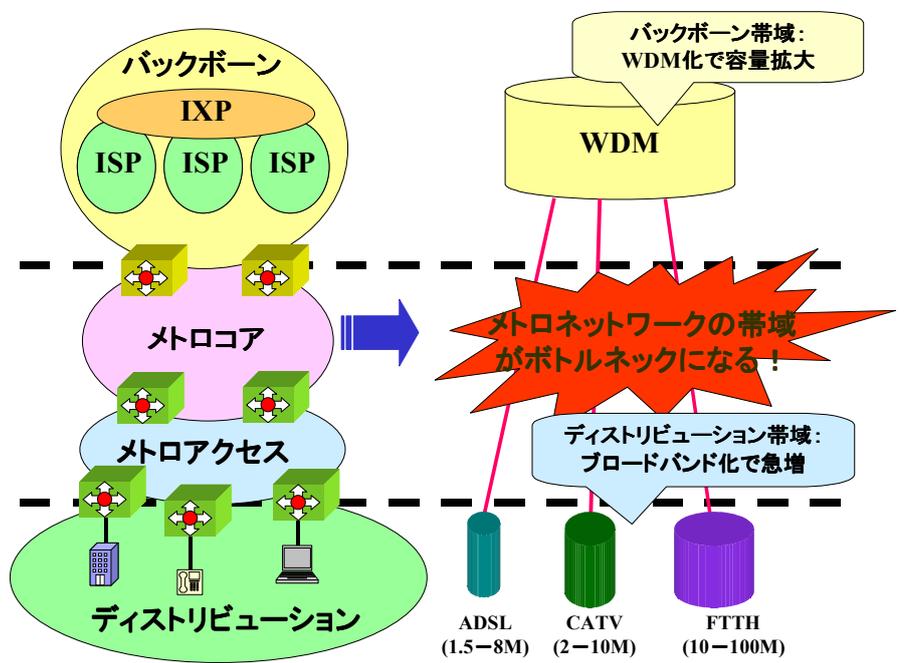
「テラビットルータに向けた高速信号処理用光モジュールの開発」

目 次

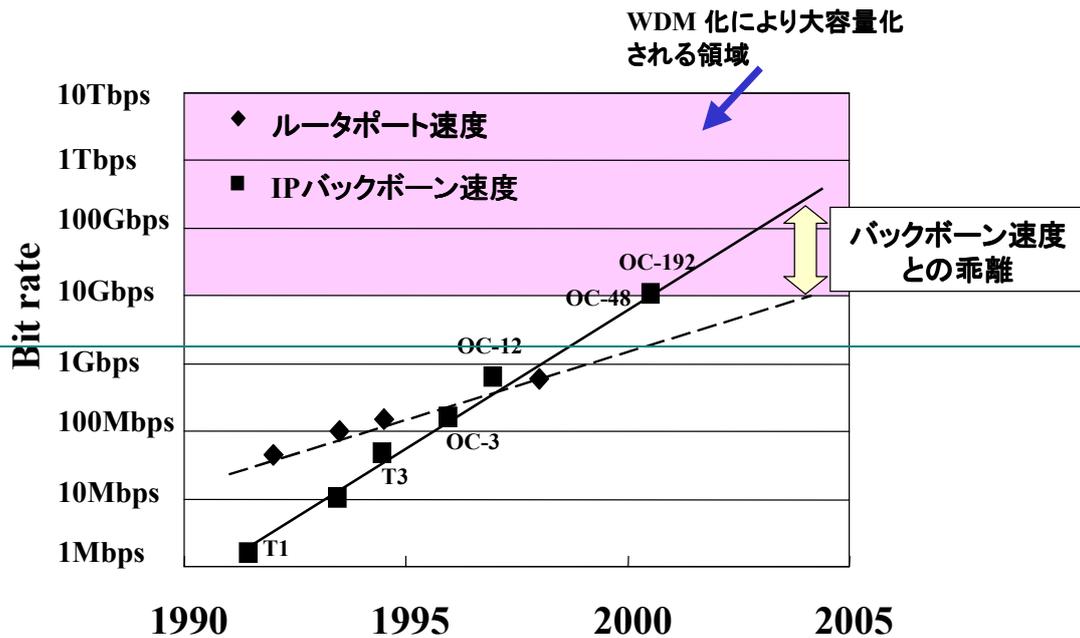
1	研究開発課題の背景	2
2	研究開発の全体計画	
2-1	研究開発課題の概要	7
2-2	研究開発目標	7
2-2-1	最終目標	7
2-2-2	中間目標	7
2-3	研究開発の年度別計画	8
3	研究開発体制	9
3-1	研究開発実施体制	9
4	研究開発実施状況	
4-1	光 I/O 内蔵型スイッチ LSI モジュールの研究開発	10
4-1-1	開発の位置づけと成果概要	10
4-1-2	光 I/O 内蔵型スイッチ LSI モジュール構成と設計指針	11
4-1-3	超小型光 I/O の試作と動作検証	11
4-1-4	超小型光 I/O の低コスト化設計と動作検証	13
4-1-5	光 I/O 内蔵型スイッチ LSI モジュールの試作と動作検証	23
4-1-6	まとめと課題	28
4-2	1.3 μ 帯多波長 VCSEL の研究開発	29
4-2-1	VCSEL の課題と成果概要	29
4-2-2	1.3 μ m 帯多波長 VCSEL	29
4-2-3	10Gbps-4 波 CWDM 伝送実証	42
4-2-4	まとめと課題	48
4-3	総括	48
5	参考資料・参考文献	
5-1	研究発表・講演等一覧	

1 研究開発課題の背景

現在、インターネットに代表されるデータ通信需要の爆発的な拡大に対応するため、ADSL、CATV、FTTH など一般家庭向けディストリビューションネットワークの高速・広帯域化が進んでいる。企業内のネットワークでは元々データ系の通信需要が大きく、Ethernet に代表されるような LAN が用いられてきた。Ethernet は、最近高速化が著しく、低コスト性を生かして、広帯域 Ethernet サービスとして公衆回線への適用も進んでいる。このように、一般家庭向け、企業向けを問わず、ディストリビューションネットワークでは、データ系通信需要に対応する形での高速、広帯域化が進んでいる。一方、バックボーンネットワークでも、通信トラフィックの急増に応え、DWDM (Dense Wavelength Division Multiplexing : 高密度波長分割多重) 技術の適用による伝送系の高速、広帯域化が進展している。さらに、フォトニックネットワーク技術の開発により、バックボーン系ノードの処理制限の打破が計られつつある。この様な中で、ディストリビューションネットワークとバックボーンネットワークを結ぶメトロコア (ノード間を接続するネットワーク)、メトロ・ディストリビューションネットワーク (以下、まとめてメトロネットワークと呼ぶ) が、ネットワーク全体のブロードバンド化を図る上でボトルネックとなってきた (図 1-1)。



通信事業者内で閉じた系で高速・広帯域化を進められるバックボーンネットワークに対し、メトロネットワークでは顧客やサービスに対するインターフェースを考慮しながら高速・大容量化を図る必要がある。つまり、1) 加入者に応じて通信容量を迅速に変更できる拡張性、2) さまざまなインターフェースへの柔軟な対応、そして 3) 低コスト性が要求される。通信需要はデータ系が中心であるから、ネットワークノードはルータで構成される。従って、これらの要求に応えることの出来る大容量かつ拡張性、柔軟性を備え、低コストなルータを実現する事が重要となる。次に、ルータの大容量化に関して考える。今後、ルータの処理スループットとして 1Tbps 以上が必要となり、そのためにはルータを構成するスイッチの入出力ポート速度も 10Gbps 以上となる必要がある。電子ルータは、LSI の処理速度向上及びチップ間伝送速度の向上により高速・大容量化が実現されてきた。しかし、近年、バックボーンネットワークが WDM 技術を適用してそれを上回る速度で急速に高速・大容量化しており、ルータのポート速度が IP バックボーン速度と乖離し始めている、また LAN、ディストリビューションネットワークのポート速度が高速ルータのポート速度に近づきつつあり、明らかにルータの処理スループットがボトルネックとなってきた (図 1-2)。



これらの原因として、光伝送容量の急速な増大もあるが、従来の手法でのルータの大容量化に限界が見え始めていることもあげられる。具体的には、ルータを構成するLSI間を結ぶ電気信号伝送技術の限界が制限要因となってきた。CMOS LSIの内部の処理速度は、ゲート長の微細化により高速化が実現されてきているが、LSI I/O部、LSI外のボード間/ボード内信号伝送の速度制限、消費電力がボトルネックとして顕在化している。これらの課題を解決するべく電気伝送技術の更なる開発も行われているが限界があり、光通信技術を適用した「光インタコネクション」への期待が高まっている。

光通信は、光ファイバの低伝送損失、広帯域性を生かして長距離通信から実用化されてきており現在ではLAN、ディストリビューションネットワークへの導入も始まっている。「光インタコネクション」とは、それをボード間/ボード内等、より短距離の信号伝送に適用するものである。現在、アレイ状の発光受光素子を用いて並列光伝送を行うアレイ光インターフェースモジュールを用いたシステムが交換機、ルータ、コンピュータ等の情報処理、通信機器で実用化されている。しかし、従来のアレイ光インターフェースモジュールには、以下のような課題があった；

- ・ 単チャネルの光モジュールより1/3~1/4の小型化が実現されているが、LSIパッケージと同程度のサイズであり、さらに小型化が必要
- ・ LSIとの接続は依然ボード上の電気配線を利用する為、そこでの速度、消費電力の問題は解決されない
- ・ 伝送容量がチャネル当たり数Gbps、トータルで10Gbps程度であり、1Tbps程度のスループットを持つルータに対しては、ボード/ラック間のインターフェースとしても伝送容量が不足する。

また、ルータ装置と外部との接続部(ラインインタフェース)も含め、光インターフェースに適用される光源としてDFB-LD (Distributed Feedback Laser Diode: 分布帰還型半導体レーザ)が用いられているが、素子当りの消費電力が0.1W程度と大きく、構造が複雑で光ファイバとの結合難しい為低コストが難しい、という課題がある。本開発では、上記の課題を以下のようなアプローチで解決する。

- 1) 光 I/O 内蔵型スイッチ LSI モジュール： 10Gbps 程度以上のポート速度を持つ超小型光 I/O を LSI パッケージ内に内蔵する事により、スイッチ LSI、光 I/O 間の電気配線の障害を取り除き、あわせて小型化を実現する、
- 2) 1.3μm 帯多波長 VCSEL (Vertical Cavity Surface Emitting Laser Diode: 面発光型半導体レーザ)： ラインインタフェースには 100Gbps 程度の伝送容量が要求されるが、1 波長あたり 10Gbps の信号を、比較的広い波長間隔で波長多重する (CWDM (Coarse Wavelength-Division Multiplexing) 事により実現する方法が有望である。この光源として、長波長帯 VCSEL を開発することにより、VCSEL の持つ、構造が簡単、光ファイバへの光結合が容易、低消費電力動作可能等の特長を生かして低コスト化を実現する。

光 I/O 内蔵型スイッチ LSI モジュールは、ルータの高速・大容量化を低コストで実現する基本技術となる。光 I/O 内蔵型スイッチ LSI モジュールは、CMOS スイッチ LSI および超小型光 I/O から構成される。10Gbps の高速信号を取り扱うため、それぞれの単体での動作実現も大きな課題であるが、さらに進んで相互の接続部とその実装部分の影響を取り入れた統合設計技術を確立する。高速電気で作動作する電気、光デバイスを超小型に実装する為、信号の波形劣化、クロストークの影響を最小化し、熱特性も十分考慮した新規実装技術の確立も必要となる。これらの技術は、100Gbps クラスの伝送容量を持つ小型光インターフェースを実現する為の基盤技術ともなる。

超小型光 I/O、光インターフェースに用いる光源としては、VCSEL の適用が有望である。これ迄に、0.8~1 μ m 程度の短波長帯のデバイスが実用化されているが、後に詳細に述べる理由により、メトロネットワーク、ディストリビューションネットワークで用いられている波長 1.3 μ m 帯の長波長 VCSEL の開発が必須である。

次に、上記分野に関する研究開発の現状について、ルータと光源の 2 つに関して述べる。

一つめは、電気 LSI の I/O ボトルネックと電気スイッチ LSI によって構成したルータの問題点である。従来、スイッチ等の高速、高機能システム LSI 周辺のボード間/ボード内の伝送は図 1-3 に示す様な構成となっている。すなわち、システム LSI は配線パターンを形成したボード上に実装され、そのボードがバックプレーンと呼ばれる装置背面の配線板にコネクタで接続される。ボード内で信号伝送を行うための LSI の入出力回路（電気 I/O）及びボード上の電気伝送では次のような課題がある。

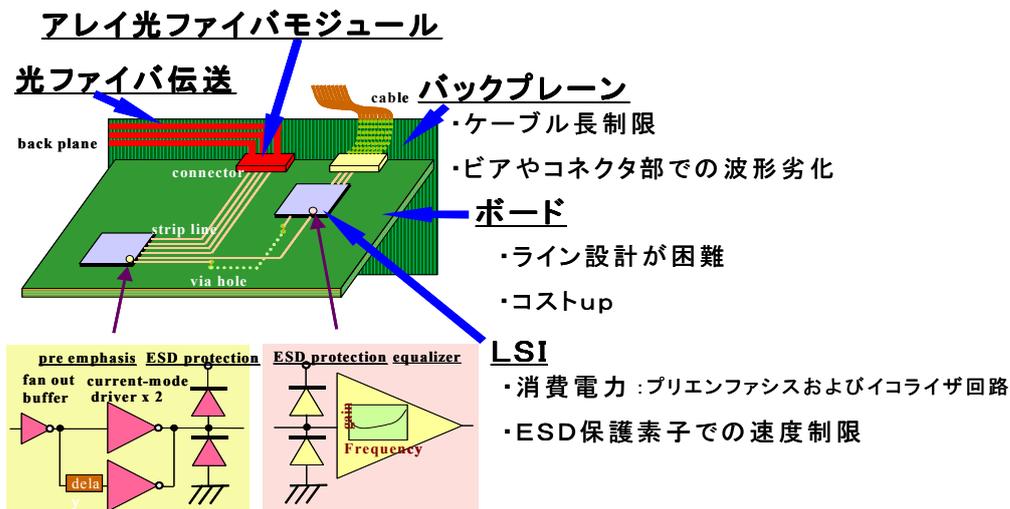


図 1-3 ボード内/間伝送のボトルネック

(a) 高速化の課題

1) LSI の I/O 部に起因するもの

システム LSI 内部回路は CMOS で構成されるが、I/O 部は伝送路に電流を流しておく必要があるため、アナログ増幅器を用いた LSI 内部とは異なる回路構成を取る。LSI 内部の CMOS コア部分は、回路の微細化、低電圧のトレンドの中で高速化、低消費電力化が実現されるが、I/O 部では高速化、低電圧化により外部雑音の影響の中で十分な信号対雑音比を取ることが難しくなる。

2) 静電保護素子(Electro Static Discharge : ESD)に起因するもの

LSI の電気 I/O では、接続パッドがアンテナとなり、静電気等のパルス状のノイズが混入する可能性がある。これを防止し内部回路の破壊を防ぐため通常、LSI の電気 I/O 部には静電気保護回路が附加される。しかし静電気保護回路は容量成分となるため、高速化の制限要因となる。

(b) 低消費電力化の課題

1) 波形補償回路に起因するもの

電気 I/O では、高速信号になるほど波形劣化が顕著となるため、その補償回路が組み込まれる（送信側で予め波形劣化と逆特性の歪を与えるプリエンファシスや、受信側で補償するイコライザ方式等）。これらの波形劣化補償回路により、I/O 部の回路規模、消費電力がほぼ二倍となる。従って、実装サイズ、消費電力により搭載できるポート数に制限が生じてくる。また、設計/製造毎に補償値の調整が必要な為、装置コストアップの要因となる。

2) SerDes (Serializer/Deserializer)回路に起因するもの

ボード上の配線やコネクタを介した電気伝送では、多層配線の層間を接続するビアやコネクタの接触点等の接続部でのインピーダンス不整合による反射で波形が劣化する。これらの反射を考慮せず扱える伝送距離は、高速になる程短くなり、10Gbps で 0.5cm 程度である。通常、信号伝送距離はボード内で約 30cm、ボード間で約 60cm は必要であり、高速信号をそのままボード内の配線によって伝送することは難しい。現在、ボード内で十分な距離を電気信号のまま伝送可能な信号速度は 600Mbps、ごく短い距離でも 2.5Gbps 程度であり、この速度を超える信号は一度 SerDes (Serializer/Deserializer) と呼ばれる LSI を用いて一配線当たり 600Mbps~2.5Gbps の並列信号に分解し速度を落として伝送している。このため、SerDes による消費電力の増加と複数本に信号を分割することによる配線数の増加を生じるが、このような配線数の増加はボード上のライン設計を困難にするばかりでなく、より微細な配線パターンが求められるためにコストの増加につながる。

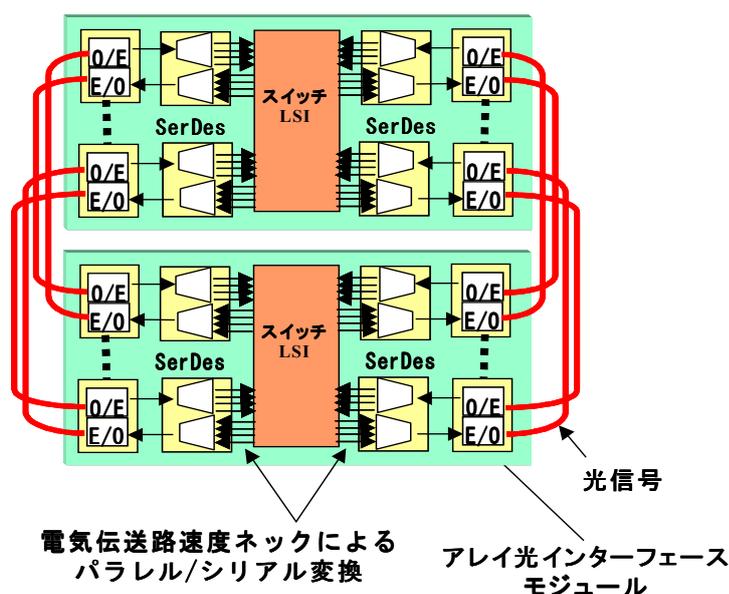


図 1-4 アレイ光インターフェースモジュールを適用したスイッチボード間接続

このようなボード間/ボード内電気伝送の課題を解決するため、光インタコネクション技術の適用が検討され、アレイ光インターフェースモジュールが開発されてきた。これは、電気信号のデジタルインターフェースを持ち、光電気変換を行う機能を持ったモジュールである。図 1-4 に、アレイ光インターフェースモジュールを適用したスイッチボード間接続の構成を示す。ボード端に配置されたアレイ光インターフェースモジュールとスイッチ LSI をボード上にて電気信号で接続し使用される。光ファイバの広帯域性を活かし、Gbps を超える速度で数百 m 以上の伝送が可能となっている。しかしながら、スイッチ LSI とアレイ光インターフェースモジュールはプリント板上で電気配線しなくてはならず、その部分での LSI の電気 I/O、ボード上の配線の課題は解決されない。さらに、ボード上での電気配線部分で十分な信号対雑音比を確保してアレイ光インターフェースモジュールを駆動する為、通常の電気伝送よりも大きな消費電力が必要となる。また、コストアップも大きな問題であった。

次に、ルータ装置全体の構成を考える。現在のルータ入出力のインターフェース規格としては速度約 10Gbps の 10 ギガビットイーサネット (10GbE)、または SONET の 10Gbps 規格である OC-192 が最も高速である。現状のスイッチ LSI を用いて、スループット Tbps クラスのルータを構成しようとする、ラインインターフェースのポートあたり速度を 10Gbps とした場合、電気伝送では、各スイッチ LSI 間は、1:4 程度に分割しての 2.5Gbps 程度以下のパラレル信号で接続する必要がある。ラインインターフェースのロジック信号処理部で、スイッチ処理用のオーバーヘッドや符号化処理により、バックプレーンの伝送容量は約 2 倍の 20Gbps 必要となる。信号を通常の差動信号として、1 ボードのラインインターフェースに 10Gbps で 4 ポート搭載する場合、128 本の信号線が必要であり、1 装置に 12 枚のラインインターフェースの収容を想定すると、信号線が集合するスイッチボードには 1536 本もの信号線が集合することになる。実現には 20 層以上の多層ボードを適用せざるを得ず、全ての信

号の伝送特性を確保することは非常に困難であり、コストもアップする。

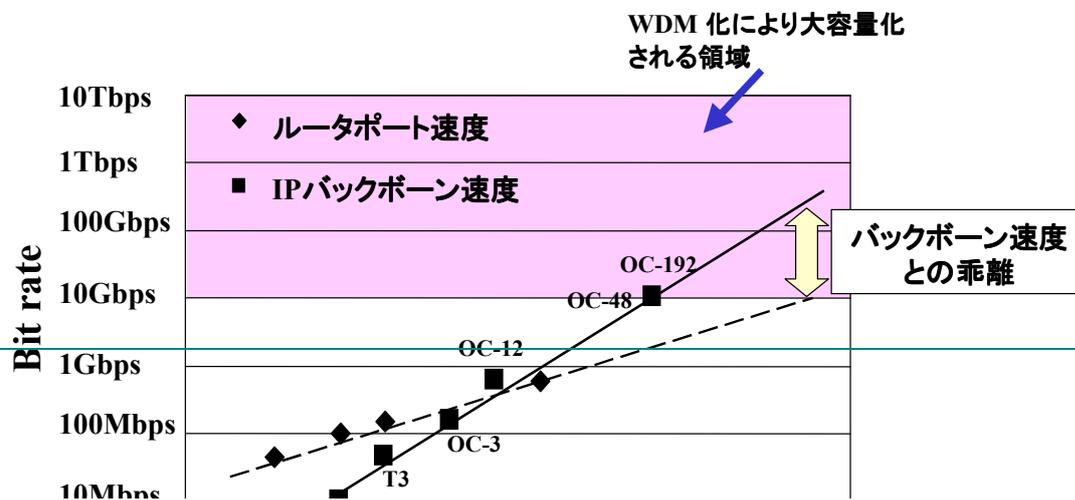
二つめは、次にラインインターフェースまたは光I/Oに用いる光源(DFB-LD)の問題点である。現状のメトロ・ディストリビューション領域における要求は伝送速度10Gbps以下、伝送距離20km以下程度であるが、将来これが波長多重方式により、40Gbps－100Gbpsに大容量化されると予想される。このような大容量伝送では、伝送距離が数百m以上になると、波長分散が小さい長波帯(1.3 μ m、1.55 μ m)の単一縦モード発振光源とシングルモードファイバー(SMF)の組み合わせが必要である。従来、単一縦モード発振光源としてDFB-LDが用いられているが、1) 過大な発振しきい値電流(～数十mA)による消費電力増大、2) 素子特性をオンウェハで評価が不可能なためのコスト増、3) 構造の複雑さによる素子のコスト増、が課題であり、これらがルータなどの装置を構成する上での1つのボトルネックであり、また光インターコネクションの適用範囲を限定する大きな要因ともなっている。

2 研究開発体の全体計画

2-1 研究開発課題の概要

インターネットに代表されるデータ通信需要の爆発的な拡大に対応するため、バックボーンネットワーク、ディストリビューションネットワークの高速・広帯域化が進んでいる。この中で、ディストリビューションネットワークとバックボーンネットワークを結ぶメトロネットワーク、特にそのノードに用いられるルータの処理速度が、ネットワーク全体のブロードバンド化を図る上でボトルネックとなってきた。CMOS LSI の微細化に伴い、ルータを構成するスイッチ LSI 内部の高速化は進展しているが、LSI と外部との接続や、ボード、装置間をつなぐ部分のインターフェースの信号速度、消費電力、信号線数等が問題であり、従来技術の延長線上で解決するのは困難である（I/O ボトルネック）。

そこで現在のルータの処理速度限界を打破するため、1) 1チャンネルあたり 10Gbps のポート速度の光 I/O をパッケージに内蔵した光 I/O 型 32ch×32ch スイッチ LSI モジュール、2) ルータ装置と外部を接続する為の 100Gbps クラス小型光インターフェースに適用する 1.3 μ m 帯多波長 VCSEL (Vertical Cavity Surface Emitting Laser Diode: 面発光型半導体レーザ) の実現を目標とする。本研究開発テーマにおける上記各課題の位置付けを以下の図 2-1 に示す。



2-2 研究開発目標

2-2-1 最終目標 (平成 17 年 3 月末)

「テラビットルータに向けた高速信号処理用光モジュールの開発」

Tbps クラスの容量を持つルータなどのスイッチ機能を実現するための要素スイッチである 10Gbps/ポートの 32ch×32ch 光 I/O 内蔵型スイッチ LSI モジュールを開発する。このスイッチをボードに複数個実装し、それらを多段構成で接続し、スイッチング動作を確認する。さらに、1.3 μ m 帯多波長 VCSEL を用いて、10Gbps/port での 10km CWDM 伝送を達成する。

サブテーマごとの最終目標

1) 光I/O内蔵型スイッチLSIモジュールの研究開発

10Gbps/ポートの 32ch×32ch 光 I/O 内蔵型クロスポイントスイッチ LSI モジュールを開発し、これらをスイッチボード上に複数個実装し、各々を多段構成で接続する。

これらを簡易筐体の実装し、多段スイッチのポート速度 10Gbps でのスイッチング動作を確認する。

2) 1.3 μ m 帯多波長VCSELの研究開発

多波長アレイ VCSEL を用いて、40~100Gbps の CWDM システム伝送実験を行う。

2-3 研究開発の年度別計画

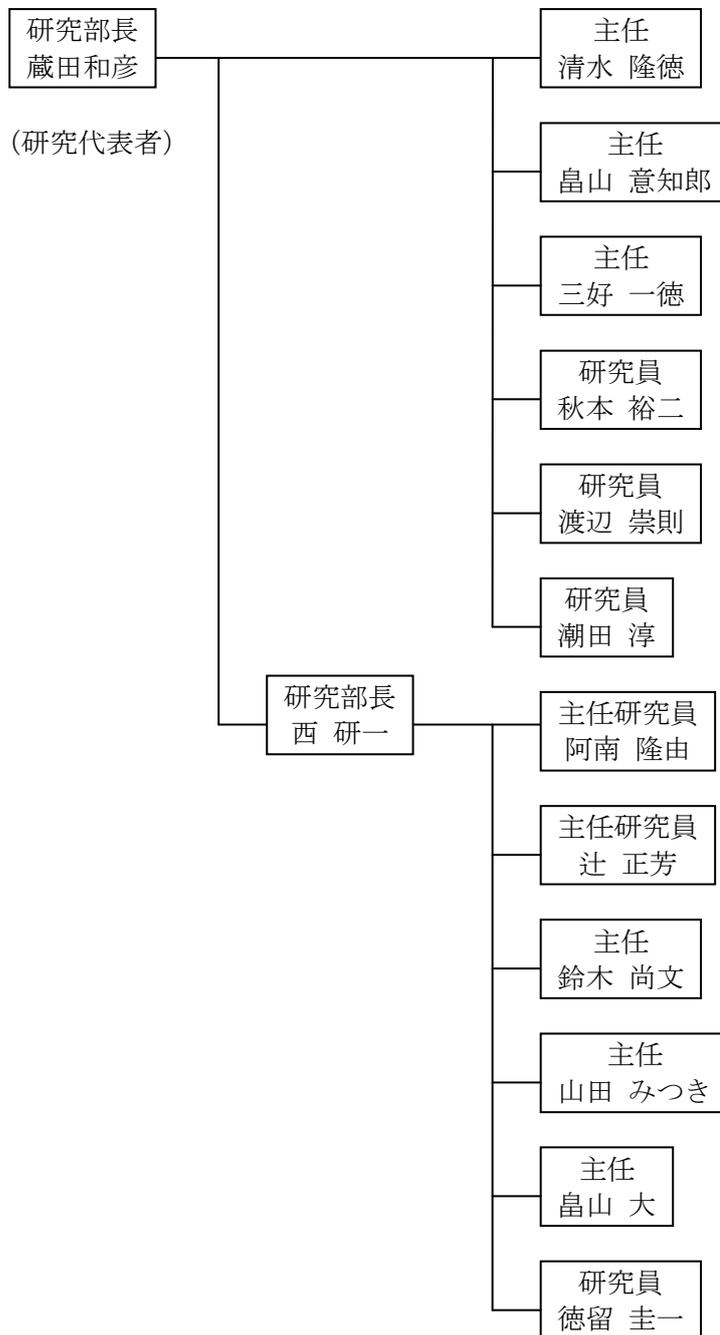
(金額は非公表)

研究開発項目	平成14年度	平成15年度	平成16年度	計	備考
テラビットルータに向けた高速信号処理用光モジュールの開発 アー1) 光 I/O 内蔵型スイッチ LSI モジュールの研究開発 1)-1 CMOS スイッチ LSI の開発 1)-2 超小型光 I/O の開発 アー2) 1.3μm 帯多波長 VCSEL の研究開発	10Gbps スイッチ動作 10Gbps 動作 長波長化、 高出力化	10Gbps 32×32 スイッチ動作 新構造モジュール化 WDM 化	クロスコネク 簡易装置化 実装・伝送テスト		
間接経費 (H14=23.7%、H15=23.9%、H16=29.1%)					
合 計					

- 注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%を上限として計上(消費税を含む)。
 2 備考欄に再委託先機関名を記載
 3 年度の欄は研究開発期間の当初年度から記載。

3 研究開発体制

3-1 研究開発実施体制



4 研究開発実施状況

4-1 光 I/O 内蔵型スイッチ LSI モジュールの研究開発

4-1-1 開発の位置づけと成果概要

インターネットに代表されるデータ通信需要の爆発的な拡大に対応するため、バックボーンネットワーク、ディストリビューションネットワークの高速・広帯域化が進んでいる。この中で、ディストリビューションネットワークとバックボーンネットワークを結ぶメトロネットワーク、特にそのノードに用いられるルータの処理速度が、ネットワーク全体のブロードバンド化を図る上でボトルネックとなってきた。CMOS LSI の微細化に伴い、ルータを構成するスイッチ LSI 内部の高速化は進展しているが、LSI と外部との接続や、ボード、装置間をつなぐ部分のインターフェースの信号速度、消費電力、信号線数等が問題であり、従来技術の延長線上で解決するのは困難である (I/O ボトルネック)。

そこで現在のルータの処理速度限界を打破するため、1 チャンネルあたり 10Gbps のポート速度の光 I/O をパッケージに内蔵した光 I/O 内蔵型 32ch×32ch スイッチ LSI モジュールの実現を目標とする。本研究開発テーマにおける上記課題の位置付けを以下の図 4-1 に示す。

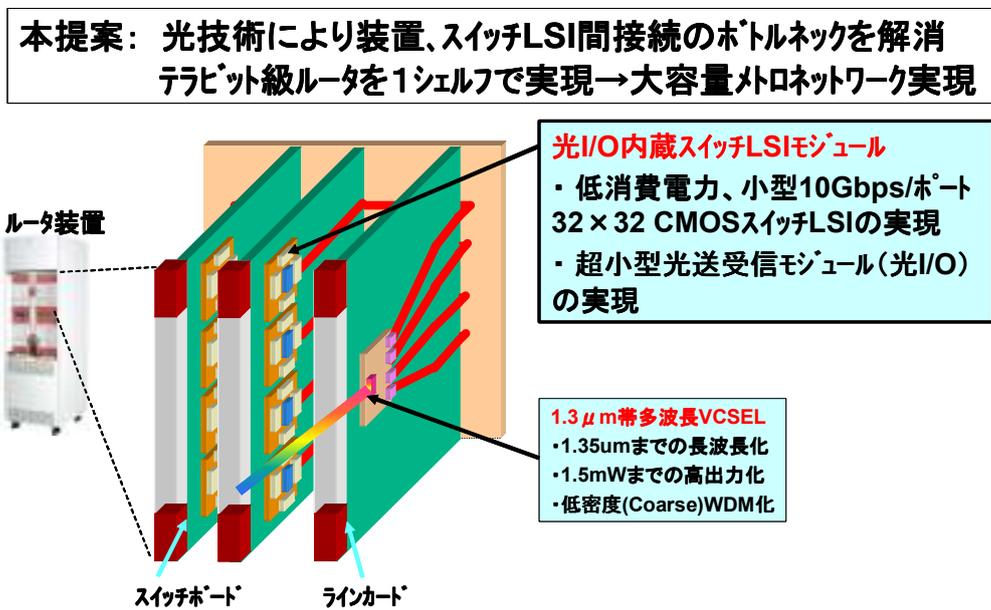


図 4-1. 光 I/O 内蔵型スイッチ LSI モジュールの開発課題

本課題に基づき、平成 14 年度は、10Gbps/port の多 ch 光 I/O 内蔵型スイッチ LSI モジュールを実現するため、従来サイズ比 1/10 以下 (10mm×11mm) の低コスト超小型光 I/O の試作を行い、10Gbps の光送受信動作を検証した。また、実装部分までを取り込んだ設計にて、10Gbps/port スイッチ LSI を CMOS LSI プロセスで試作し、CMOS LSI 上にレイアウトした I/O 部動作確認用テストチップおよび BGA 基板上に形成した伝送確認用テスト配線により、BGA 基板内 10Gbps 信号伝送を実証した。

平成 15 年度は、平成 14 年度に試作した低コスト超小型光 I/O について、10Gbps の光送受信動作を検証するとともに、量産化に対応すべく、さらなる低コスト化改造設計を行い、10Gbps 動作を確認した。また、10Gbps/port クロスポイントスイッチ LSI において、LSI 単体での 10Gbps/port 動作を確認し、評価ボード上での 10Gbps 信号伝送を実証した。

最終年度となる平成 16 年度は、平成 15 年度に設計・動作確認を行った低コスト超小型光 I/O について、10Gbps における送信側/受信側/送受間クロストーク特性および 25~80℃での温度特性の検証を行い、良好な特性を確認した。また、初期信頼性評価として 600 サイクルまでの熱衝撃試験を行い、故障のないことを確認した。光 I/O とシステム LSI (Philips 社製クロスポイントスイッチ) とを BGA パッケージ上に一括搭載した光 I/O 内蔵型システム LSI モジュールを試作し、10Gbps/ch のスイッチング動作を確認した。さらに、本モジュールを適用した簡易デモ装置を試作し、バックプレーンの光接続を実証した。

4-1-2 光 I/O 内蔵型スイッチ LSI モジュール構成と設計指針

図 4-1-1 に光 I/O 内蔵型スイッチ LSI モジュールの構成を示す。光/電気変換を行う超小型、送受各 4ch 一体型の光 I/O (PETIT: Photonic/Electronic Tied InTerface) と CMOS LSI が、BGA 基板上に同時に実装される。PETIT 内の光素子 (850nm VCSEL, PIN-PD) は、専用のファイバコネクタで結合される。

本モジュールに (から)入 (出)力される高速信号はすべて、光ファイバによる伝送となるため、安価なプリント配線板への実装が可能となる。また、光 I/O と CMOS LSI 間的高速電気伝送部分は数 cm 程度の短距離のため、この部分での波形劣化補正回路は不要となり、低消費電力化が実現できる。さらに、この高速電気 I/O 部は BGA 基板内で閉じているため、その ESD 保護素子として、静電気対策が十分に施された工場での組立を想定した ESD 耐性程度でよく、帯域劣化の抑制が可能である。

本構成を適用した 10Gbps/port 光 I/O 内蔵システム LSI モジュールの設計指針を以下に示す。

BGA 基板には、32port の光 I/O が搭載可能な 50×50mm の基板を適用し、光 I/O - CMOS LSI 間高密度伝送線路を結合線路とすることで port 間クロストークを抑制する。

光 I/O には、その実装プラットフォームに低コスト、低誘電率、低損失の樹脂基板 [1] を適用し、樹脂基板を基準面とする簡易かつ高効率な光結合系を構成することで低コスト化、高速化を実現する。また、光素子の高精度フリップチップ実装技術 [2] を適用して高効率光結合を実現する。さらに、送受間の電磁遮蔽構造を形成するとともに、伝送線路を結合線路とすることで、送受間、ch 間クロストークを抑制し、小型 (10×11×1.5mm)、多 ch 化 (送受各 4ch) を実現する。

光 I/O (PETIT) とファイバの結合は、BGA 基板上のファイバ、コネクタの占有面積を削減できる PETIT コネクタ [3] を用いる。

モジュール外観を図 4-1-2 に示す。

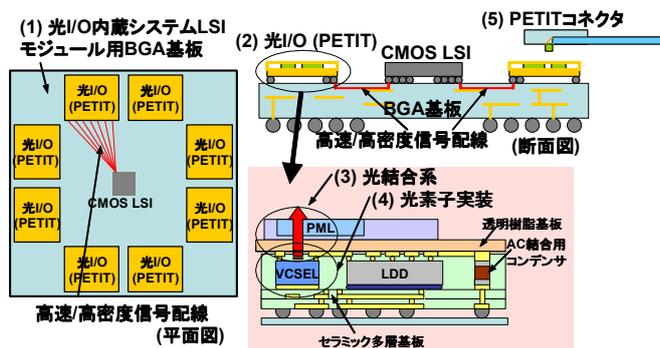


図 4-1-1. 光 I/O 内蔵型スイッチ LSI モジュール

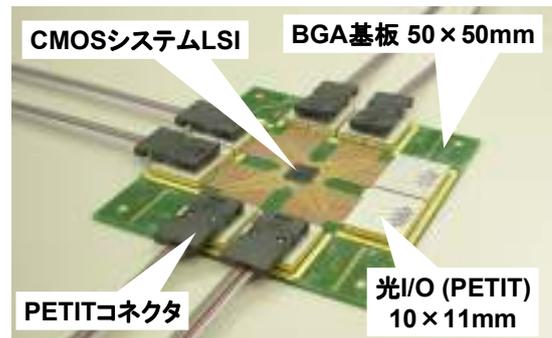


図 4-1-2. 光 I/O 内蔵型スイッチ LSI モジュール外観

4-1-3 超小型光 I/O の試作と動作検証

光 I/O 内蔵システム LSI モジュールを構成する光 I/O では、高速多チャンネル (ch) かつ低消費電力な送受信機能を超小型、低コストで実現する必要がある。本節では、平成 14 年度～15 年度に試作した光 I/O (PETIT) の開発指針および構成、10.3125Gbps での動作結果について述べる。

1) 超小型光 I/O の開発指針

開発指針は、以下の 3 点である。

(a) 低コスト化

LSI と光のパッケージング技術の融合による構成の簡易化を図る。プラットフォームへは低コストな透明樹脂基板 [1] を適用し、樹脂基板を光結合系の基準面とすることによる簡易かつ高効率な光学系を開発する。

(b) 多チャンネル、小型化

データ幅と多芯ファイバへの整合性から送受各 4ch 程度を搭載する。BGA 基板 (数 10mm²) へ複数個搭載可能とするため、10mm² 程度の小型化を図る。小型化に伴う送受間および ch 間電気クロストークの抑制 (受信ペナルティ各<1dB) のための簡易電磁界遮蔽簡易構造を適用する。

(c) 高速動作

低誘電率、低損失な樹脂基板[1]の適用と光/電気素子の高精度フリップチップ実装技術による低反射、低ロス高速信号伝送を実現する。

2) 超小型光I/Oの構成

上記指針に基づいて開発した光 I/O の構成を、図 4-1-3 に示す。本光 I/O は光/電気素子および光学系の搭載される透明樹脂基板(上部)と、キャビティ構造を有するセラミック基板(下部)で構成される。透明樹脂基板上には 0.85 μm 波長帯の 4ch VCSEL アレイおよび pin-PD アレイ、送信/受信 LSI が Au バンプの圧接によりフリップチップ実装されている。送受間は樹脂基板の配線パターンおよび遮蔽棒により電磁遮蔽されている。透明樹脂基板の素子搭載面の反対側には、平板マイクロレンズ(PML)アレイがレンズホルダー内に固定されて実装されている。この PML アレイと光素子は透明樹脂基板上のマーカを用いたビジュアルアライメントにより実装され、その実装精度は $\pm 2\mu\text{m}$ 程度である。透明樹脂基板およびレンズホルダーには MT コネクタ互換のガイドピン用の穴が設けてある。一方、セラミック基板には入出力信号を AC 結合するための 16 個のコンデンサが実装されている。さらに先述の遮蔽棒が収まるための溝が形成されており、またセラミック基板外周は Au メッキされているため先述の透明樹脂基板上での遮蔽構造と併せて送受間がそれぞれ完全に箱型の空間にて遮蔽される構造となっている。光 I/O 全体の体積はわずか 165mm^3 ($10\times 11\times 1.5\text{mm}$) であり、消費電力は 1.5W と非常に小さい。試作した光 I/O (透明樹脂基板)を図 4-1-4 に示す。

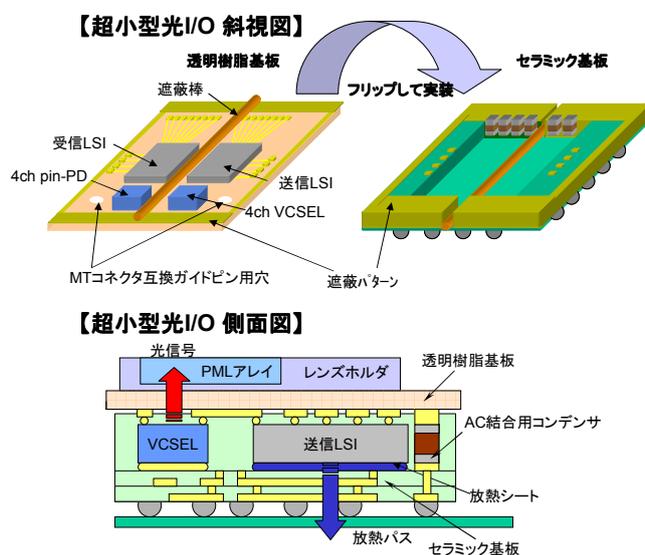


図 4-1-3. 超小型光 I/O の構成

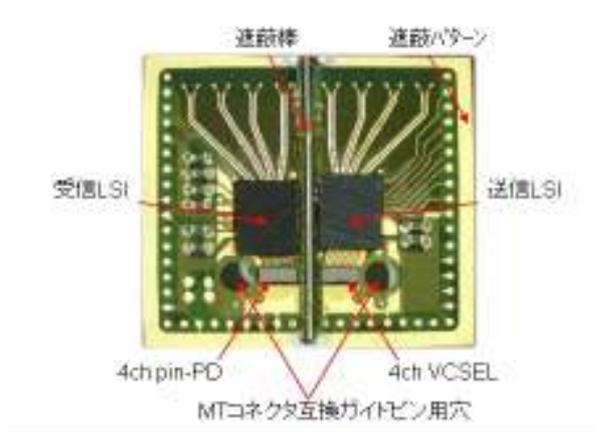


図 4-1-4. 超小型光 I/O (透明樹脂基板)

3) 超小型光I/Oの動作検証

試作した超小型光 I/O に対して、10.3125Gbps、 2^7-1 擬似ランダムパターン NRZ 信号 (PRBS 2^7-1)、送信側消光比 3dB、室温の条件にて光送受信動作の検証を行った。

受信特性の一例を図 4-1-5 に示す。送信側/受信側とも 4ch すべて動作させたときの受信感度 (@BER = 10^{-12}) は -6.5dBm であった。また、送信/受信間クロストーク、送信側 ch 間クロストーク、受信側 ch 間クロストークによるペナルティは、それぞれ、0.6dB, 1.0dB, 1.0dB、合計 2.6dB で、リンクロスバジェット上十分な値 (設計値 3dB) が得られた。図 4-1-6 に光 I/O 出力波形を示す。(a) は GI50 マルチモードファイバ 30m 伝送後の送信波形、(b) はその受信波形を示す。双方とも、全 ch 動作時の波形で、良好なアイパターンが得られた。

以上の結果より、光 I/O の 10Gbps 動作が実証でき、光 I/O 内蔵型スイッチ LSI モジュールへの適用可能性を実証した。

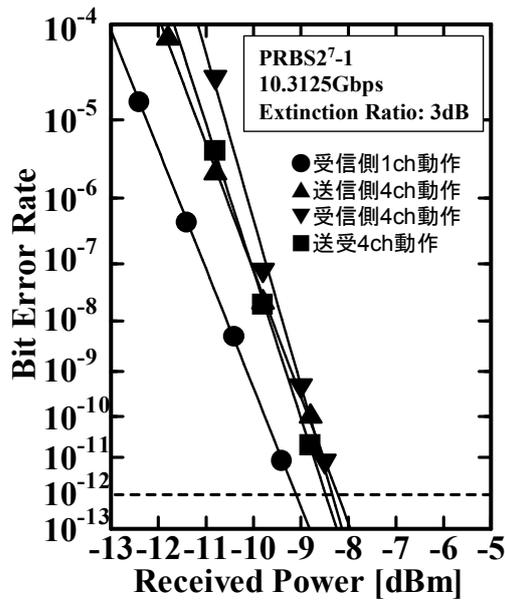
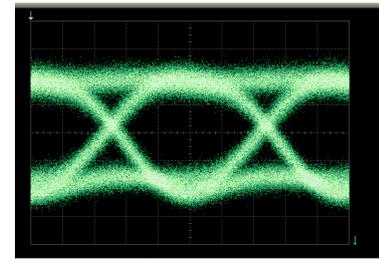
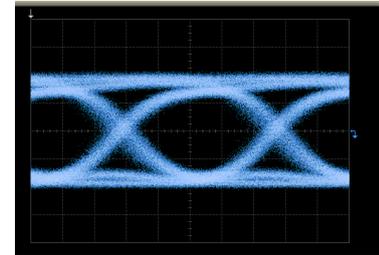


図 4-1-5. 光 I/O の受信特性



(a) 送信波形



(b) 受信波形

図 4-1-6. GI50 マルチモードファイバ 30m 伝送波形

4-1-4 超小型光 I/O の低コスト化設計と動作検証

前節で述べた光 I/O を量産化するためには、さらなる低コスト化改造が必要となる。本節では、光 I/O の低コスト化構造設計、構成、および、10.3125Gbps での動作結果について述べる。

1) 低コスト化光 I/O の設計方針

量産化に対応した低コスト化光 I/O の開発の大方針として、

「単体では超小型光トランシーバ (TRx) としてボード上実装可能」

「光 I/O 内蔵型スイッチ LSI モジュールではスイッチ LSI の光 I/O として実装可能」

とした。これは、アプリを拡大することで、よりビジネスチャンスを広げるためである。そこで、両者の要求を満足するために下記のように方針を決定した。

- (1) 高速光インターフェース：各 ch は 10GbE を収容可能。光コネクタは MT 互換の PETIT コネクタ [3] を使用する。
- (2) 多 ch (データ幅へのスケーラビリティ)：ほとんどのシステム LSI の I/O 部でのデータ幅は 4 の倍数になっている。そのため 4ch 送受信を光 I/O の基本構成とする。光 I/O を BGA パッケージに複数個搭載することで、最大 32ch までのスケーラビリティを実現する。
- (3) 小型パッケージ：システム LSI のインターポーザとして用いられている BGA パッケージには、LSI パッドとマザーボードのパッドとのピッチ変換の役割もあるため、パッケージ表面の周辺部にはデッドスペースがある。光 I/O 内蔵型スイッチ LSI モジュールではこのデッドスペースに光 I/O を搭載する。BGA 上に 8 個の光 I/O を搭載し、32ch までのスケーラビリティを実現するため、光 I/O の面積サイズを 14×14mm とする。また TRx としても光 I/O としても実装が容易、かつ高密度実装可能な BGA パッケージとする。
- (4) 低消費電力：光源として、低閾値電流、高効率な 850nm 帯の 4ch VCSEL アレイを適用する。さらに将来的には CMOS システム LSI との高速電気インターフェースとして閉じた、DC 結合可能な低振幅かつ低オフセット電圧なインターフェースを採用する。ただし、今回の開発では、市販の VCSEL ドライバおよびレシーバ LSI (電源電圧 +3.3V) を使用し、CML インターフェースで AC 結合とした。
- (5) 低コスト：LSI と光素子を共通の樹脂インターポーザに搭載した新プラットフォームを用いることにより、従来の高価なセラミック基板を不要とする。さらに樹脂基板の通信波長帯における透明性を利用し、樹脂基板上に光学系を形成する新構造を採用する。

2) 低コスト化光 I/O の設計

上記方針を具現化するため、光 I/O の基本構成を以下①～③とした。

- ① 実装プラットフォームとしての樹脂基板材料
- ② 高速電気伝送路特性を考慮し、インターポーザとして低誘電率/低損失な樹脂基板 [1]を採用、さらに各素子を Au バンプ圧接工法によるフリップチップ技術にて実装 [2]
- ③ 樹脂基板を基準面とした簡易で高効率な光学系

この構成を実現するための設計には下記 (a)～(f)が必要である。

- (a) 低反射、低損失伝送路 (AC 結合用コンデンサを含む)
- (b) ch 間クロストーク抑制のための構造
- (c) 金属枠による、より完全な箱型構造による送受信間の電磁干渉の遮蔽
- (d) 高速信号用実装方式
- (e) 低消費電力 4ch ドライバ/レシーバ LSI
- (f) 高放熱構造

本稿では基本構成①～③および(a)～(c)、(f)について検討を行ったので、以下に説明する。

【プラットフォーム材料の検討】

実装プラットフォームとしての樹脂基板には、

- (1) 低コスト
- (2) 基板を通して光信号入出力を行うため 0.85um 帯の波長の光に対してロスの小さいこと (<1dB)
- (3) 10Gbps 信号伝送のための低誘電率 (3 程度 @ 10GHz)、低誘電損失 ($\tan \delta = 0.005$ 程度 @ 10GHz)
- (4) 多 ch 化に伴う微細配線 (50um/50um 程度)、微細 Via 加工 (ピッチ 200um 程度) 可能
- (5) 実装時の耐熱性 > Au バンプ実装の > 200°C を許容可能
- (6) 低吸湿率

が要求され、低コストと低誘電率の観点からは、TAB に用いられている両面配線のポリイミド系樹脂材料が有効である。前回の透明基板は基板損失が 1.2dB@850nm あり、そのため送受で 2dB 以上の損失となっていたため、結果として受信感度の低下を招いた。そこで今回はポリイミド系基板の中で最も損失の小さなメタロイヤル (透過損失 = 0.2dB@850nm) を適用することとした (図 4-1-7)。また、基板メーカが製造可能な配線密度の関係から基板の厚さは 50um とした。本材料の主な特性を表 4-1-1 に示す。

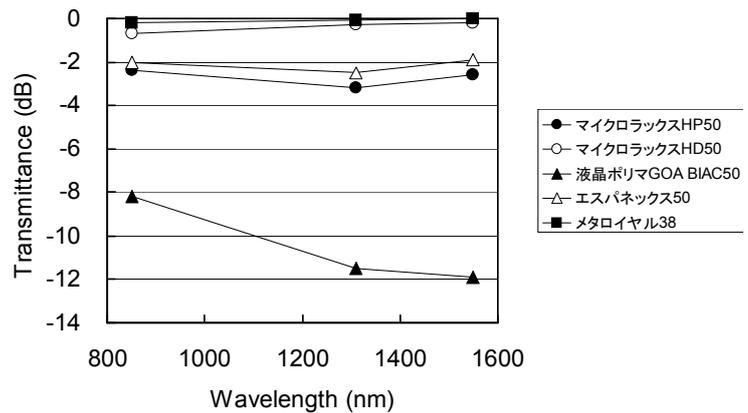


図 4-1-7. ポリイミド系フレキシブル基板材料の透過損失

表 4-1-1. メタロイヤルの主な特性

誘電率@10GHz	誘電損失@10GHz	ガラス転移温度	熱膨張係数	吸湿率
3.11	0.0094	380°C	16ppm	1.8%

【送受間遮蔽構造】

送受間のクロストーク要因としては、図 4-1-8 に示すように光素子-LSI 間配線パターン間、入出力ロジック信号配線パターン間、および電源/GND からの干渉がある。これらのうち、支配的なのは光素子-LSI 間配線パターン間での回り込みである。入出力ロジック信号配線パターン間の干渉は共に論理振幅が大きく同程度 (数 100mVp-p) のため、ほとんど問題にならない。また電源/GND からの干渉については、電源/GND を分離することで回避可能である。リンクロスバジェットにおいて見積もった送受間の電氣的クロストークによるパワーペナルティを 0.5dB 以内にするためには、クロストーク量を光素子間で -64.5dB@10GHz 以下に抑える必要がある (送受間信号振幅比 = -40dB、ペナルティ 0.5dB を許容するクロストーク量 = -24.5dB のため)。以前電磁遮蔽構造について検討を行った結果、クロストーク -64.5dB を得るためには、ほぼ完全に送信側あるいは受信側を覆いこむ必要があることが分かっている。一般に導体内への電磁界の侵入深さ δ は、

$$\delta = \sqrt{\frac{2}{\omega\mu\sigma}}$$

で表される (ω = 各周波数、 μ = 透磁率、 σ = 導電率)。10GbE 用信号 (10.3125Gbps、NRZ、64B/66B 符号) の帯域である MHz~GHz 帯の信号の場合、金属への侵入深さは数 μm ~100 μm 程度であり、箱型金属の幅は 100 μm 程度あれば十分である。そこで、図 4-1-9 に示すようにフレキシブル基板の配線を可能な限りべたパターンとし、かつ断面が日の字型の厚さ 150 μm の金属遮蔽枠を用いて、ほぼ完全な Box 型遮蔽構造を実現した。図 4-1-10、4-1-11 にそれぞれ遮蔽枠の無い場合とある場合の実際の透明基板と遮蔽枠を用いた構造での光素子-LSI 間のクロストークを示す。遮蔽枠の効果により設計どおり 10GHz 以内で -65dB 以下のクロストークが得られた。図 4-1-12、4-1-13 には参考としてそれぞれ遮蔽枠の無い場合とある場合の入出力ロジック信号配線パターン間のクロストークを示す。こちらもクロストーク -50dB 以下と十分な遮蔽効果が得られた。

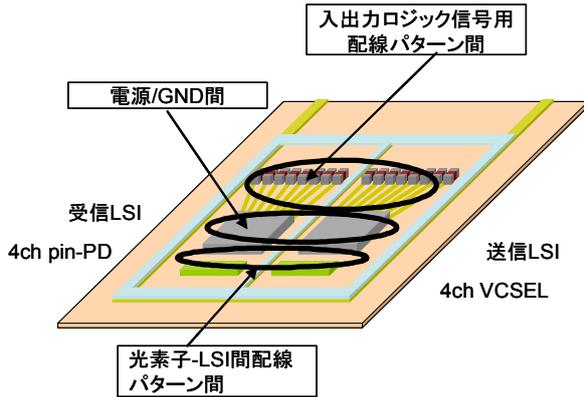


図 4-1-8. 送受間クロストーク要因

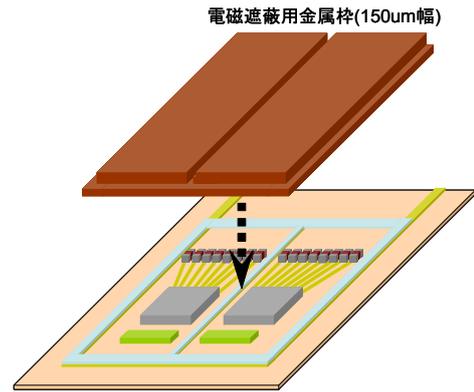


図 4-1-9. 光 I/O の遮蔽構造

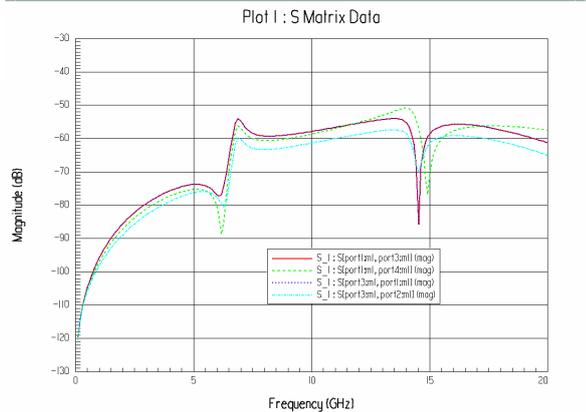
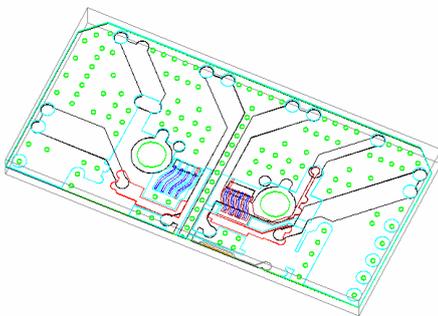


図 4-1-10. 透明基板のみの遮蔽効果@光素子-LSI 間配線パターン(左: 構造、右: 結果)

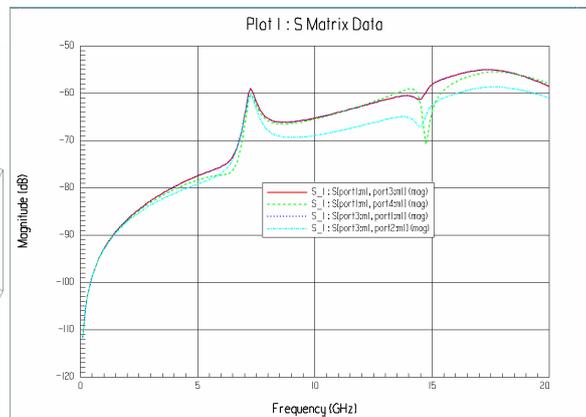
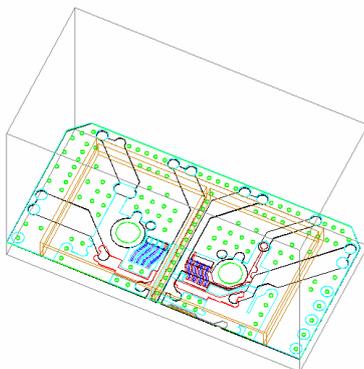


図 4-1-11. 金属枠による遮蔽効果@光素子-LSI 間配線パターン(左: 構造、右: 結果)

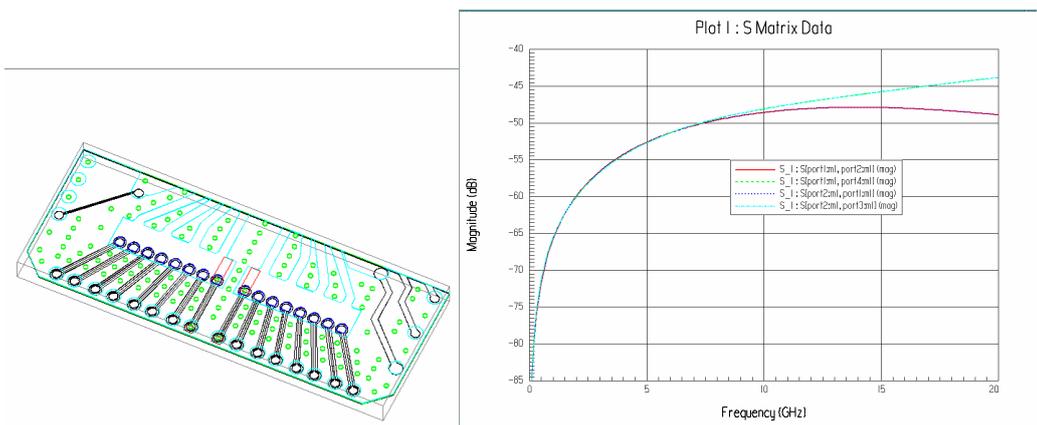


図 4-1-12. 透明基板のみの遮蔽効果@入出力ロジック信号用パターン(左：構造、右：結果)

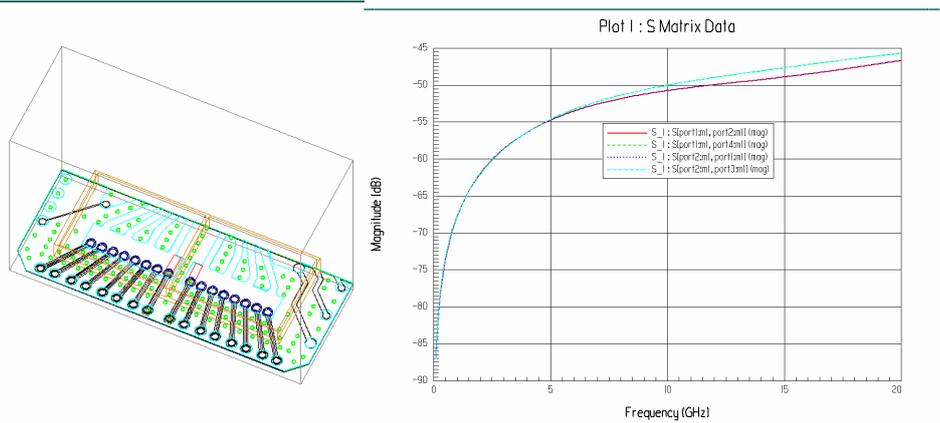


図 4-1-13. 金属棒による遮蔽効果@入出力ロジック信号用パターン(左：構造、右：結果)

【伝送線路設計】

AC 結合用コンデンサ搭載方法および配線の検討

AC 結合用のコンデンサを光 I/O に内蔵し、かつ BGA に高速配線、電源/GND 配線およびその他の制御系信号配線を引き出すための構造が必要である。今回は、掘り込み構造を持った配線および Via が形成可能な多層セラミック基板を適用したが、AC 結合用コンデンサを縦置きする実装工程において、歩留まり低下が懸念されたため、今回は透明基板への横置き構造を採用することとした。両面配線基板である透明基板への横置き構造での課題は、伝送線路のインピーダンス整合と、金属棒構造による電磁遮蔽効果がトレードオフとなることである。横置き構造としては図 4-1-14 の構造が考えられるが、案 2 は伝送線路側の電磁遮蔽効果が期待できないこと、案 3 は透明基板上 GND パターンのベタパターン化が困難なことから、案 1 の構造を採用した。実際案 1 での懸念材料は Via を介することによるインピーダンス不整合であるが、これは図 4-1-15 のように裏面配線を GND 付コプレーナ線路とすることで、図 4-1-16 にシミュレーション結果を示すように回避することが可能であることが分かった(反射<-18dB、ロス<0.2dB@10GHz)。今後は、DC 結合の低消費電力インターフェースの適用により、AC 結合用コンデンサを削除し構造の更なる簡易化と伝送特性の向上が期待できる。

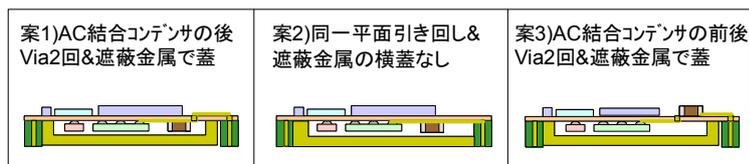


図 4-1-14. AC 結合用コンデンサ搭載方法および配線方法

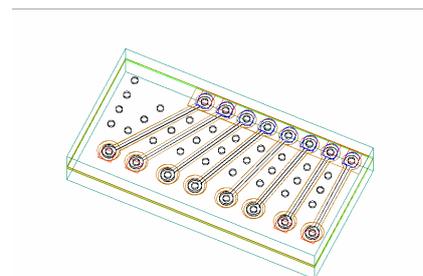


図 4-1-15. 案 1 構造での裏面配線シミュレーション構造

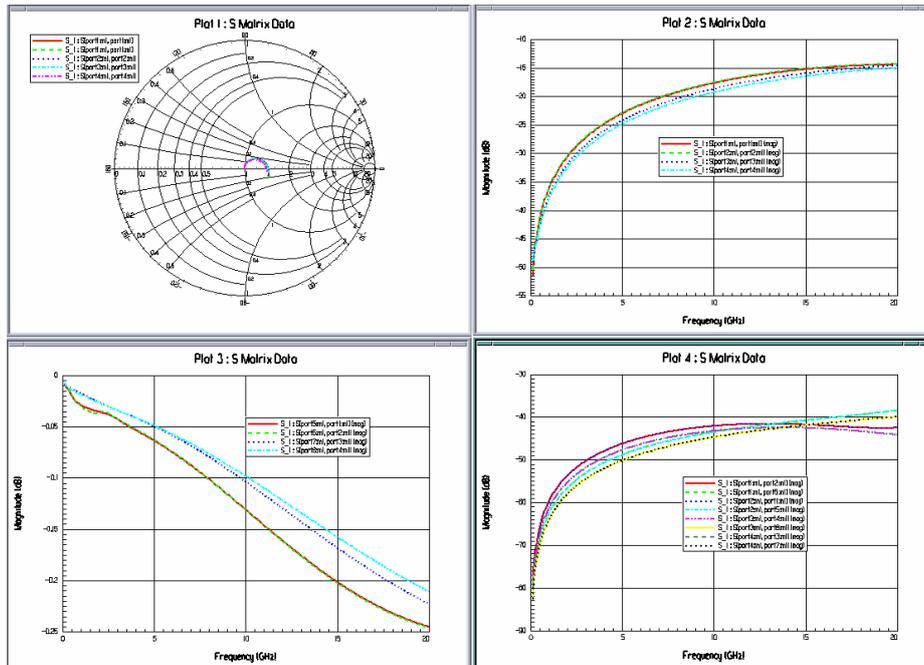


図 4-1-16. 案 1 構造による配線の伝送路特性(上=反射特性、左下=透過特性、右下=配線間近/遠端クロストーク特性)

差動伝送線路設計

光 I/O は送受それぞれ 4ch の構成であり、樹脂基板上に差動伝送線路がそれぞれ 4 対 (8 本) 必要となる。これらを ch 間クロストーク無く配線するためには、差動線路を結合線路構造とし、かつ各差動線路のペアを並行する部分を可能な限り少なくすることが必要である。今回、AC 結合用コンデンサでのインピーダンス不整合を考慮し、差動線路の反射 (S11)、および損失 (S21) 特性の目標値を 10GHz においてそれぞれ、 -20dB 以下、 0.5dB 以下とした。シミュレーションパターンを図 4-1-17 に示す。最も折れ曲がり角が大きく GND パターンの面積の小さな両端の 2ch についてシミュレシ

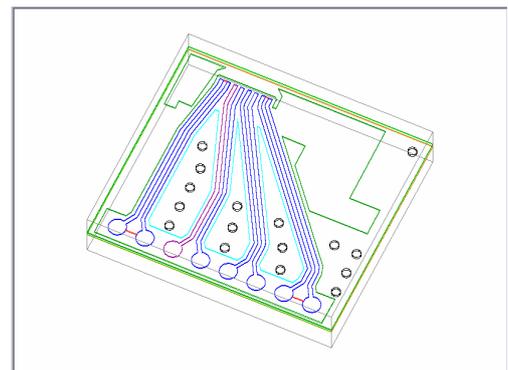


図 4-1-17. 差動伝送線路のシミュレーションパターン

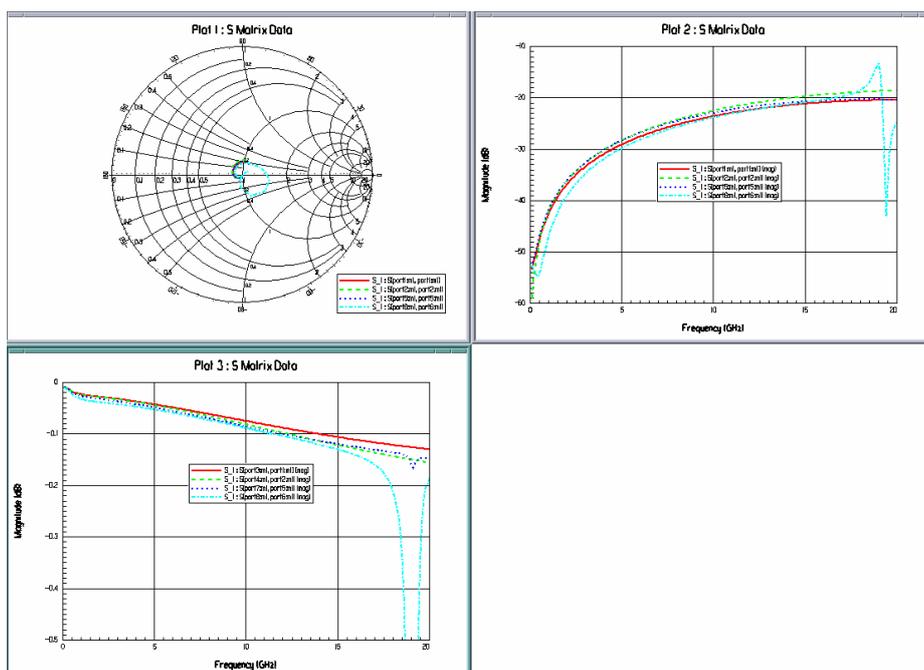


図 4-1-18. 差動伝送線路の差動モードシミュレーション結果(上: 反射特性、下: 透過特性)

ンを行った。図 4-1-18 に差動モードでの反射、透過特性を示す。10GHz において反射で-27dB 以下、透過で 0.1dB 以下と、目標値を十分に満足する結果を得た。

VCSEL-LDD 間伝送線路設計

VCSEL の微分抵抗および VCSEL ドライバ回路出力インピーダンスがそれぞれ 50Ω であり、各 ch 間隔が 250μm ピッチと狭いため、特性インピーダンス 50Ω の GND 付コプレーナ線路構造を採用した。差動線路の反射(S11)、および損失(S21)特性の目標値を 10GHz においてそれぞれ、-15dB 以下、0.2dB 以下とした。シミュレーションパターンを図 4-1-19 に示す。図 4-1-20 に反射、透過特性を示す。10GHz において反射で-16dB 以下、透過で 0.13dB 以下と、目標値を十分に満足する結果を得た。

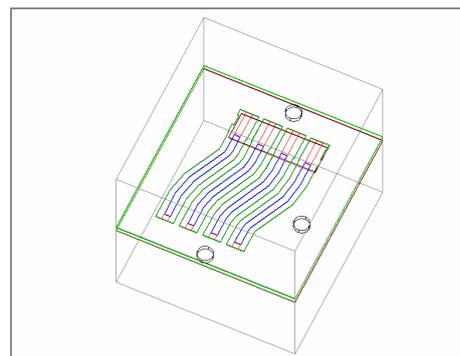


図 4-1-19. VCSEL-LDD 間シミュレーションパターン

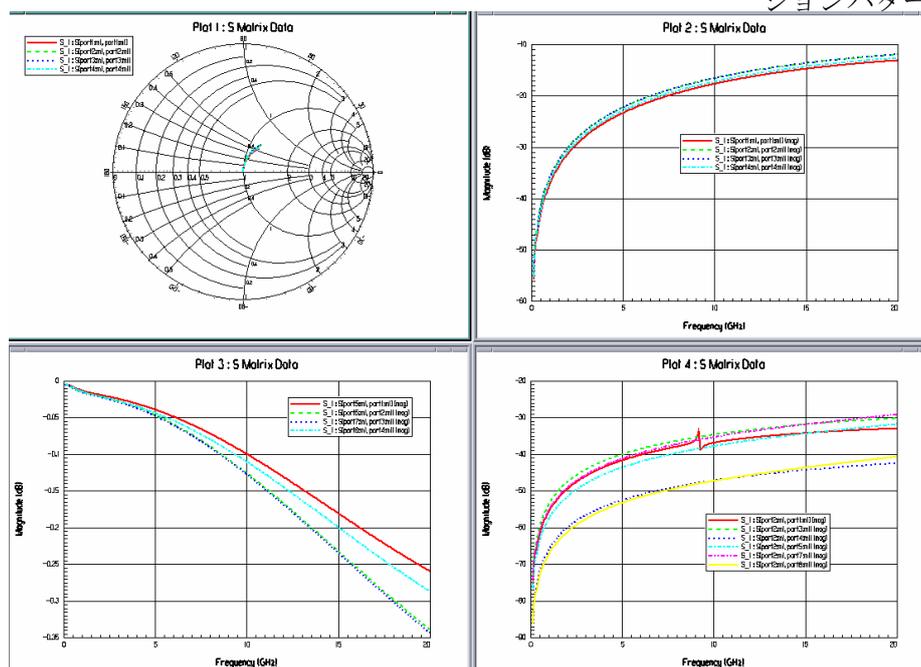


図 4-1-20. VCSEL-LDD 間伝送路特性(上：反射特性、下：透過特性)

【ch 間クロストーク制御構造】

前記のように、ch 間クロストークによるパワーペナルティ目標値は、トータルで 3.0dB である。送信部または受信部における ch 間クロストークの主要因は、送受間と同様に光素子-LSI 間配線パターン間、入出力ロジック信号配線パターン間、および電源/GND からの干渉である。マルチベンダの LSI 対応するために配線パターンによるパワーペナルティ目標を

- 光素子-LSI 間=0.2dB、
- 入出力ロジック信号配線パターン間=0.3dB

とし、光素子-LSI 間配線パターン間、入出力ロジック信号配線パターン間について、送信、受信それぞれについて 3次元電磁界シミュレーションによる解析を行った。なお、入出力ロジック信号配線パターン間については送受対称なため、送信側パターンにて行った。

光素子-LSI 間配線パターン間(送信側)

シミュレーションパターンを図 4-1-21 に示す。図 4-1-22 に近端および遠端クロストークを示す。近端クロストークでも-35dB 以下@10GHz であり、両脇 2ch からのクロストークが同程度であることからトータルで-32dB となり、これはパワーペナルティ 0.2dB に相当する。目標値 0.2dB を満足する値が得られた。

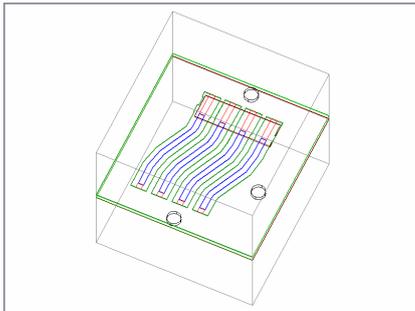


図 4-1-21. VCSEL-LDD 間コプレーナ線路のシミュレーションパターン

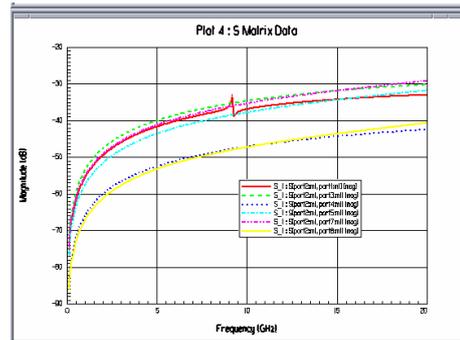


図 4-1-22. VCSEL-LDD 間のコプレーナ線路の伝送特性と近/遠端クロストーク

光素子-LSI 間配線パターン間(受信側)

シミュレーションパターンを図 4-1-23 に示す。レーバ LSI の許容入力容量 (PD 容量を含む) が 300fF であり、PD の容量が 280fF であるため、アノード側配線容量を 20fF 以下に抑える必要がある。そこで、アノード側パターンは配線幅を基板作製上のリミットまで細くし、かつ配線層の裏面 GND を抜きパターンとする構造を採用した。図 4-1-24 に近端および遠端クロストークを示す。近端クロストークでも -48dB 以下@10GHz であり、両脇 2ch からのクロストークが同程度であることからトータルで -45dB となりこれはパワーペナルティ 0.05dB に相当する。目標値 0.2dB を満足する値が得られた。

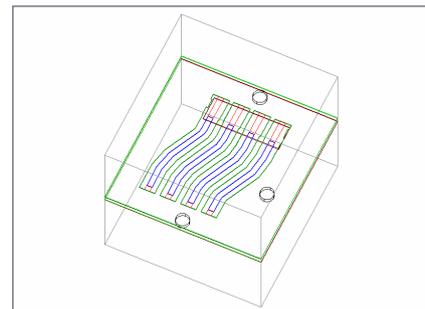


図 4-1-23. pinPD-RCV LSI 間コプレーナ線路のシミュレーションパターン

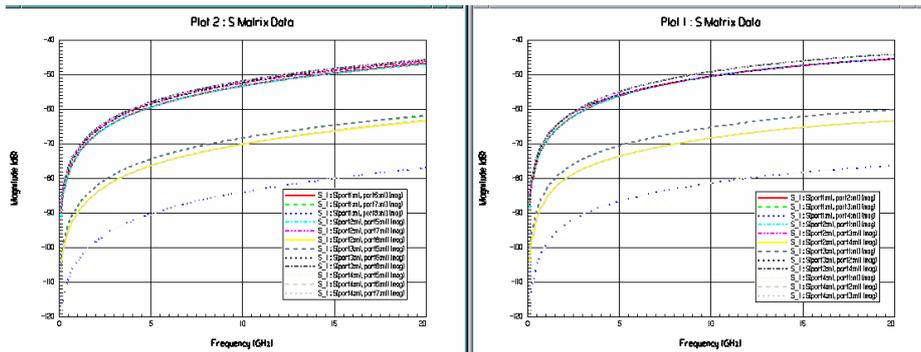


図 4-1-24. pinPD-レーバ LSI 間線路のクロストーク (左)遠端、(右)近端

差動伝送線路の ch 間クロストーク

シミュレーションパターンを図 4-1-25 に示す。図 4-1-26 には真中の ch へのクロストークを示す。近端クロストークでも LSI-コンデンサ間は -38dB 以下@10GHz、コンデンサ-パッド間は -42dB 以下@10GHz であり、両端 2ch からのクロストークを含めてもそれぞれ、-35dB、-39dB となる。これらは各々、パワーペナルティ 0.15dB、0.1dB に相当し、トータルで 0.25dB である。以上より目標値 0.3dB を満足する値が得られた。

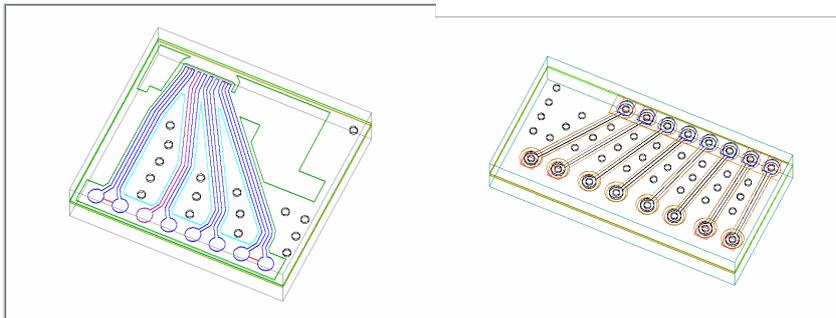


図 4-1-25. 差動伝送線路のシミュレーションパターン(左: LSI-コンデンサ間、右: コンデンサ-パッド間)

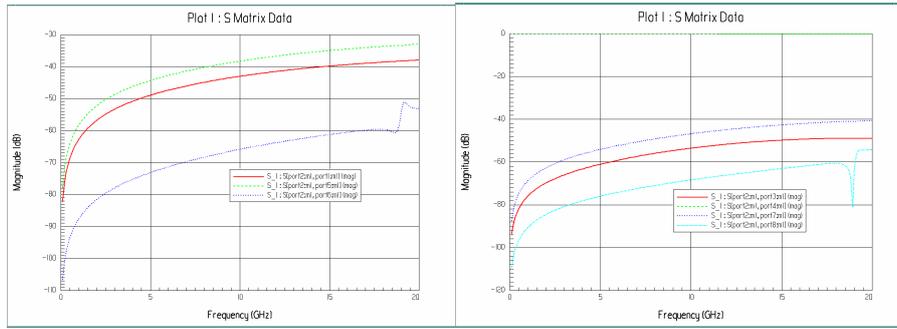


図 4-1-26. 差動伝送線路間のクロストーク (左上: LSI-コンデンサ間近端、右上: LSI-コンデンサ間遠端、下: コンデンサーパッド間)

以上の結果より、送信、受信、送受間それぞれについてクロストークによるパワーペナルティは
 送信 = (光素子-LSI 間のペナルティ 0.2dB) + (差動伝送線路間のペナルティ 0.25dB) \approx 0.45dB
 受信 = (光素子-LSI 間のペナルティ 0.05dB) + (差動伝送線路間のペナルティ 0.25dB) \approx 0.3dB
 送受信間 = 0.5dB
 送受信合計 = 0.45 + 0.3 + 0.5 = 1.25dB

となり、目標のペナルティ $(0.2 + 0.3) \times 2$ (送受) + 0.5 (送受間) = 1.5dB を満足する結果が得られた。

3) 低コスト化光I/Oの構成

以上の検討に基づき、今回開発した量産化対応超小型光 I/O の構成を図 4-1-27 に、送受間電磁遮蔽構造の断面図を図 4-1-28 に示す。前回からの主な改善点は以下の 3 点である。

- (1) 基板透過損失低減による結合損改善 = 透明樹脂基板として 0.2dB@850nm のメタロイヤル基板を適用
 - (2) 完全箱型構造による送受間クロストーク低減 = 金属枠による電磁遮蔽構造
 - (3) 結合系安定化 = 高精度勘合穴付レンズの採用と透明樹脂基板への直接実装による熱膨張抑制
- 光 I/O は光/電気素子および光学系の搭載される透明樹脂基板(上部)と、口の字構造を有する樹脂基板(下部)、および電磁遮蔽用金属枠で構成される。透明樹脂基板上には 850nm 波長帯の 4ch VCSEL アレイおよび pin-PD アレイ、ドライバ/レシーバ LSI が Au バンプの圧接によりフリップチップ実装されており、さらに AC 結合用コンデンサおよび電源でカップリング用コンデンサがハンダ実装されている。下部樹脂基板の 1 辺は電気高速(10Gbps)信号入出力用に差動 100Ω インピーダン

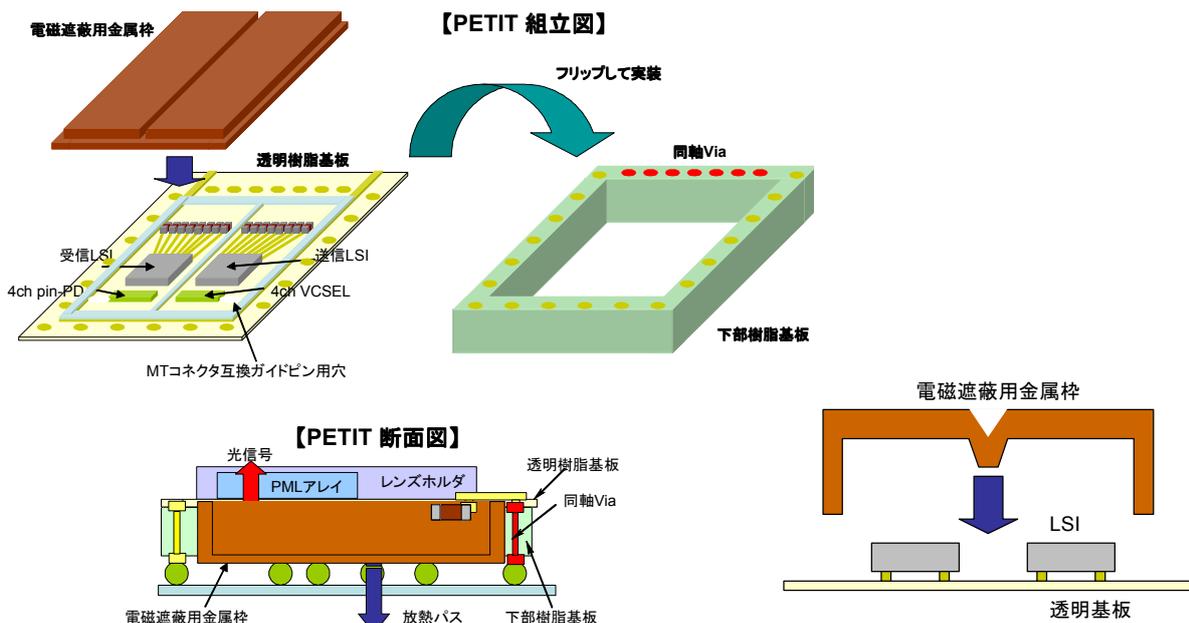


図 4-1-27. 超小型光 I/O の構成

図 4-1-28. 送受間電磁遮蔽構造の断面図

ス整合された同軸 Via が形成されている。透明樹脂基板の素子搭載面の反対側には、平板マイクロレンズ(PML)アレイが直接実装されており、これにより光学系の熱に対する安定化を図っている。このPMLアレイと光素子は透明樹脂基板上のマークを用いたビジュアルアライメントにより実装され、その実装精度は±2um程度である。透明樹脂基板およびレンズホルダーにはMTコネクタ互換のガイドピン用の穴が設けてある。PETIT全体の体積はわずか294mm³(14×14×1.5mm)である。光I/Oの外観を図4-1-29に示す。

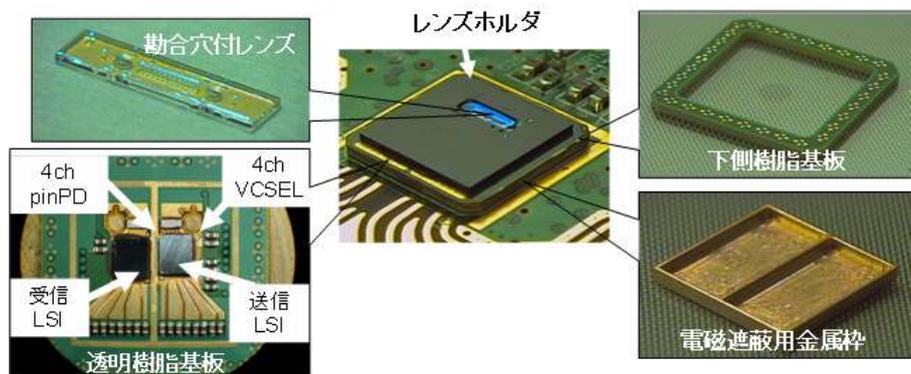


図 4-1-29. 光 I/O の外観

4) 低コスト化光I/Oの動作検証

試作した低コスト化光 I/O について送信のみ、受信のみ、送受信同時に動作させた場合の BER 評価を行い、最小受信感度とクロストーク評価を行った (信号速度 10.3125Gbps, PRBS = 2⁷-1, 消光比 3dB, 室温)。

図 4-1-30 に ch 毎の送信光出力波形、図 4-1-31 に受信電気出力波形を示す。全 ch とも良好なアイパターンが確認できる。単 ch 動作時の MT コネクタ (loss 0.5dB) 入射点での BER = 10⁻¹² の最小受信感度は-10dBm であり、平成 14 年度に試作した光 I/O と比較して 1dB の向上が得られた。これは、送受信両方で、透明基板の光透過損失改善による散乱、反射によるノイズの低減が反映された結果と考えられる。また、新規レンズの搭載により、MT コネクタ-VCSEL 間損失は<3dB と改善され、最適結合状態で光出力 3dBm が得られた。これにより、送信部における結合マージンが 4dB と十分あることが確認された。全 ch 動作によって生じる送信 ch 間クロストークペナルティは 0.6dB (図 4-1-30 右図)、受信 ch 間クロストークペナルティは 0.7dB (図 4-1-31 右図) が確認されており、前回試作した光 I/O とほぼ同程度の値が得られた。また、完全箱型の金属枠による遮蔽効果により、送受間クロストークも 1dB 以下と低く、新規設計の有効性を確認した (図 4-1-32)。

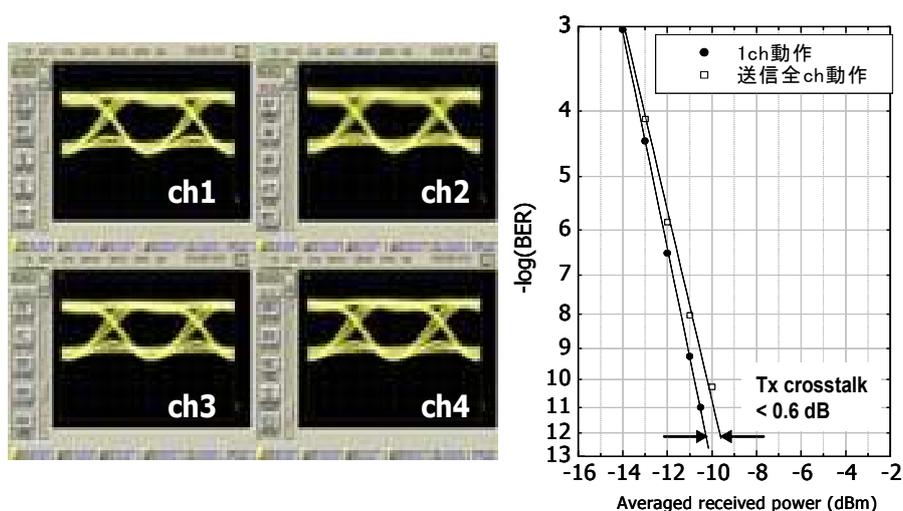


図 4-1-30. 全 ch 動作時の送信側光出力波形 (左図)と BER 評価結果 (右図)

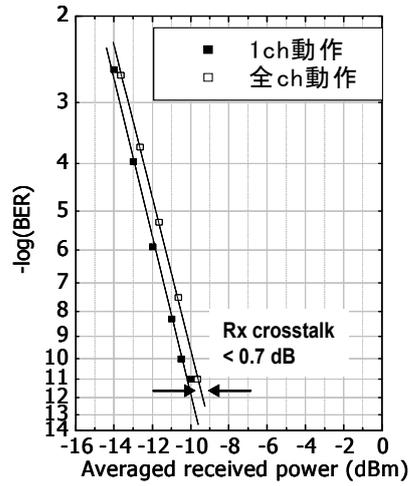
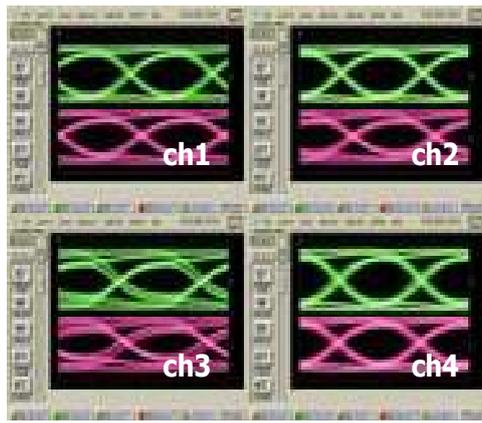
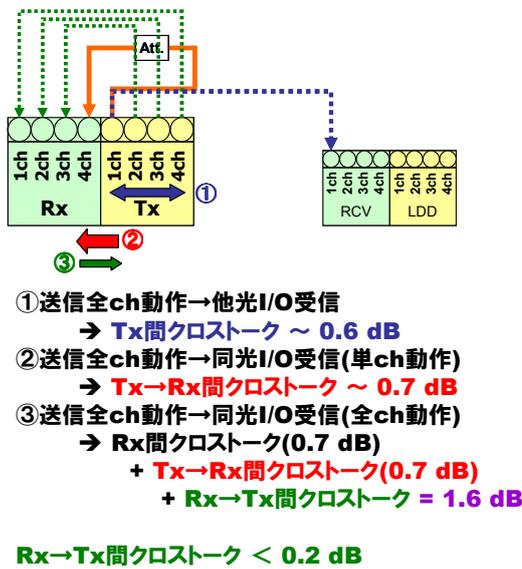


図 4-1-31. 全 ch 動作時の受信側電気出力波形 (左図)と BER 評価結果 (右図)



電磁遮蔽金属枠により送受信間クロストーク
0.9 dB (0.7 dB + 0.2 dB) を達成

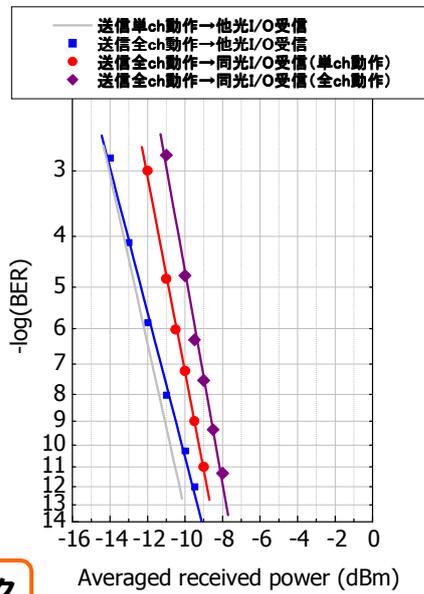


図 4-1-32. 送受信間クロストーク特性

次に、高温環境下における光 I/O の特性評価を行った。評価条件は、クロストーク評価と同様の、信号速度 10.3125Gbps, PRBS = 2⁷-1, 消光比 3dB である。

図 4-1-33 に光 I/O 送信側における、周囲温度 25℃, 75℃でのアイパターンを示す。75℃におい

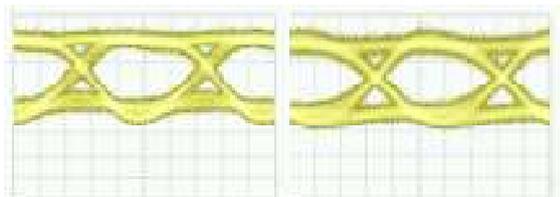


図 4-1-33. 25℃, 75℃における送信側光出力波形

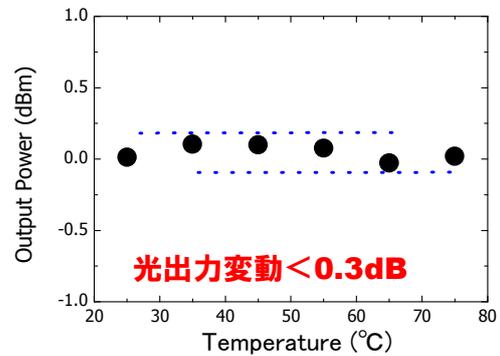


図 4-1-34. 送信側光出力変動の温度依存性

ても波形劣化のない良好なアイパターンが確認できた。また、図 4-1-34 に、各温度における送信部の光出力パワー変動を示す。温度 25°C~75°Cにおいて、光パワー変動は 0.3dB 以下であり、安定な光出力が得られていることを確認した。図 4-1-35 に光 I/O 受信側における、周囲温度 25°C, 75°C でのアイパターンを示す。送信側と同様に、75°Cにおいても波形劣化のない良好なアイパターンが確認できた。また、図 4-1-36 に、各温度における受信部の BER 評価結果を示す。温度 25°C~75°C において、BER にほとんど変化がなく、安定な受信特性が得られていることを確認した。以上の結果より、75°Cにおける高温環境下においても、光 I/O の安定動作が確認され、金属枠による電磁遮蔽および放熱の双方が有効に作用していることが実証された。

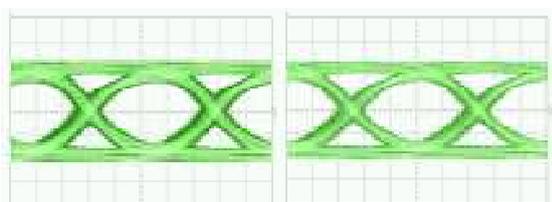


図 4-1-35. 25°C, 75°Cにおける受信側電気出力波形

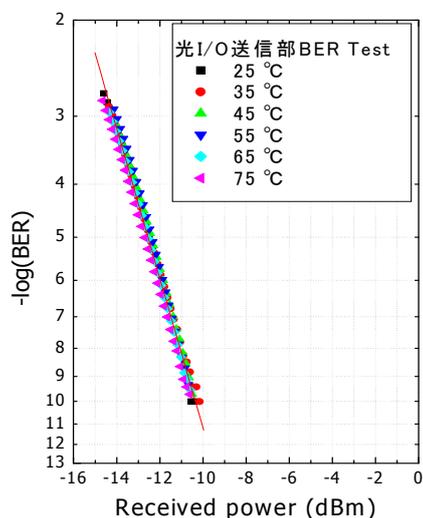


図 4-1-36. 受信側 BER の温度依存性

4-1-5 光 I/O 内蔵型スイッチ LSI モジュールの試作と動作検証

試作した低コスト化光 I/O およびクロスポイントスイッチ LSI (Philips 社製 20×20 Crosspoint Switch)を適用した光 I/O 内蔵型スイッチ LSI モジュールを試作し、その動作検証を行った。また、本モジュールを適用した簡易デモ装置を試作し、バックプレーンの光接続を実証した。以下では、光 I/O 内蔵型スイッチ LSI モジュール用 BGA パッケージの設計結果、モジュール動作結果、試作デモ装置概要について述べる。

1) 光I/O内蔵型スイッチLSIモジュールの構成

試作した光 I/O 内蔵型スイッチ LSI モジュールの構成を図 4-1-37 に示す。BGA パッケージ上に、4 個の低コスト化光 I/O (PETIT) (14mm×14mm×2mm) と 20×20 クロスポイントスイッチ LSI (35mm×35mm×1.5mm) が同時搭載された構成をとる。10Gbps/port 光 I/O 内蔵型スイッチ LSI モジュールの動作実証を最優先で進めるため、Philips 社製で新規に開発された 10Gbps/port 20×20 クロスポイントスイッチ LSI を適用して、機能見極めを行うこととした。光 I/O (PETIT)はバックプレーン接続のための伝送速度 4×10Gbps、波長 0.85um の光インターフェースと、スイッチ LSI との接続のための伝送速度 4×10Gbps の差動電気インターフェースをもつ。スイッチ LSI は内部にレジスタをもち、BGA パッケージ裏面の端子より制御信号を入力することで、スイッチング経路情報を書き込み、スイッチング動作を実現する。図 4-1-38 に本モジュールの外観を示す。

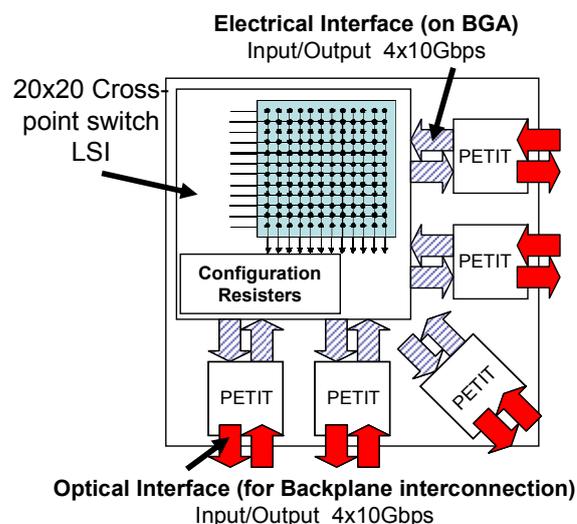


図 4-1-37. 光 I/O 内蔵スイッチ LSI モジュールの構成

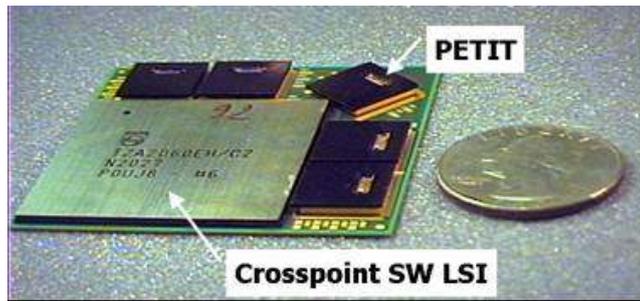


図 4-1-38. 光 I/O 内蔵スイッチ LSI モジュール外観

2) 光I/O内蔵型スイッチLSIモジュール用BGAパッケージの設計

光 I/O 内蔵型スイッチ LSI モジュール用 BGA パッケージ材料として、高速高密度配線設計にすぐれた有機材料（誘電率：4.1，誘電正接：0.0061）を選択し、スイッチ LSI と光 I/O（PETIT）の間の

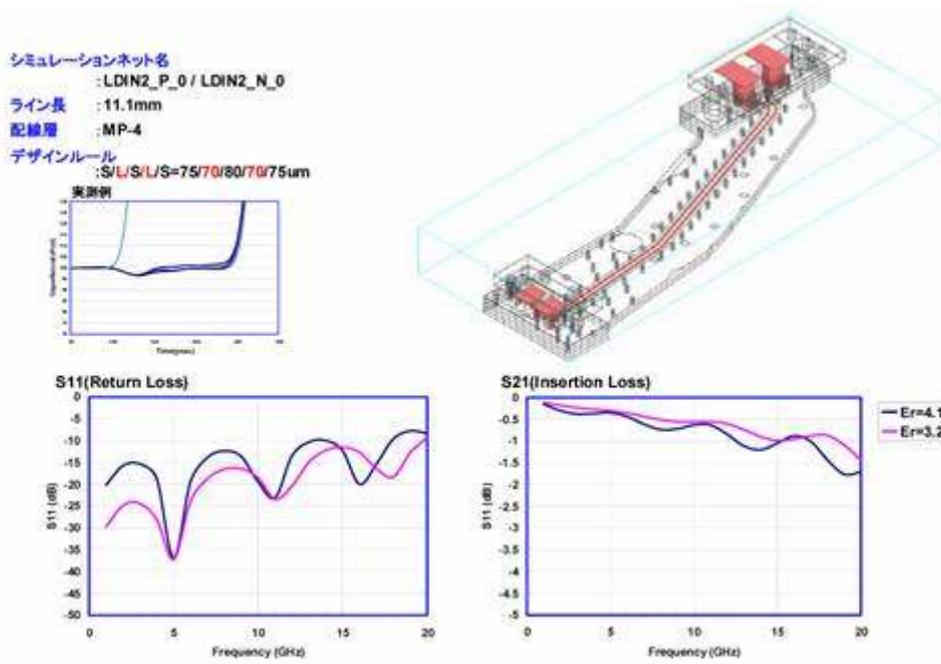


図 4-1-39. 光 I/O (PETIT)送信側差動配線の S パラメータシミュレーション結果

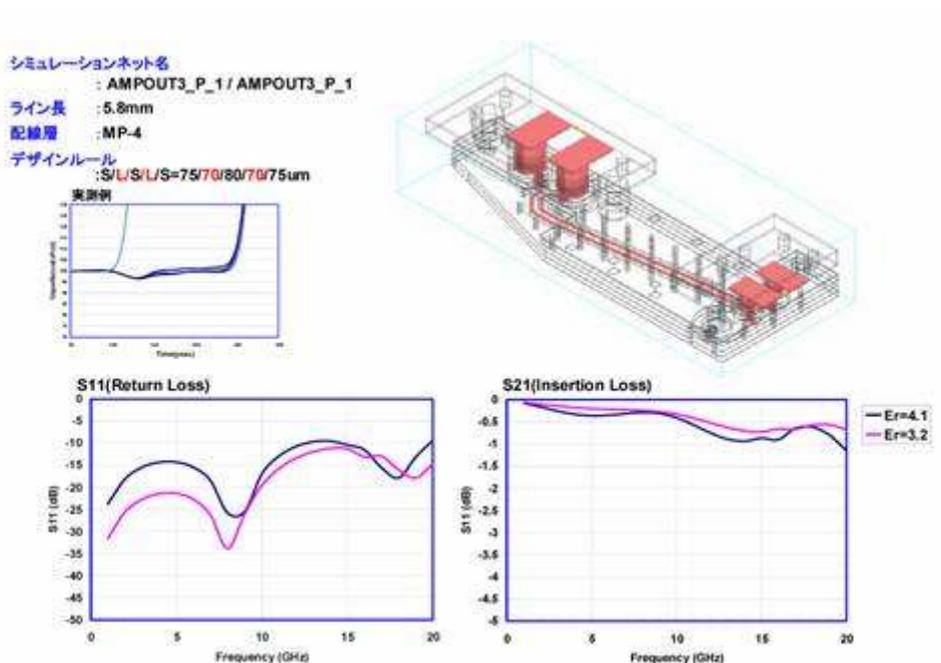


図 4-1-40. 光 I/O (PETIT)受信側差動配線の S パラメータシミュレーション結果

高速差動信号配線の線設計を行った。ch 間クロストークを抑制するために、差動伝送線路を結合線路化した。結果の一例として、スイッチ LSI と光 I/O (PETIT)送信側および受信側の最長差動配線について、S11, S21 をシミュレーションした結果を図 4-1-39, 図 4-1-40 に示す。10Gbps 伝送に十分な特性がられた。したがって、本結果をもとに、BGA パッケージの製作を行った。

3) 光I/O内蔵型スイッチLSIモジュールの動作検証、デモ装置概要

試作した光 I/O 内蔵型スイッチ LSI モジュールの 10Gbps/ch スwitching動作の評価を行った。光 I/O 内蔵スイッチ LSI の各 ch への入力光信号として、10.3125Gbps PRBS 2^7-1 NRZ、消光比 3dB の信号を用いた。Switching動作の確認として、図 4-1-41 に示す 2つの動作モード (Mode 0 および Mode 1)での出力アイパターンの観測を行った。Philips 社製クロスポイントスイッチ LSI 制御用 FPGA の制限のため、この 2モード動作のみ確認を行った。Mode 0 は、図中 path (a) ~ (d) の 4つの経路の信号入出力動作、Mode 1 は、図中 path (e) 1つの経路のみの信号入出力動作である。光入力アイパターンと、各動作モードの各信号経路を通過した信号の光出力アイパターンを図 4-1-42 に示す。全経路とも良好な出力アイ開口が得られた。

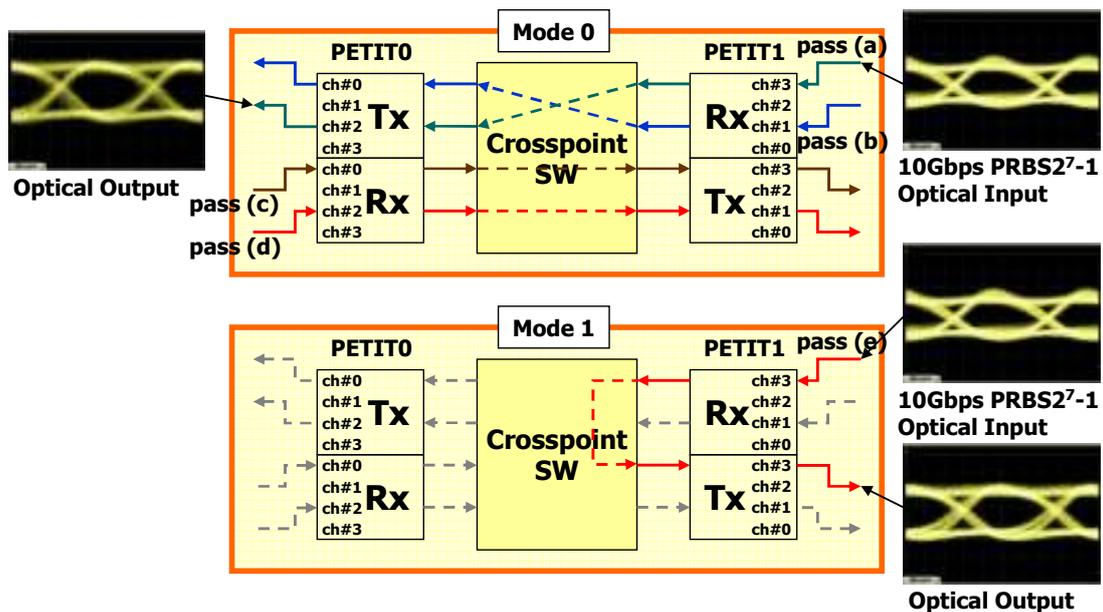


図 4-1-41. スwitching動作

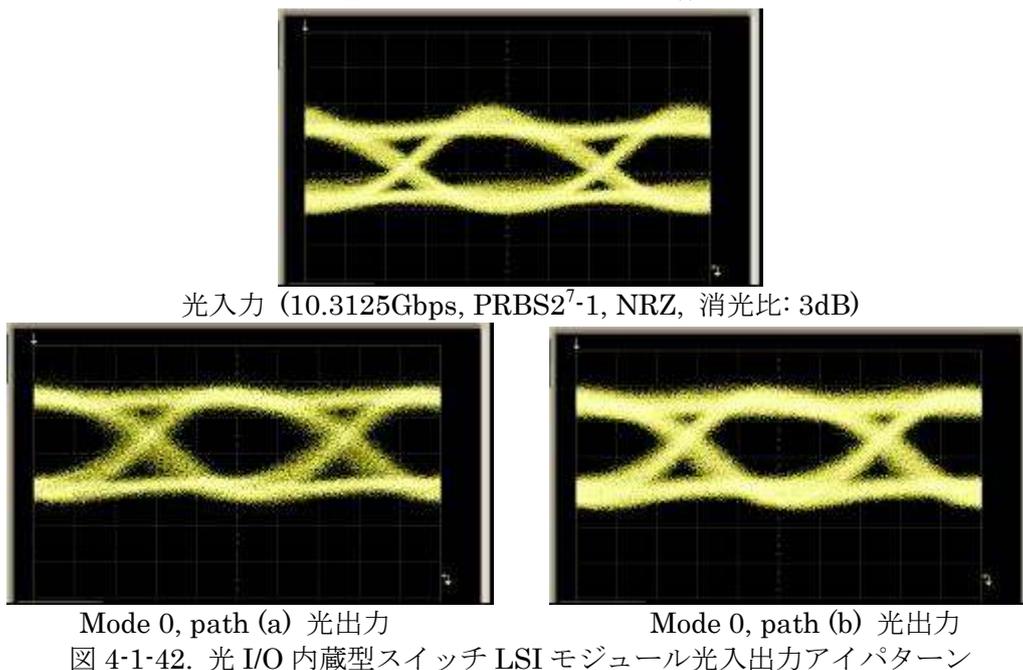
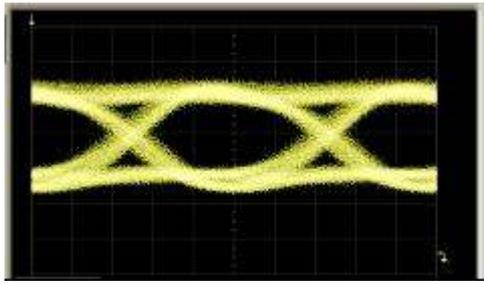
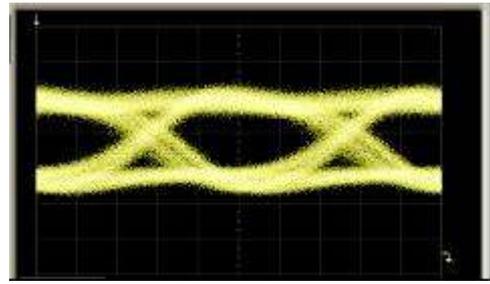


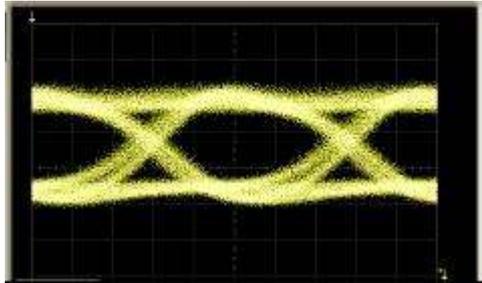
図 4-1-42. 光 I/O 内蔵型スイッチ LSI モジュール光入出力アイパターン



Mode 0, path (c) 光出力



Mode 0 path (d) 光出力



Mode 1, path (e) 光出力

図 4-1-42. 光 I/O 内蔵型スイッチ LSI モジュール光入出力アイパターン (続き)

次に、Mode 0 において、クロストーク特性について評価を行った。図 4-1-43 に示す実験構成で、以下の 3 通りの場合について誤り率 (BER) を測定した。

- (1) path (a) にのみ 10.3125Gbps, PRBS 2^7-1 , NRZ 信号を入力した場合
- (2) path (a) に信号を入力した状態で、path (b) にクロストーク信号 (10.3125Gbps, PRBS 2^7-1 , NRZ, -6dBm, path (a) とは非同期) を入力した場合
- (3) path (a) に信号を入力した状態で、残るすべての経路 (path (b) ~ (d)) にクロストーク信号 (10.3125Gbps, PRBS 2^7-1 , NRZ, -6dBm, path (b) ~ (d) は同期しており、かつ、path (a) とは非同期) を入力した場合

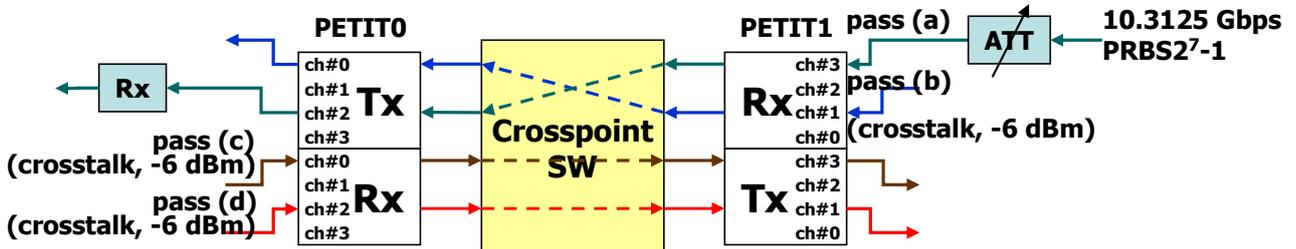


図 4-1-43. クロストーク特性評価の実験構成

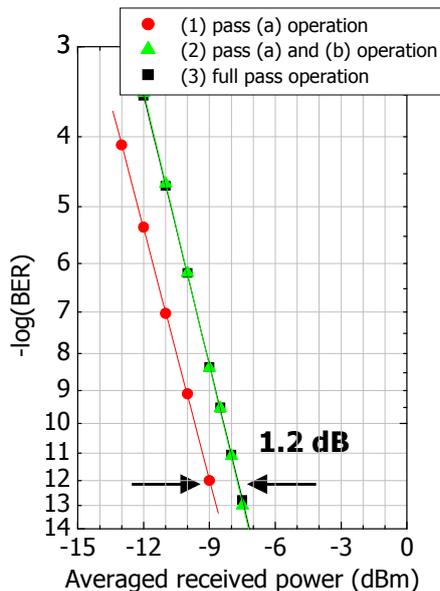


図 4-1-44. BER 測定結果

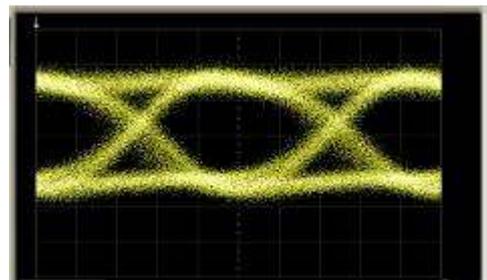


図 4-1-45. クロストーク入力時の pass (a) 光出力アイパターン

結果を図 4-1-44 に示す。BER = 10^{-12} において、(1)に対する(2)および(3)の受信感度劣化 (= クロストークペナルティ)はどちらも 1.2dB であり、光 I/O (PETIT)単体を送受全 ch 動作させた場合のクロストークペナルティとほぼ一致している。すなわち、クロストークは光 I/O (PETIT)内部でのみ生じており、光 I/O (PETIT)-スイッチ LSI 間、スイッチ LSI 内部でのクロストークペナルティは殆ど発生していないことが確認された。このことから、光 I/O 内蔵型システム LSI モジュールのコンセプトの実用可能性が実証された。図 4-1-45 に、(3)の場合の path (a)を通過した信号の光出力アイパターンを示す。(1)の場合 (図 7 の path (a)に相当)と比較して多少ジッタが増加しているが、良好なアイ開口が確認できた。

次に、光 I/O 内蔵型スイッチ LSI モジュールの装置適用を想定して、Advanced TCA 標準ラックを使用した簡易スイッチ装置を試作した。試作した装置の外観を図 4-1-45 に示す。バックプレーンには、ATCA 標準ラックに対応したファイバシートを適用するとともに、スイッチカードとの接続用の光直角コネクタ技術を採用して、スイッチカード上の光 I/O 内蔵型スイッチ LSI モジュールとのファイバ接続を実現している。評価の結果、バックプレーンの光接続を実証した。

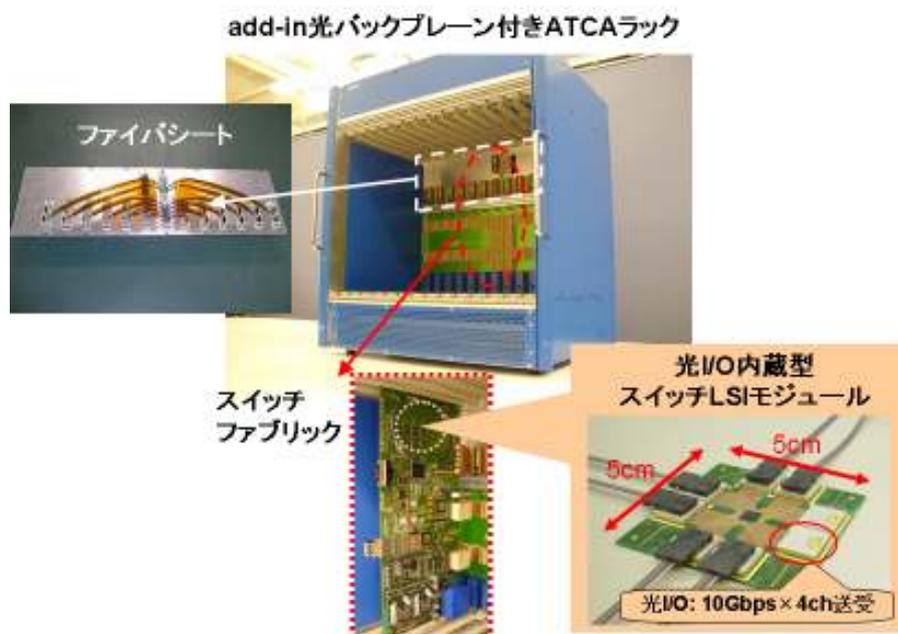


図 4-1-46. 光 I/O 内蔵型スイッチ LSI モジュールを適用した簡易スイッチ装置 (ATCA 標準ラックに光バックプレーンを実装)

また、光 I/O 内蔵型システム LSI モジュールの IT・NW 統合装置への適用を実証するために、NEC にて開発した次世代システムアーキテクチャ Generation Free Platform (GFP) [4]の光バックプレーン接続に光 I/O 内蔵型システム LSI モジュールを適用し、動作検証を行った。GFP は一つまたは複数のスタッカブルなサブシェルフによって構成される拡張可能なシステムプラットフォームであり、スイッチカード、ラインカード、CPU ブレードなど様々なボードを収容することで自在にシステムを構成できる。光バックプレーンによって帯域フリーな大容量ボード間信号接続を実現する。これによりプラットフォームを置き換えることなくトラフィック需要に応じ、世代を超えてシステムを進化させることが可能である。

今回、スイッチカード上に光 I/O 内蔵型スイッチ LSI モジュールを構成するとともに、ラインカード上にも光 I/O を直接搭載し、スイッチ LSI モジュールとボードインタフェースとの間のボード上光接続に適用した。図 4-1-47 にスイッチカード上に搭載した光 I/O 内蔵型スイッチ LSI モジュールの外観を示す。伝送評価の結果、ラインカード-スイッチモジュール間において良好な光信号接続を確認した。



図 4-1-47. 光 I/O 内蔵型スイッチ LSI モジュールの Generation Free Platform (GFP)への適用 (GFP は NEC にて開発)

4-1-6 まとめと課題

最終目標である 10Gbps/port の光 I/O 内蔵型クロスポイントスイッチ LSI モジュールを開発し、これらをスイッチボード上に複数個実装するとともに、簡易筐体の実装し、スイッチング動作を確認した。各年度の成果をまとめると以下の通りである。

平成 14 年度は、10Gbps/port の多 ch 光 I/O 内蔵型スイッチ LSI モジュールを実現するため、従来サイズ比 1/10 以下 (10mm×11mm) の低コスト超小型光 I/O の試作を行い、10Gbps の光送受信動作を検証した。また、実装部分までを取り込んだ設計にて、10Gbps/port スイッチ LSI を CMOS LSI プロセスで試作し、CMOS LSI 上にレイアウトした I/O 部動作確認用テストチップおよび BGA 基板上に形成した伝送確認用テスト配線により、BGA 基板内 10Gbps 信号伝送を実証した。

平成 15 年度は、平成 14 年度に試作した低コスト超小型光 I/O について、10Gbps の光送受信動作を検証するとともに、量産化に対応すべく、さらなる低コスト化改造設計を行い、10Gbps 動作を確認した。また、10Gbps/port クロスポイントスイッチ LSI において、LSI 単体での 10Gbps/port 動作を確認し、評価ボード上での 10Gbps 信号伝送を実証した。

最終年度となる平成 16 年度は、平成 15 年度に設計・動作確認を行った低コスト超小型光 I/O について、10Gbps における送信側/受信側/送受間クロストーク特性および 25～80℃での温度特性の検証を行い、良好な特性を確認した。また、初期信頼性評価として 600 サイクルまでの熱衝撃試験を行い、故障のないことを確認した。光 I/O とシステム LSI (Philips 社製クロスポイントスイッチ) とを BGA パッケージ上に一括搭載した光 I/O 内蔵型システム LSI モジュールを試作し、10Gbps/ch のスイッチング動作を確認した。さらに、本モジュールを適用した簡易デモ装置を試作し、バックプレーンの光接続を実証した。

今後の課題としては、実用化に向け、モジュール信頼性の確保、さらなる低コスト化構造の検討が重要となる。信頼性の観点では、特に、高温高湿条件化での光素子劣化を防止する実装・封止構造を開発していく必要がある。一方、低コスト化の観点では、低コストでかつ簡易実装可能な部材の選定、モジュール構造の簡素化 (光結合に使用しているレンズの削除等) が必要となる。

4-2 1.3 μm帯多波長 VCSEL の研究開発

4-2-1 VCSEL の課題と成果概要

1.3 μm 帯 VCSEL を用いた CWDM (Coarse Wavelength Division Multiplexing:低密度波長分割多重) 伝送システムでは、異なる波長の光を合分波して伝送を行う。このときの波長間隔は約 20~25 nm が一般的であり、光ファイバの零屈折率分散波長である 1.310 μm を中心に、1.270~1.350 μm 間で設計される。

一方、開発が進められている 10 ギガビットイーサネット用 1.3 μm 帯 VCSEL は、波長 1.27~1.30 μm 程度においては実用レベルの特性が得られつつあるが、CWDM に必要な 1.30 μm 以上の長波長域では、GaInNAs 活性層の結晶品質が急速に劣化し、素子特性において閾値電流の増大や光出力の大幅低減等が生じ、10Gbps 変調には遠く届かないレベルにあった。

そこで、平成 14 年度は、窒素組成が従来よりも大きい GaInNAs 活性層の高品質化を行い、発振波長 1.34 μm において、室温での低閾値 VCSEL 発振 ($I_{th}=2.7\text{mA}$) を実現した。この値は、現在においても世界トップレベルにある。これにより、CWDM に必要な波長帯域を確保するめどを得た。

平成 15 年度は、上記 GaInNAs 活性層 VCSEL 素子において、システム要求を満たすデバイス特性を実現するための技術開発を行った。まず要求される変調特性として、CWDM で 40~100Gbps のトータルスループットを得るためにはチャンネル当たり 10Gb/s での動作が必要となる。それに対し、波長 1.275 μm の素子において 10Gb/s 変調動作を実現し、10Gb イーサネットマスクを満たす良好なアイ開口を確認した。次に、光出力としては伝送パワーバジェットを見積もると、約 1.5mW のシングルモード出力が要求される。そこで高次モード抑制構造 (長共振器構造、モードフィルタ構造) の素子を設計試作し、InGaAs 活性層を用いた VCSEL において従来比 2 倍以上の高出力化を実現し、その構造の有用性を確認した。

最終年度となる 16 年度は、上記の成果を元に、シングルモードファイバ直接結合型 VCSEL-TOSA (Transmitter Optical Sub-Assembly) を開発し、10Gbps-4 波 CWDM 伝送実験を行い、すべての波長において 10Gbps-12km 伝送を実現した。この成果は世界初である。これにより、本サブテーマの当初の目標を達成した。

以下に、その詳細を説明する。

4-2-2 1.3 μm 帯多波長 VCSEL

1) 長波長化

まず、GaInNAs-VCSEL の長波長化について述べる。図4-2-1は、各研究機関で報告されてきた主な GaInNAs ファブリーペローレーザ (FP-LD、共振器長1mm) の発振波長と閾値の関係をもとめたものである。

成長法はMBE、MOVPEの両方のアプローチがあるが、何れの成長法においても、N組成の低い (~0.2%) 1.2 μm 以下の短波長側ではInGaAs並の低閾値が得られているが、長波長に行くほど閾値が劣化し1.3 μm 付近で急激に悪化する傾向が見られる。閾値が劣化する原因は、N組成が増加すると共に結晶品質が劣化し非発光再結合中心が増大するためと考えられているが、その詳細については明確化されていない。よって、1.3 μm 以上のVCSEL発振を実現させるために、なるべくN組成が小さい範囲でこの波長帯での発光が得られるよう、In組成を35-37%と増加させてGaInNAs double-QW (DQW) の作製を試み、FP-LD特性から成長条件の最適化を行った。

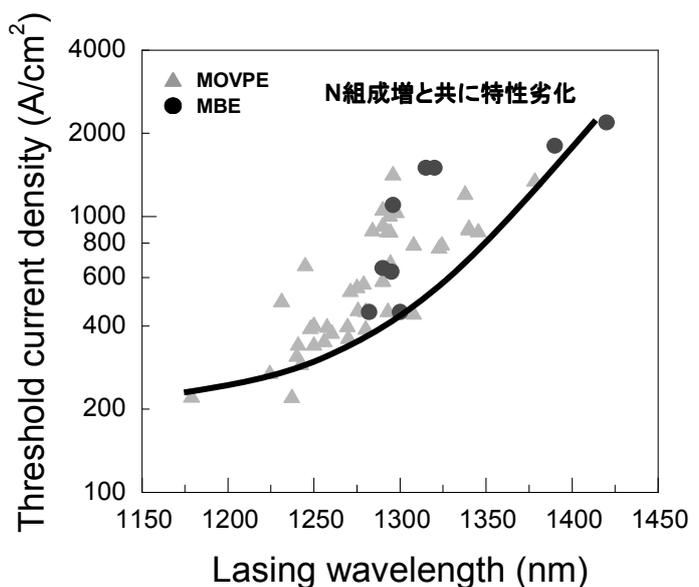


図4-2-1 GaInNAs-LDの発振閾値

図4-2-2に、GaInNAs-DQW活性層を用いたブロードストライプLD（共振器長約1mm）における、閾値電流密度の(1)発振波長依存性及び(2)N組成依存性を示す。In組成が0.32の場合と0.37の場合とを比較すると、In組成に関わらずN組成に対して J_{th} は単調に増加する傾向があることが分かる。よって、発振波長が一定である場合、なるべくInで長波長化を図りN組成を小さくした方が、 J_{th} としては有利であることが分かる。但し、Inを増加させる場合には、圧縮歪量が大きくなるため、歪による劣化の影響が少ない範囲を選ぶ必要があり、ここでは膜厚約7.5nmでIn組成上限を約37%としている。ここでIn組成約37%の時、N組成が0.65%で発振波長1.346 μm ($J_{th}=870\text{A}/\text{cm}^2$)、N組成が0.75%で発振波長1.378 μm ($J_{th}=1.3\text{kA}/\text{cm}^2$) が得られた。これらは、短波長域の閾値には及ばないが、1.3 μm を超える波長帯においてQW当たりとしては最も低閾値の範囲にあるといえ、また1.34 μm 帯のVCSEL発振を実現するのに十分な値と考えられる。

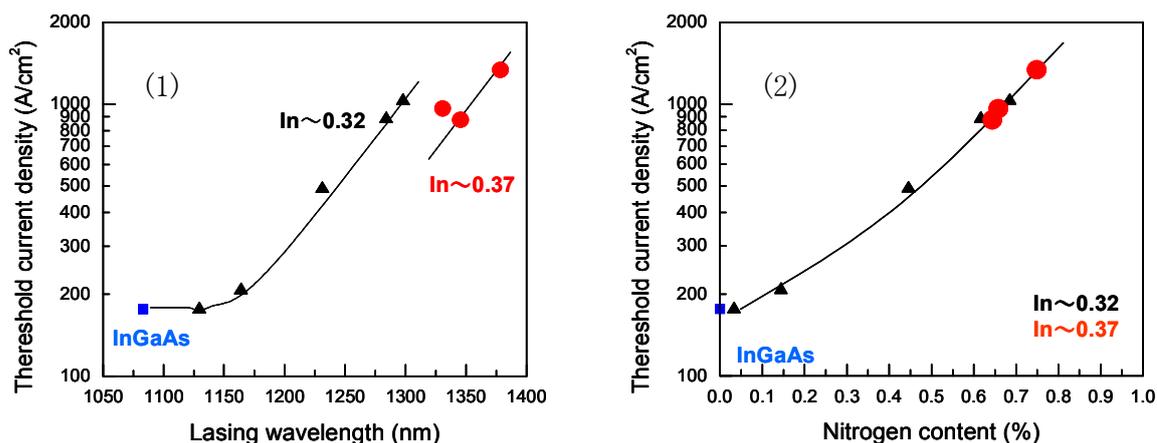


図 4-2-2 GaInNAs DQW レーザの発振閾値電流密度

(1) 発振波長依存性 (2) N 組成依存性

次に、このGaInNAs活性層を用いて1.34 μm 帯の表面出射型VCSELを作製した。図4-2-3に発振波長1.339 μm 、酸化狭径約4 μm φの素子のCW駆動による(1)I-L、I-V特性及び発振スペクトルを示す。発振閾値は2.7mAであり、この波長において世界トップレベルの低閾値発振を実現できた。

一方、スロープ効率も0.04W/Aと低く、最大出力が0.1mWに制限された。これは、出射側DBR周期数が多い(27周期)ことによるが、更に高出力化するためには、駆動電流値を考慮すると、出射側DBR周期数を24周期以下として反射率を低減する必要があることが分かった。

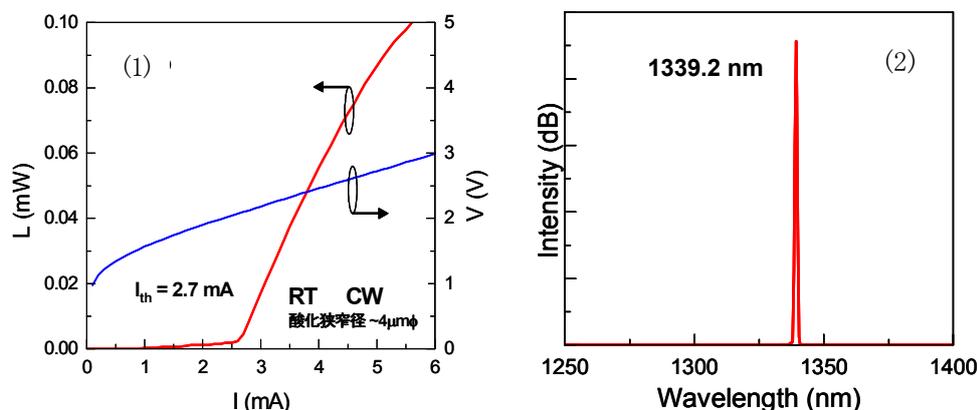


図 4-2-3 1.34 μm 帯 GaInNAs-VCSEL

(1) I-L、I-V 特性 (2) 発振スペクトル

2) 高速変調

GaInNAs 長波長 VCSEL の 10Gb/s 高速変調動作について述べる。GaInNAs 材料においては、伝導帯

バンド不連続エネルギーが大きいこと、利得が通常材料よりも高いことが知られている。よって、10Gb/s 変調動作時に帯域を制限する要因となるのは主にデバイス素子構造に起因する寄生容量であるため、この観点から素子構造の設計を行った。

VCSEL では通常の端面発光レーザに比べ発光径が小さく、更に電気抵抗の高い半導体多層膜 DBR を用いる必要があるために、素子抵抗が 100Ω 以上と高くなってしまふ。よって寄生容量を低減するためには、主に酸化狭窄層及び電極パッドに起因する静電容量を下げる事が重要である。

そこで、まず素子抵抗、及び酸化狭窄層に起因する静電容量、電極パッドに起因する静電容量による CR 時定数を見積もった。等価回路としては、文献[5]等で用いられている構造を参考とした。図 4-2-4 に、採用したポリイミド埋込酸化狭窄型 VCSEL の構造を示す。メサをポリイミドで埋め込み、電極パッドの容量を下げる構造となっている。このような VCSEL 構造において、酸化狭窄層の静電容量は、メサ径、酸化狭窄開口径、及び酸化狭窄層の膜厚に依存する。酸化狭窄開口径は、通常の構造では素子特性の要請から約 3~5μmφ の範囲となる。これにより素子抵抗も影響されるが、ここでは最も高い場合を想定して 300Ω とした。

また、酸化狭窄層の膜厚に関しては、厚くすると静電容量が低減可能であるが、酸化前後の体積変化が大きく歪などの影響が懸念されるため、信頼性の観点からはあまり厚くすることは好ましくない。そこで、ここでは AlAs 層厚 40nm と設定し、CR 時定数を見積もった。得られた CR 時定数のメサ径依存性を図 4-2-5 に示す。メサ径を大きくしていくと、十分な CR 時定数が得られなくなってしまうが、放熱特性・素子抵抗などの観点からはあまり小さ過ぎることは望ましくない。よって、ここではメサ径を 20μmφ と従来よりも小さめに設定した。この時の CR 時定数は、素子抵抗が 300Ω の場合約 11GHz、200Ω では 15.7GHz と見積もられ、10Gb/s 動作に十分な値と考えられる。これに基づいて、GaInNAs 二重量子井戸活性層を用いて、酸化狭窄径が約 5μmφ の 1.27μm 帯の VCSEL 素子を試作し、特性評価を行った。

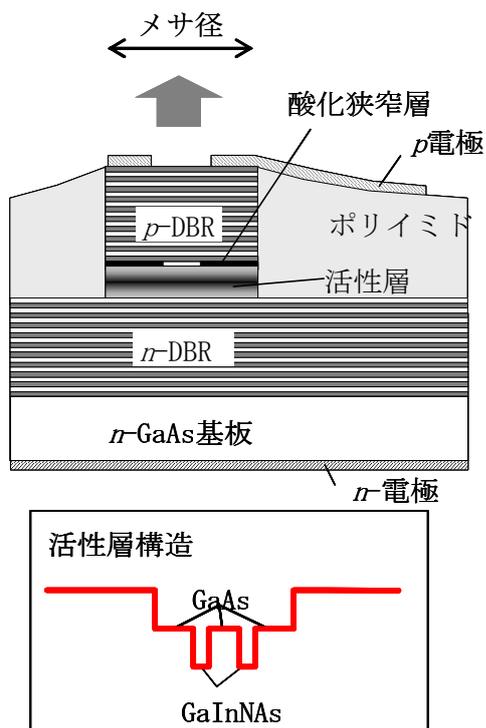


図 4-2-4. ポリイミド埋込 VCSEL 構造

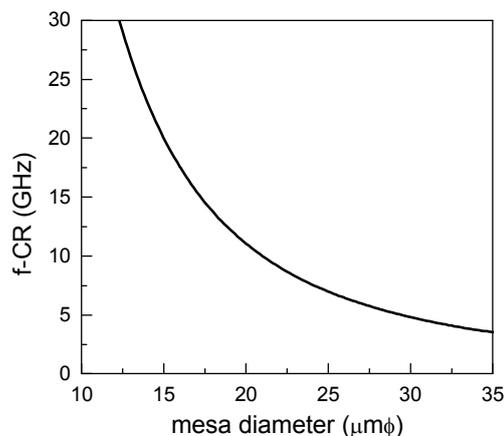


図 4-2-5. CR 時定数のメサ直径依存性

まず本素子の静特性評価を行った。図 4-2-6 に、室温における I-L 特性及び I-V 特性を示す。発振閾値は $I_{th}=0.5\text{mA}$ と、この波長帯の VCSEL としては非常に低い閾値が得られている。スロープ効率は $S_d=0.20\text{W/A}$ 、最大光出力は $P_{max}=0.7\text{mW}$ であった。

図 4-2-7 に、本素子の 5mA 注入時の発振スペクトルを示す。波長は 1.275μm、サイドモード抑圧比は 42.7dB と、良好なシングルモード特性が得られている。

次に、本素子の温度特性について評価を行った。図 4-2-8 に I-L 特性の温度依存性を示す。同図によると、80°C における閾値は $I_{th}=0.8\text{mA}$ と、高温でも 1mA 以下の閾値が得られていることが分か

る。図 4-2-9 に、閾値及びスロープ効率の温度依存性を示す。室温-80℃における特性温度は 92K と見積もられ、100℃ 以上でも CW 発振が確認されており、良好な温度特性が確認された。

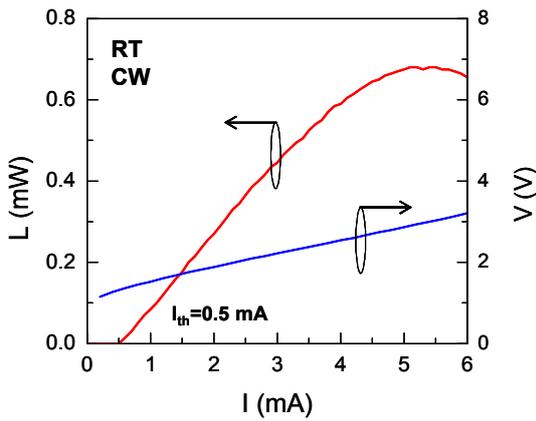


図 4-2-6. GaInNAs-VCSEL の I-L、I-V 特性

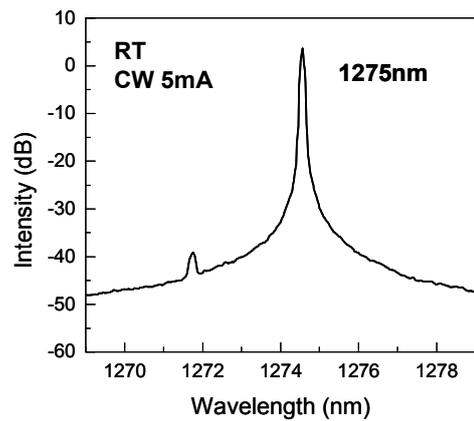


図 4-2-7. GaInNAs-VCSEL の発振スペクトル

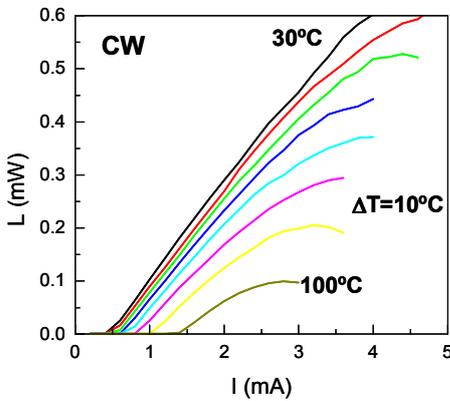


図 4-2-8. GaInNAs-VCSEL の温度特性

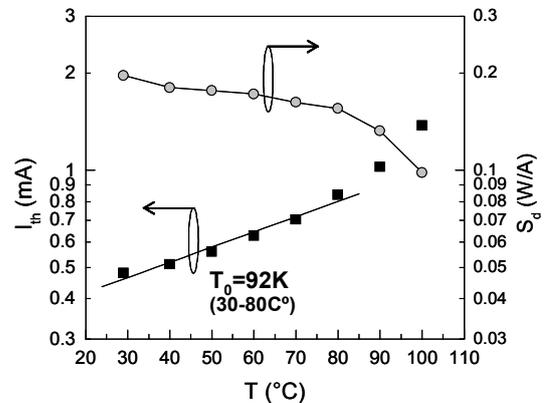


図 4-2-9. 発振閾値とスロープ効率の温度依存性

次に、本素子をチップキャリア上に実装し、高速変調特性の評価を行った。図 4-2-10 に、室温における周波数応答特性を示す。最大 3dB 帯域は、バイアス電流 4mA 注入時に 9.0GHz が得られた。これをフィッティングして得られた CR 時定数は約 11GHz と、ほぼ計算による CR 時定数と一致している。よって 10Gb/s 動作に問題ない素子構造が実現できていることが確認された。

図 4-2-11 に、緩和振動周波数 f_r とバイアス電流値の関係を示す。変調電流効率 Δf_r は、5.6GHz/ $\text{mA}^{0.5}$

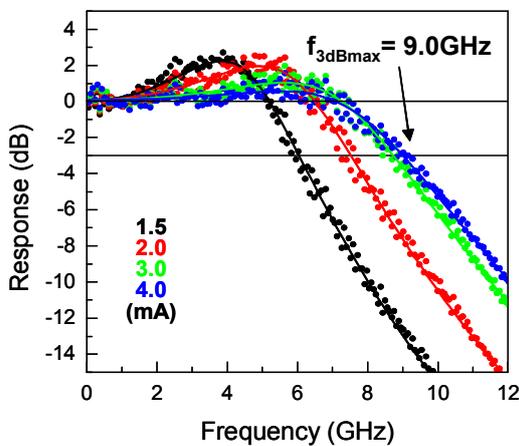


図 4-2-10. GaInNAs-VCSEL の周波数応答特性

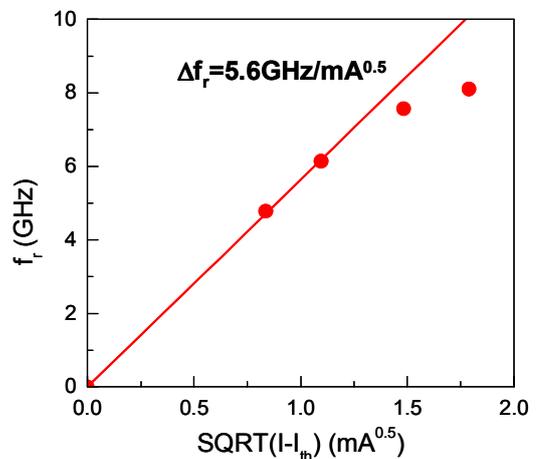


図 4-2-11. 緩和振動周波数の注入電流依存性

$\sqrt{\text{mA}}$ であった。高注入時の直線からのずれは、主として熱飽和に起因するものと考えられる。

図 4-2-12 に、バイアス電流 3.5mA 注入時の、10Gb/s 変調波形を示す。10Gb イーサネットマスク条件を満たす良好なアイ開口が得られており、GaInNAs 活性層を用いた VCSEL 構造において、10Gb/s 変調動作が可能であることが確認された。

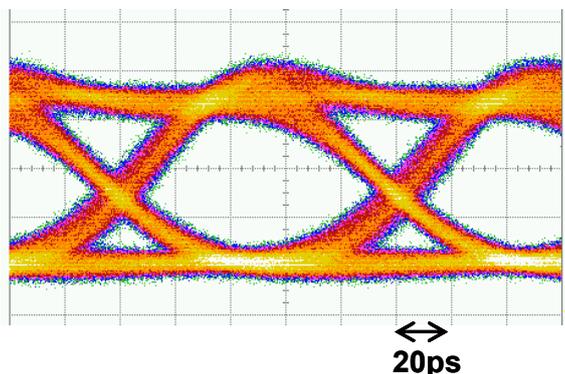


図 4-2-12. GaInNAs-VCSEL の 10Gb/s アイパターン
(波長 1.276 μm)

3) 単一モード高出力化

次に、高出力化について述べる。VCSEL 素子を CWDM 伝送システムに用いるには、パワーバジェットを見積もると約 1.5mW の単一モード出力が要求される。一般に、VCSEL では DFB-LD に比べ高出力を得ることが困難であるが、その理由は次の通りである。VCSEL では、低注入時には基本モードで

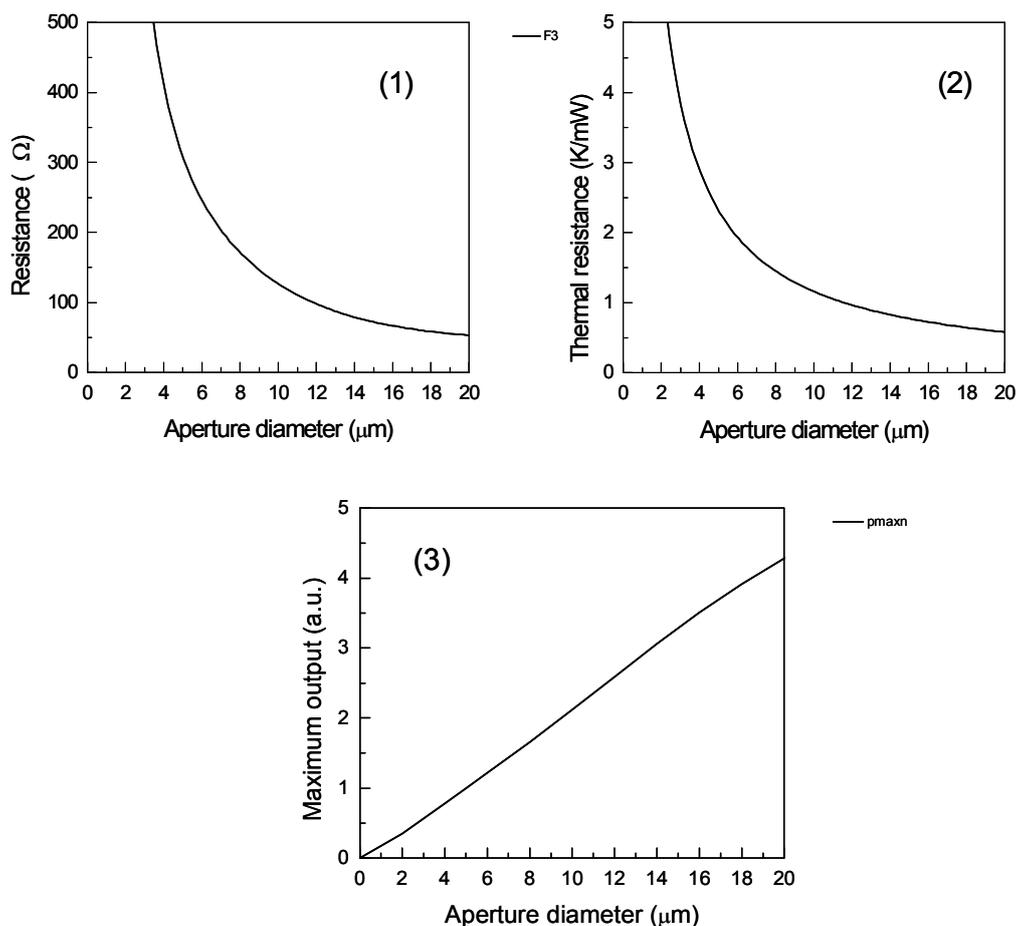


図 4-2-13. VCSEL 特性の酸化狭径依存性
(1)素子抵抗 (2)熱抵抗 (3)最大光出力

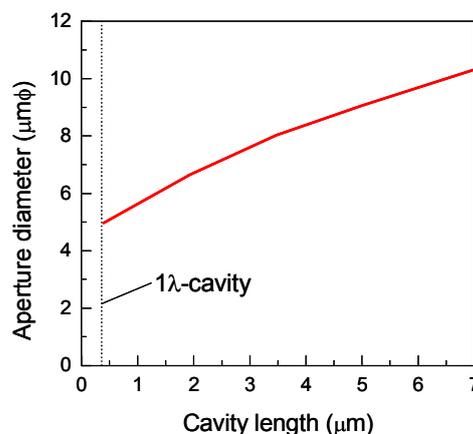
発振するが、注入電流を増すと共に高次横モードの利得が大きくなり多モード発振になってしまう。このような多モード発振を防ぐためには、予め酸化 狭窄径を基本モードのみが存在する大きさ（ $\sim 5\mu\text{m}\phi$ 程度）にしておけば良い。しかし、このように酸化狭窄径を狭めると、素子抵抗及び熱抵抗の増大により素子の発熱による温度上昇を招き、最大出力が制限されてしまう。図 4-2-13 にこの様子を示す。図 4-2-13(1)(2)は、簡単なモデルにおいて得られる、素子抵抗及び熱抵抗の酸化狭窄開口径依存性を示している。これによると、素子抵抗・熱抵抗共に単一モードが得られる領域での影響は非常に大きい。図 4-2-13(3)はこれらの結果に基づいて最大出力を見積もったものである。これによると、出力を改善するためには酸化狭窄径を大きくすることが有効であり、酸化狭窄開口径大きくした上で高次モードの発振を抑制すれば十分な単一モード出力を得られることが分かる。高次モードの発振を抑制するためには、高次モードに対して共振器損失を選択的に大きくするような構造上の設計を施せば良いと考えられる。また、酸化狭窄開口径を大きくすることにより、同一出力時の電流密度が低減するため、素子信頼性についても有利になることが知られている。

3-a) 長共振器構造

このような構造の例としてまず、共振器部の膜厚を従来の1波長厚から厚くしていく長共振器構造について検討を行った。長共振器構造においては、導波構造を持たない共振器部を厚くして高次モードの放射損失を選択的に高め、基本モードと高次モードの選択比を向上させる構造となっている。また、この構造では、VCSELの放射角を非常に狭くすることが可能であるため、ファイバとの結合効率を上げることが可能となる。

VCSELの有効屈折率モデル [6]を用いて、共振器長を従来よりも長くした場合に、横モードが単一モードとなるカットオフ条件を満たす酸化狭窄開口径がどのように変化するかを見積もった計算結果を図 4-2-14 に示す。酸化狭窄層の膜厚は 40nm と固定し、発振波長は $1.3\mu\text{m}$ とした。

図 4-2-14. 単一モードカットオフ酸化開口径の共振器長依存性



これによると、共振器長を厚くしていくとその開口径が大きくなり、図 4-2-13 の結果と合わせ、高出力化に有利であることが分かる。但し、共振器長を厚くすると共に縦モード間隔が狭くなる為、これによるモードホッピングが起こらないように波長設定を行う必要がある。このような点に基づいて設計を行い、実際に共振器長を約 $4.6\mu\text{m}$ 厚と設定したデバイス試作を行った。この場合、通常用いる 1λ 長共振器では、酸化狭窄開口径を約 $4.8\mu\text{m}\phi$ 以下にしなければならないのに対し、共振器長を $4.6\mu\text{m}$ 厚にした素子では約 $8.9\mu\text{m}\phi$ まで拡大することが可能と見積もられる。但し、ここでは GaInNAs 活性層と同様の特性を有すると考えられる、In 組成が同程度の InGaAs 活性層を用いて試作を行った。その場合、発振波長が短波長となるためカットオフ径は、若干小さくなる。

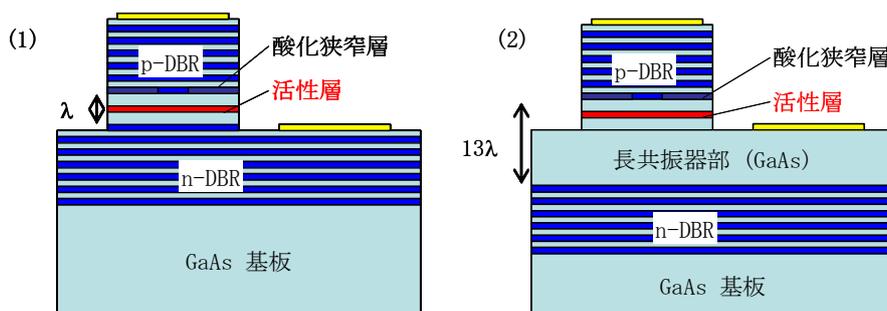


図 4-2-15. 酸化狭窄型 VCSEL 構造
(1)通常構造 (2)長共振器構造

試作を行った、通常の VCSEL 構造及び長共振器 VCSEL 構造の模式図を図 4-2-15 に示す。共振器部の膜厚は、通常構造では 1λ 長とし、共振器中央の光強度のピーク位置に活性層を配置している。一方、長共振器構造では、共振器膜厚を約 $4.6\mu\text{m}$ と厚くして最上部の光強度ピーク位置に活性層を配置した構造となっており、横方向の実屈折率による光閉じこめには活性層直上の酸化狭窄層のみが寄与しているため、長共振器内では高次モードの放射損失が選択的に高まる構造となっている。長共振器部は、吸収損失の影響を最小限とするため、低ドーピングの n 型 GaAs 層で形成した。

まず、同じ酸化狭窄開口径の素子のモード特性を比較し、高次モード抑制効果を調べた。図 4-2-16 に、酸化狭窄開口径約 $6\mu\text{m}$ ϕ の素子の通常構造と長共振器構造の I-L 特性及び I-V 特性を示す。両方の素子において、発振直後のスロープ効率はほぼ同じ 0.22W/A であった。このことから、共振器増加分を構成する GaAs 層における光吸収損失は無視できる値であることが分かる。

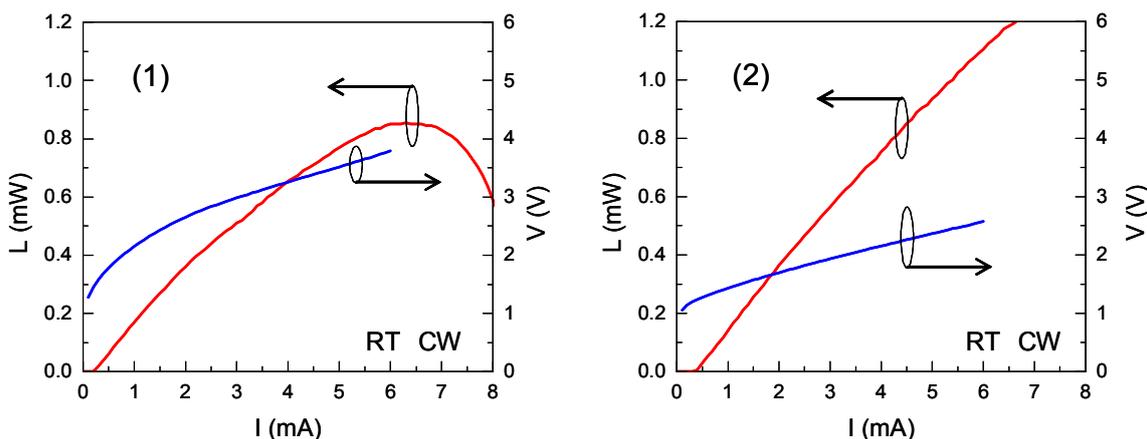


図 4-2-16. 酸化開口径約 $6\mu\text{m}$ ϕ の素子の I-L、I-V 特性
(1)通常構造 (2)長共振器構造

長共振器構造では、活性層直下に DBR 多層膜よりも熱抵抗の低い、厚い GaAs 層が設けられているため、活性層からの発熱が基板側へ逃げやすい構造となっており、放熱特性の改善が期待される。図 4-2-16 の I-L 特性を比較すると、ほぼ同じ開口径であるにも関わらず長共振器構造の方が熱飽和が抑制されている。微分抵抗は通常構造、長共振器構造共に約 250Ω であった。微分抵抗への寄与の大部分は酸化狭窄層を含む p-DBR であるため、両構造において微分抵抗値の差は基本的には生じない。よって、図 4-2-16 における、I-L 特性の熱飽和傾向の相違は、実際に熱抵抗の差になっていると考えられる。そこで、放熱特性の改善を見積もるために、発振波長の注入電流依存性を測定した。図 4-2-17 に、投入電力に対する発振波長のシフト量を示す。発振波長のシフト量は、通常構造で 0.21nm/mW であるのに対し、長共振器構造では 0.098nm/mW と非常に小さい。これは、熱抵抗低減効果と共に、長共振器構造では厚い共振器層内での放熱により層方向で温度分布があることが影響していると考えられる。そこで、最も簡単なモデルとして $6\mu\text{m}$ ϕ の活性層における発熱が 45° の角度で基板側へ広がるとして仮定して温度勾配を見積もると、共振器層全体の温度上昇の平均は、長共振器構造では通常構造の約 0.65 倍となる。よってこれを用いて求めた素子の熱抵抗値は、通常構造では 2.89K/mW であるのに対し、長共振器構造では 1.77K/mW となり、約 40% の熱抵抗低減効果が得られていることとなる。実際の熱分布においては、メサ方向への熱拡散や、DBR 部分でのジュール発熱などの影響も無視できないと考えられるが、I-L 特性の熱飽和抑制効果を説明するにはおおよそ妥当な値である。次に、実際に単一モード動作する場合の素子特性について、通常構造と長共振器構造との場合を比較した。図 4-2-18 に通常構造の約 $4\mu\text{m}$ ϕ 開口径の素子及び、長共振器構造の約 $9\mu\text{m}$ ϕ 開口径の素子の I-L 特性を示す。図 4-2-18 に示す通り、従来構造では最大出力が約 0.8mW であるのに対し、長共振器構造では 2mW 以上の高出力が得られている。よって、長共振器構造においては、酸化狭窄開口径を拡大できることに加え、約 40% 程度の熱抵抗低減効果があり、従来比 2 倍以上の高出力化の効果が確認された。また、この時の微分抵抗は、通常構造では 380Ω であったのが長共振器構造では 160Ω であり、素子抵抗についても $1/2$ 以下に低減できることを確認した。

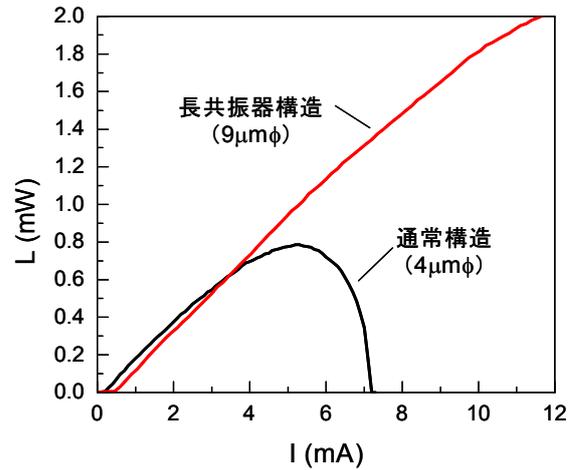
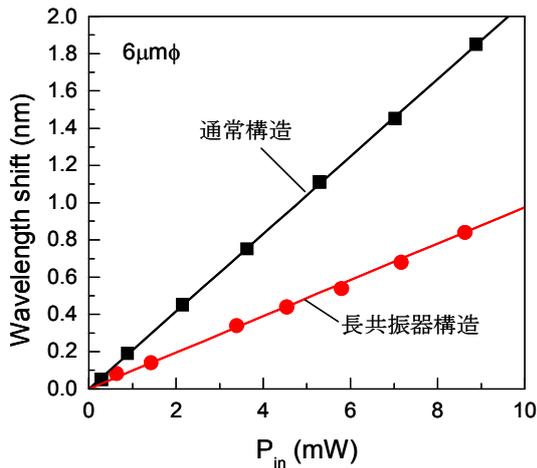


図 4-2-17. 投入電力に対する発振波長のシフト 図 4-2-18. 単一モード VCSEL の I-L 特性
 (1)通常構造 (2)長共振器構造

3-b) モードフィルタ構造

高次モードを抑制するもう一つの方法として、図 4-2-19 に示すようなモードフィルタ構造の検討を行った。このような VCSEL 構造では、基本モードは径の中心部に、高次モードは径のより外側に強い光強度分布を持つという性質がある。よって、例えば図 4-2-19 における領域 A の DBR 反射率を高く保ち、領域 B の DBR 反射率を下げることによって、基本モードと高次モードとの間に共振器損失差をつけることが可能と考えられる。

まず始めに、このようなモードフィルタ構造における高次モードの抑制効果を見積もる為に、酸化狭窄型 VCSEL の横モード特性について検討を行った。酸化狭窄型 VCSEL では、活性層直上の Al(Ga)As 層を選択的に酸化させ電流狭窄層としているが、Al(Ga)As 層は酸化することによって

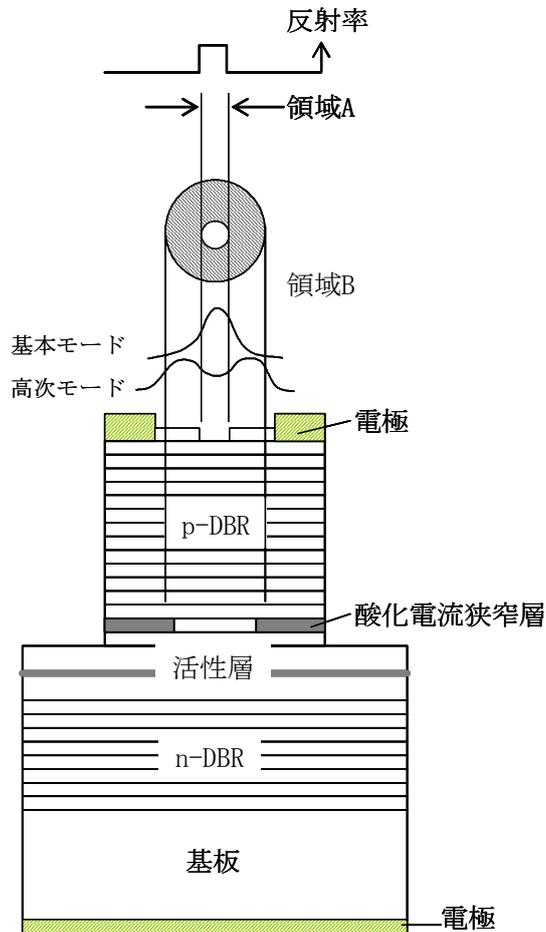


図 4-2-19. モードフィルタ付き酸化狭窄型 VCSEL 構造

絶縁化し屈折率が 1.6 程度と、非酸化領域の屈折率と比較して大きく低減する。よって AlGaAs 酸化層は、電流狭窄層として機能するだけでなく、光を閉じこめる作用も併せ持つ。

このような酸化狭窄型 VCSEL におけるモード特性について、有効屈折率を用いたモデルが提案されている。このモデルにおいては、酸化狭窄開口内部の有効屈折率を n とすると、酸化狭窄開口内部と外部との有効屈折率差 Δn は、酸化狭窄開口内部の共振ピーク波長 λ_0 及び内部と外部の共振ピーク波長差 $\Delta\lambda_0$ を用いて次式で表される [6]。

$$\frac{\Delta n}{n} = \frac{\Delta\lambda_0}{\lambda_0}$$

これにより酸化狭窄開口の内部及び外部との有効屈折率差よりステップ屈折率型光ファイバと同様の導波路を仮定すると、各モードの光強度分布をベッセル関数により表すことができる。この方法を用いて計算された、酸化狭窄型 VCSEL 構造における各モードの光強度分布 (r 方向) を図 4-2-20 (1) (2) (3) に示す。ここで酸化狭窄層の厚みを 40nm とすると、有効屈折率差は約 0.008 と見積もられる。図 4-2-20 (1) (2) (3) は、各々酸化狭窄開口径を $3.5\mu\text{m}\phi$ 、 $5\mu\text{m}\phi$ 、 $8\mu\text{m}\phi$ とした場合を示しており、点線が酸化狭窄開口の界面を示している。(1) に示す開口径 $3.5\mu\text{m}\phi$ の場合は、基本モードしか存在することができず導波路的には単一モードとなっている。

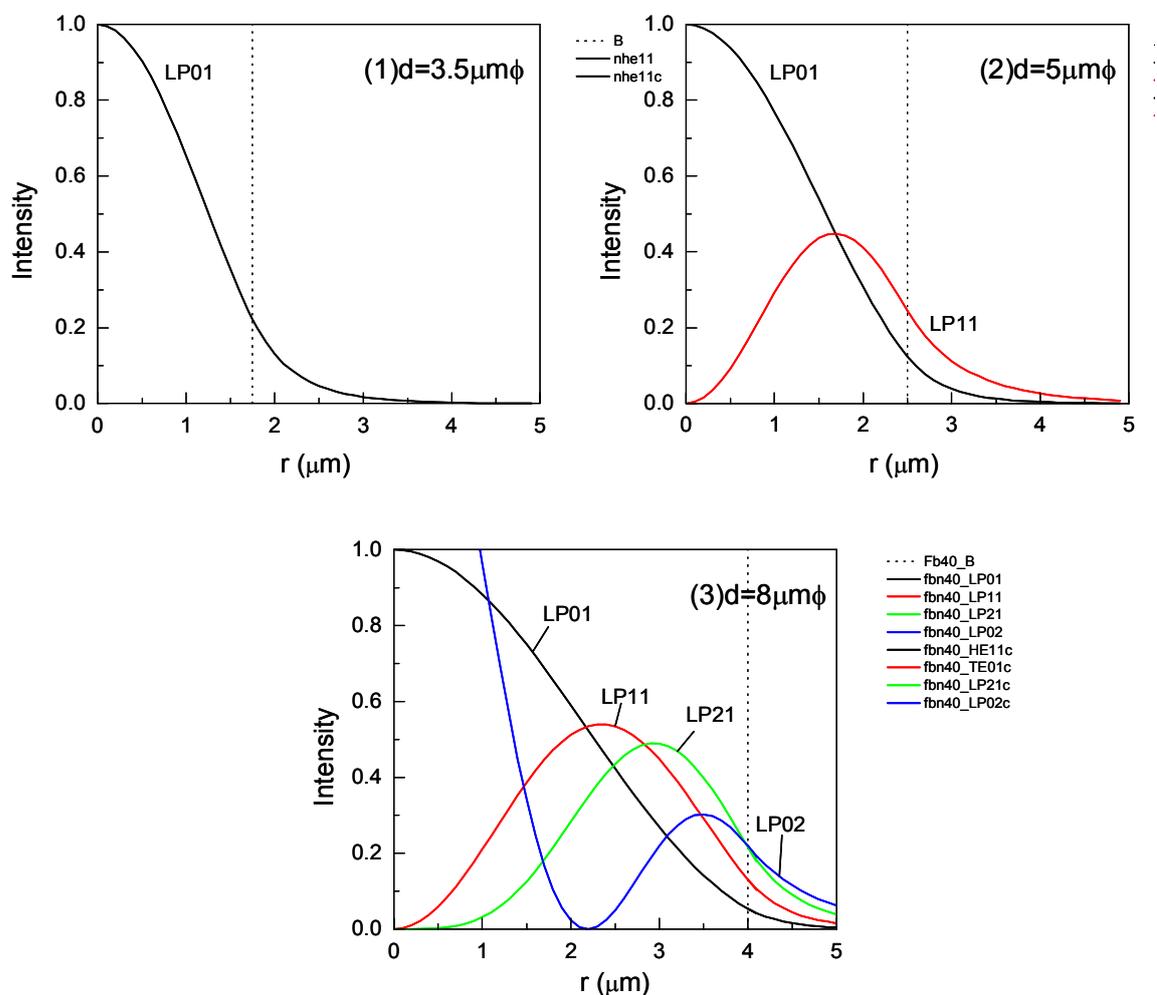


図 4-2-20. 酸化狭窄型 VCSEL 構造における各モードの r 方向光強度分布
酸化開口径(1) $3.5\mu\text{m}\phi$ (2) $5\mu\text{m}\phi$ (3) $8\mu\text{m}\phi$

(2) に示す、開口径 $5\mu\text{m}\phi$ の場合には、基本 LP01 モードの他に、高次の LP11 モードが存在する。LP11 モードは、 r 方向において比較的外側に大きい光強度分布を持っているため、図 4-2-19 に示したようなモードフィルタリング構造により、基本モードより大きい損失を与えることがで

きる。但し、基本モードについても、低反射率のB領域にある程度光強度分布を持っているので、基本モードに対する損失が増加する効果についても考慮しなければならない。更に開口径を $8\mu\text{m}\phi$ と大きくした場合の光強度分布を図 4-2-20(3)に示す。この場合は、LP11 モードに加え、更に LP21 モード及び LP02 モードが存在することが分かる。LP21 モードについては、モードフィルタによって選択的損失を与えることが可能であるが、LP02 モードについては、 r 方向の中心部分にも大きい光強度分布を持つため、モードフィルタ構造が十分機能しなくなる可能性がある。よって、図 4-2-19 のようなモードフィルタ構造を用いる場合、ここでは酸化狭窄開口径を約 $7\mu\text{m}\phi$ 以下にすることが望ましいと考えられる。図 4-2-20(2)によると、開口径を $7\mu\text{m}\phi$ まで拡大することで十分に必要な出力は得られることが分かる。図 4-2-21 に、開口径に対する各モードの分散関係を示す。開口径を増していくと更に存在しうるモード数が増加していく様子が分かる。但し、ここで得られた結果は、AlAs 酸化層による実屈折率のみを考慮したものであり、実際のデバイスにおいては、キャリアの空間的不均一、連続駆動時の発熱による屈折率増加の影響（熱レンズ効果）があることが考えられ、単一モード条件としてはより厳しくなることが予想される。

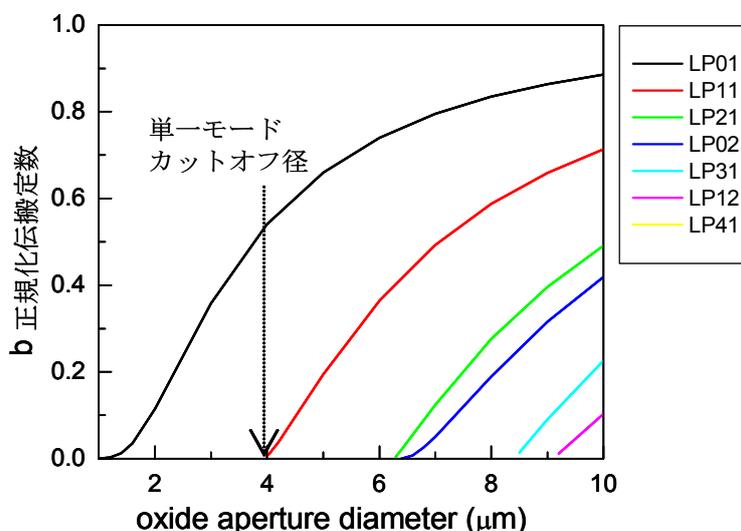


図 4-2-21. 酸化狭窄 VCSEL における固有モードの開口径依存性

次に、ここで得られた光強度分布を用いて、基本モード及び高次モードに対する閾値利得を見積もり、高次モード抑制の選択性のモードフィルタ内径依存性を見積もった。ここで考えているモードフィルタ構造では、図 4-2-22 中の模式図で示すように、中央の領域Aでは通常の VCSEL 構造と同様 Bragg 条件が満たされ高反射率となっているが、外側の領域Bでは更に $\lambda/4$ 長 (0.5 周期分) のモードフィルタ層を形成して反位相条件とし反射率を低下させている。ここで、領域Aの直径をモードフィルタ径と呼ぶこととする。図 4-2-22(1) (2)は、このような構造において酸化狭窄開口径が(1) $5\mu\text{m}\phi$ の場合、及び(2) $8\mu\text{m}\phi$ の場合について、モードフィルタ径を変化させていった場合の、基本モード及び各高次モードの閾値利得の変化を示している。(1)に示す、開口径 $5\mu\text{m}\phi$ の場合には、モードフィルタ径=開口径である $5\mu\text{m}\phi$ から、モードフィルタ径 $4\mu\text{m}\phi$ にすることで、基本モードと高次モードとの利得差を約 1.4 倍まで高めることが可能である。これ以上にモードフィルタ径を小さくしていくと、基本モードに対する損失が大きくなってしまふことが予想される。図 4-2-22(2)に示す開口径 $8\mu\text{m}\phi$ の場合には、基本モードと LP11 モードとの利得差はモードフィルタ径約 $4\mu\text{m}\phi$ で最大となるが、LP21 モードとの利得差が小さくなってしまふ。LP11 モード及び LP21 モードの両方に選択比が最も大きくとれるのはモードフィルタ径約 $5\mu\text{m}\phi$ の場合であるが、この場合も利得差は開口径 $5\mu\text{m}\phi$ の場合と比較して小さく、また基本モードへの損失が大きくなってしまふ。基本モードへの損失が許容できる範囲では、基本モードと LP11 モードとの利得差が開口径 $5\mu\text{m}\phi$ の場合と比較して小さくなってしまふ。このことから、モードフィルタ構造はあまり大きい酸化開口径よりも、比較的小さい酸化開口径の方が適していることが予想される。

以上の結果をふまえて設計を行い、実際にモードフィルタ付き VCSEL 構造を試作し、モード特性について調べた。ここでは GaInNAs 活性層と同様の特性を有すると考えられる、In 組成が同程

度の InGaAs 活性層を用いて評価を行った。

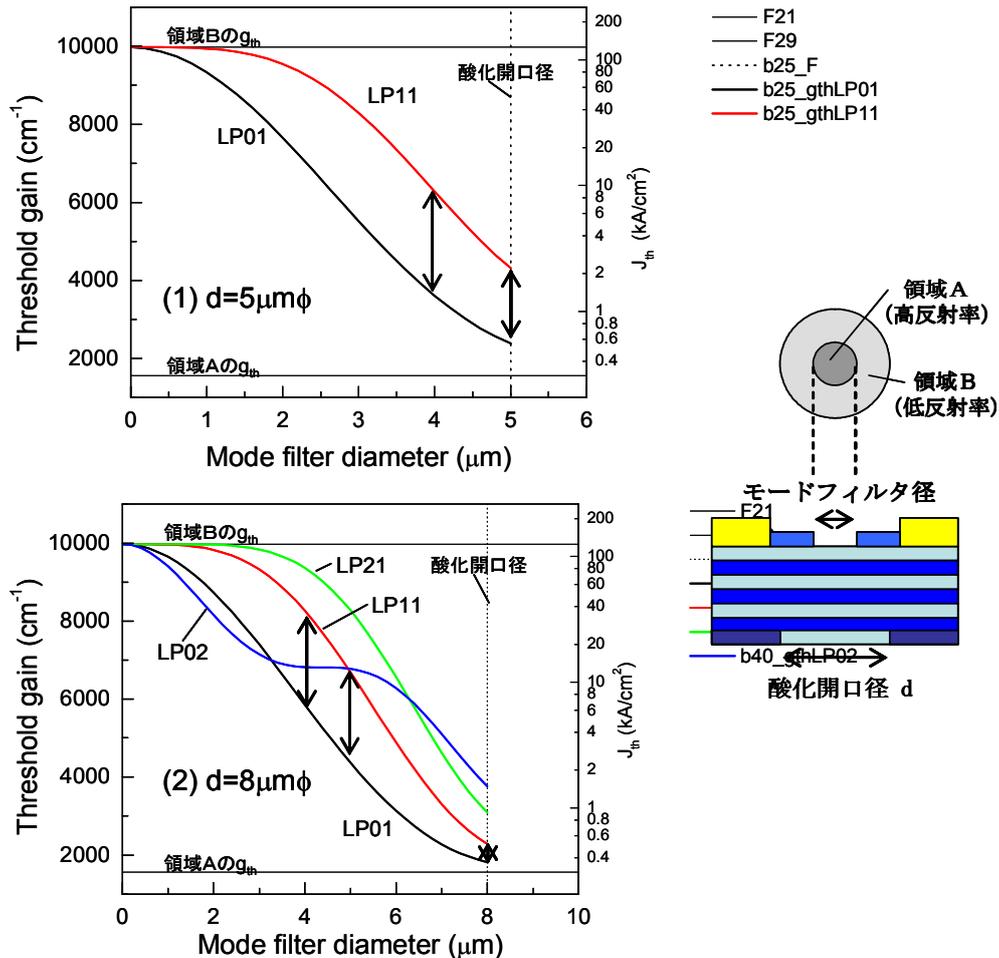


図 4-2-22. モードフィルタ付き酸化狭窄型 VCSEL 構造における各モードの閾値利得のモードフィルタ径依存性
酸化開口径 (1) 5 $\mu\text{m}\phi$ (2) 8 $\mu\text{m}\phi$

図 4-2-23 に、酸化狭窄開口を約 4 $\mu\text{m}\phi$ と一定とし、モードフィルタがない場合、及びモードフィルタ径を 4.5 $\mu\text{m}\phi$ 、3.5 $\mu\text{m}\phi$ と変化させた場合の I-L 特性の比較を示す。モードフィルタ径がない場合と比較して、モードフィルタ径 4.5 $\mu\text{m}\phi$ では I-L 特性に殆ど変化は見られないが、3.5 $\mu\text{m}\phi$ では若干飽和傾向が強まっている。ただこの場合も発振閾値の上昇はほとんど見られず、

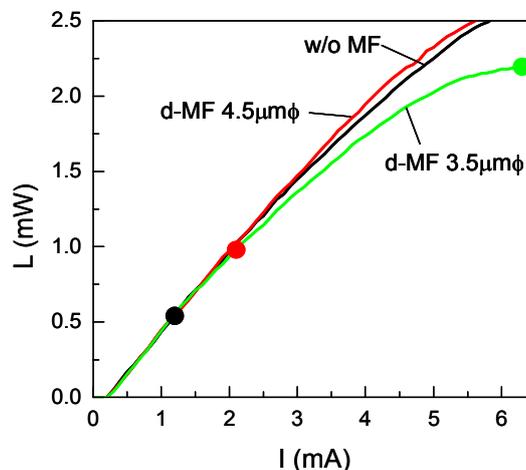


図 4-2-23. モードフィルタ付き酸化狭窄型 VCSEL の I-L 特性 (酸化開口径約 4 $\mu\text{m}\phi$)
●印は最大単一モード出力を示す

全モードに対する損失上昇の影響は、それほど大きくないと考えられる。図 4-2-24 に、これらの素子のスペクトルの注入電流依存性を示す。(1)モードフィルタなしでは、2mA 注入時で高次モード発振が起こり SMSR が 20dB まで低下する。(2)モードフィルタ径 $4.5\mu\text{m}\phi$ では 3mA から高次モード発振が見られ、高次モード抑制効果が見られている。更に(3)モードフィルタ径 $3.5\mu\text{m}\phi$ のた場合には、5mA 注入時でも単一モード発振が得られており、基本モードへの損失が少なくかつ高次モードとの高い選択比が実現していることが分かる。

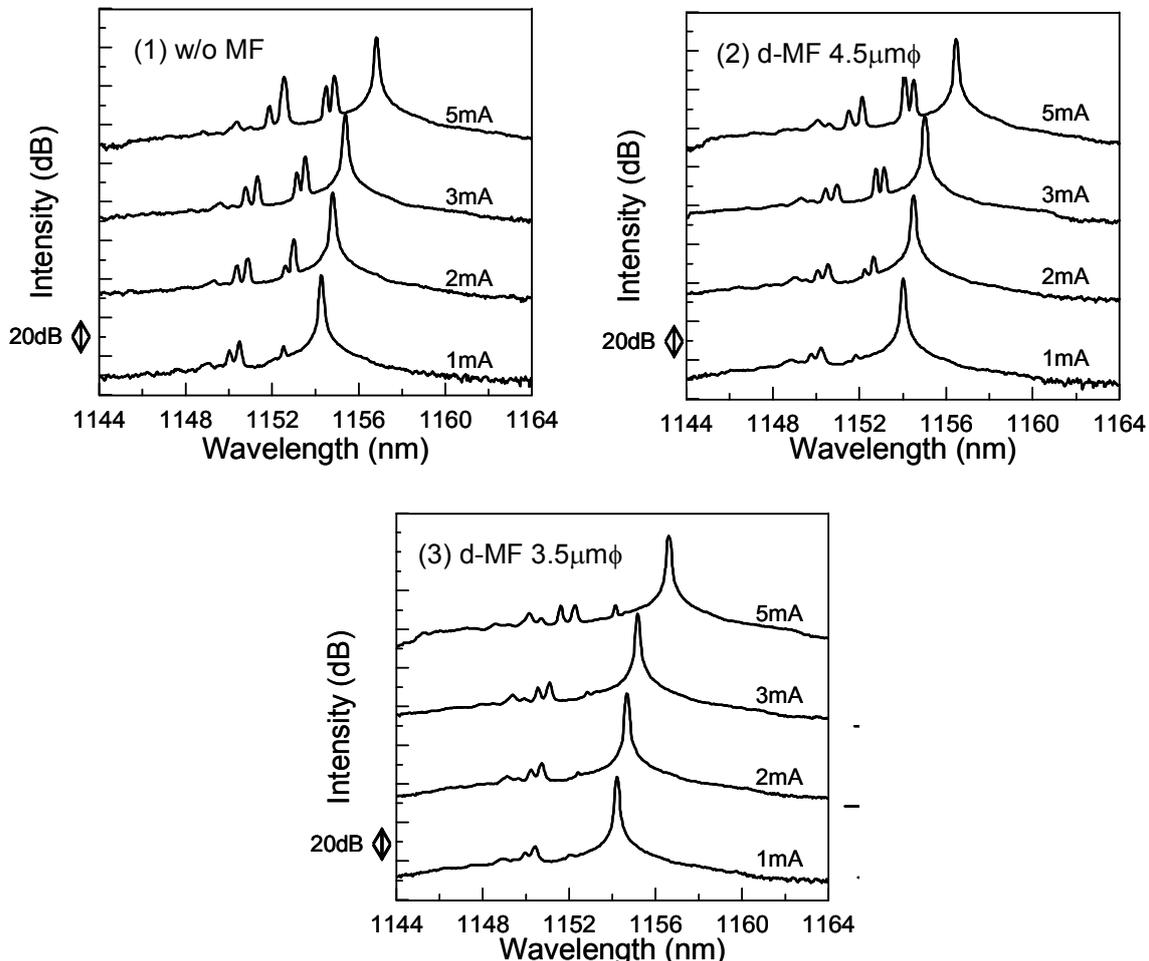


図 4-2-24. モードフィルタ付き酸化狭窄型 VCSEL のスペクトル特性
モードフィルタ径 (1)なし (2) $4.5\mu\text{m}\phi$ (3) $3.5\mu\text{m}\phi$

このようにスペクトル観察より得られた、単一モードが保持されている最大出力を図 4-2-23 に●印でプロットした。これによると、モードフィルタがない場合には、単一モード最大出力は約 0.5mW に留まっているが、モードフィルタ径を小さくしていくと、単一モード最大出力が上昇し、モードフィルタ径 $3.5\mu\text{m}\phi$ では 2.2mW の飽和出力値まで単一モードが保持されていることが分かる。この素子と同様の、モードフィルタがない VCSEL 素子においては、飽和出力まで単一モードが保持されるためには、酸化狭窄開口径を約 $3.5\mu\text{m}\phi$ 以下にしなければならず、この場合の最大出力は約 0.8mW に留まっている。よって、モードフィルタ構造を取り入れることにより、2倍以上の単一モード最大出力改善効果が得られることが確認された。

同様にして、酸化狭窄開口径が約 $5.5\mu\text{m}\phi$ の場合の、I-L 特性のモードフィルタ径依存性を図 4-2-25 に示す。●印は、単一モードが保持されている最大出力値を示している。この場合、モードフィルタがない素子の単一モード出力は更に低くなり、約 0.25mW に留まっている。モードフィルタ径を小さくしていくと、単一モード出力が上がっていき、モードフィルタ径 $3.5\mu\text{m}\phi$ で飽和出力まで単一モードが保持される傾向は、酸化狭窄開口径が $4\mu\text{m}\phi$ の場合と同様である。但し、この場合は飽和出力まで単一モードが保持されるモードフィルタ径 $3.5\mu\text{m}\phi$ では、I-L 特性の飽和が顕著となり、閾値も約 2 倍に増加している。その結果、酸化狭窄開口径が大きいにも関わらず単一モード最大出力は 1.9mW に留まり、開口径 $4\mu\text{m}\phi$ の場合に比べて低くなっている。これは、

モード間利得差の計算で見られたように、酸化狭窄開口径が比較的大きい場合に、基本モードと高次モードとの選択比を大きくしようとする、基本モードについても損失が大きくなってしまいうことに起因すると考えられる。よって、本試作構造においては、単一モード出力を最大にする構造としては、酸化狭窄開口径 $4\mu\text{m}\phi$ 、モードフィルタ径 $3.5\mu\text{m}\phi$ 程度が最適と考えられる。

ここで得られた最適なモードフィルタ径は、計算によって得られた値よりも相対的に大きくなっている。これは、計算においては最も単純化したモデルを用いているためと考えられ、より精度の高いシミュレーションを行うことにより、より現実に即した最適径を求めることができると考えられる。また、最適酸化狭窄開口径が、モードフィルタの有無に関わらず計算値より小さくなっているのは、前述のように実デバイスにおけるキャリア不均一や熱レンズ効果により、単一モード条件が変化している影響と考えられる。

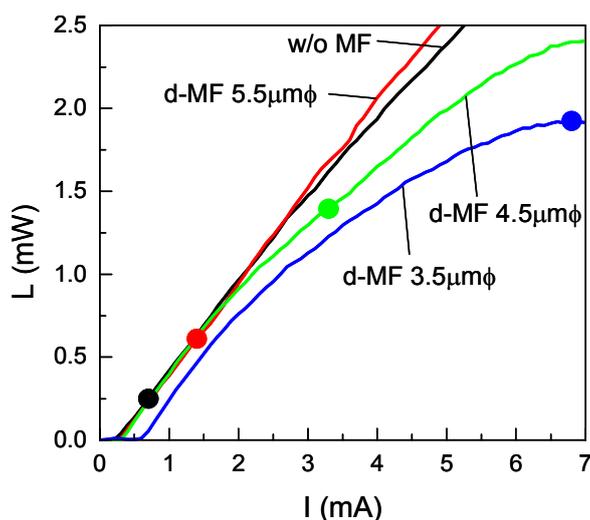


図 4-2-25. モードフィルタ付き酸化狭窄型 VCSEL の I-L 特性 (酸化開口径約 $5.5\mu\text{m}\phi$)
●印は最大単一モード出力を示す

4) VCSELの多波長アレイ化技術

CWDM システムでは異なる波長の光を合分波して伝送を行う。このときの波長間隔は約 $20\sim 25\text{nm}$ が一般的であり、4波の CWDM では光ファイバの零屈折率分散波長である $1.310\mu\text{m}$ を中心に $1.27\sim 1.35\mu\text{m}$ の間に設定される。CWDM システムでは、低コストであることが優先されるため、光源は温調フリーでありかつ波長に対する製造トレランスも大きくとる必要がある。VCSEL を温調フリーで用いる場合、環境温度が $0^\circ\text{C}\sim 70^\circ\text{C}$ で変わると発振波長は約 6nm 動く。波長の製造トレランスを $\pm 3\text{nm}$ 程度とすると、光源側の波長トレランスとして約 12nm 必要である。さらに安価な光合分波器ではチャンネルバンド幅が 12nm 程度の時、光合分波器チャンネル間隔は約 20nm となる。10波をこの波長領域に入れるには、 10°C 巾程度の粗な温調制御を導入し波長間隔を 8nm 程度にする。このように 100Gbps の CWDM 用の光源には、波長 $1.27\mu\text{m}$ から $1.35\mu\text{m}$ まで 8nm 間隔で 10波の多波長 VCSEL アレイが必要で、異なる波長を制御性良く製造することが必要である。

VCSELの多波長アレイを作製するためには、特性の揃った異なる波長の VCSELが必要となり、VCSEL 作製上の波長の制御性も重要である。多波長アレイの作製方法としては、ハイブリッド型 (各波長の VCSEL を各ウエハから切り出してアSEMBルする)、或いはモノリシック型 (各波長の VCSEL がウエハ上に一体でアレイ状に形成されている) のいずれかの方法が考えられる。どちらの手法を用いるにしろ、狙った波長を制御性よく作製することが必要となる。モノリシック型アレイでは、ウエハ上でアレイを形成するため、素子の位置や間隔が精度良く形成されており、モジュールにアSEMBルする工程が短縮できると考えられる。但し、異なる波長の素子を一度にウエハ上に作り込まなければならないため、波長の異なる均一な特性を得ることが比較的難しい、またアレイ単位で歩留まりを確保しなければならないといった素子作製上の問題がある。一方、ハイブリッド型アレイにおいては、個別に作製した VCSEL 素子を各ウエハから切り出してアSEMBルするため、歩留まりの点や素子作製においては比較的容易であるが、モジュール化工程においては、個別の素子を精度良く配置する技術が必要となってくる。これらの技術を、 $1.3\mu\text{m}$ 帯多波長 VCSEL に適用した場合

のメリット及びデメリットを検討した。

VCSELにおいて、特性の揃った多波長アレイを実現するためには、一对の DBR 反射鏡で決定される共振波長と、活性層の利得ピーク波長が一定の波長間隔を保つように、各々独立に精度良く制御することが重要であり、単体 VCSEL においても高度な成長制御技術が要求される。当グループでは、これまでに蓄積された VCSEL 作製技術を用いて、DBR 及び共振ピーク波長をほぼ設計通りに実現する技術が確立されている。また、H14 年度に多波長アレイ実現に必要な活性層が作製可能であることを実証し、単一波長 VCSEL について、その波長制御技術は確立された。但し、各波長の VCSEL がウエハ上に一体でアレイ状に形成されている、モノリシック型多波長アレイの実現については、いくつか問題点があることが分かった。まず、活性層の成長について、活性層品質は、基板温度等の成長条件に比較的敏感であることが見出され、想定する CWDM システムのように作製する波長範囲が広い場合には、短波長側と長波長側でそれぞれにおいて最適となるように制御する必要があると考えられる。更に多波長アレイの一括モノリシック成長においては、活性層波長に加え、DBR 及び共振ピーク波長も同時に制御する必要があり、これらを一括で成長するためには、例えば気相成長における選択成長技術（ウエハの一部にマスクをして成長領域を限定し成長部の層厚、組成等を制御する）を利用することが考えられる [7]。

しかし、活性層品質を維持し、かつ波長制御を正確に行えるような条件を見出すのは非常に困難かつ、トレランスの小さい複雑な条件となってしまうことが考えられ、GaInNAs 活性層を用いる場合には、モノリシックアレイの作製は量産には向かず、十分なアレイ歩留まりも得られないことが想定される。また、VCSEL においては、数 μm 厚の DBR 成長の要請から、ウエハに若干の反りが発生するため、1 チップアレイの一括実装において調芯時の問題や、信頼性への影響が発生する可能性があるという懸念がある。

一方、ハイブリッド型アレイにおける課題は、実装時に個別の素子を精度良く配置することである。これについては、赤外線モニタを用いた目合わせ実装技術、或いは半田バンプによるセルフアライメント技術 [8] を利用することにより、想定している CWDM のような、チャンネル数が多くない場合にはパッシブアライメントによる実装が十分可能と考えられる。VCSEL 素子では、その放射角が通常の端面発光型 LD に比べて小さいため、実装トレランスも比較的大きいことが有利となっている。また、ハイブリッド型アレイにおいては、波長間隔や素子間隔を任意に決定することができる。よって、現状では、ハイブリッド型（各波長の VCSEL を各ウエハから切り出してアSEMBルする）の方が有利と判断した。

4-2-3 10Gbps-4波 CWDM 伝送実証

1.3 μm 帯の CWDM では、温度制御が不要な 20-25nm の波長間隔とし、中心波長として 1.27~1.35 μm の波長帯を用いることが提案されている。しかし、GaInNAs 活性層を用いた 1.3 μm 帯 VCSEL においては長波になるほど窒素組成増に伴う結晶品質劣化が大きいため、1.34 μm での発振は得られているものの、実用上 10Gb/s 動作は困難と考えられる。一方、短波長側については、通常のシングルモードファイバ(SMF)のカットオフ波長が 1.26 μm 以下であることから、最短波長が 1.27 μm とされているものの、主な商用 SMF ではカットオフ波長は 1.2 μm 付近になっており [9]、また短波長ほど VCSEL 特性は良くなる為、損失増の影響は小さいと考えられる。そこで、1.25、1.27、1.29、1.31 μm の 4 波長の VCSEL を用いて、10Gb/s×4 波の CWDM 伝送を検討した。

1) VCSEL-TOSA の試作検証

今回製作した VCSEL-TOSA の構造と写真を図 4-2-26 に、また TOSA 回路図を図 4-2-27 に示す。この TOSA の特長は、フレキシブル基板プラットフォームを用いている点と、シングルモードファイバ直結型である点にある。具体的には、VCSEL、バイアスティ用インダクタ、電源安定化のためのコンデンサは全てフレキシブル基板上に搭載され、VCSEL 変調用の高周波信号は、フレキシブル基板上のマイクロストリップライン (MSL) を通じて VCSEL の n 側につながっている。VCSEL は表面出射型であり、フレキシブル基板裏面方向にレーザ光が射出されるようにフリップチップ実装されている。フレキシブル基板は TOSA ホルダ (5.2mm 角) に固定されている。インピーダンス整合用の抵抗 (100 Ω) を挿入する場合は、VCSEL の p n 接合と並列に、VCSEL 直近で実装される (図 4-2-27)。モニタ PD は、VCSEL 裏面レーザ出力をモニタするように、VCSEL 裏面に対向して TOSA キャップに実装され、導通用チップを介してフレキシブル基板配線につながっている (図 4-2-26)。VCSEL と

SMF との光結合は、ファイバスタブ構造を持つフェルール (LC タイプ) との直接結合である。ファイバスタブ構造は、 $100\mu\text{m}$ 長さ (=フレキシブル基板厚さ) の SMF がフェルールのセラミックスから突出したものである。フレキシブル基板には SMF を差し込むために $\phi 200\mu\text{m}$ の開口が設けられている。部品の作成精度から、SMF 先端と VCSEL 発光面は自動的に $20\pm 10\mu\text{m}$ の距離にセットされる。SMF 先端部でのレーザ光反射を抑制するために、VCSEL と SMF の間はファイバと同じ屈折率の透明樹脂が充填されている。これらの構造により、SMF への高効率結合、及び、良好な 10G 高周波特性が期待できる。

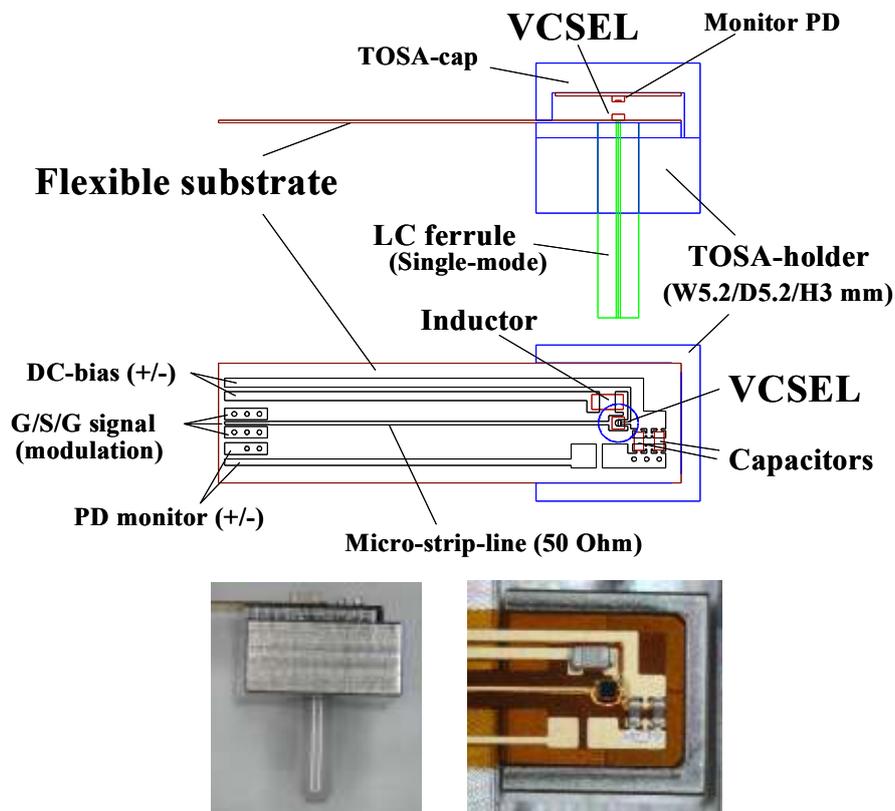


図 4-2-26 TOSA の構造図と写真

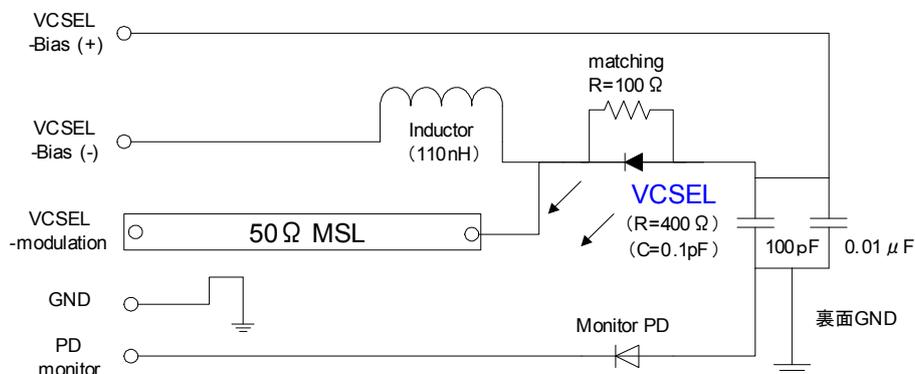


図 4-2-27 TOSA 回路図

次に、GaInNAs-VCSEL 素子を搭載して 10Gbps 変調実験を行った。図 4-2-28 に、波長 1.25、1.27、1.29、1.31 μm -VCSEL を搭載した各 TOSA の変調バイアス (DC) 時の発振スペクトルを示す。いずれもサイドモード抑圧比 (SMSR) 35dB 以上の単一モード発振が得られていることが分かる。また、図 4-2-29 には、1.27 μm 素子における 10Gbps 変調波形を示す。アイ開口が確認でき、10Gbps-CWDM 伝送に向けた多波長 VCSEL-TOSA を実証した。

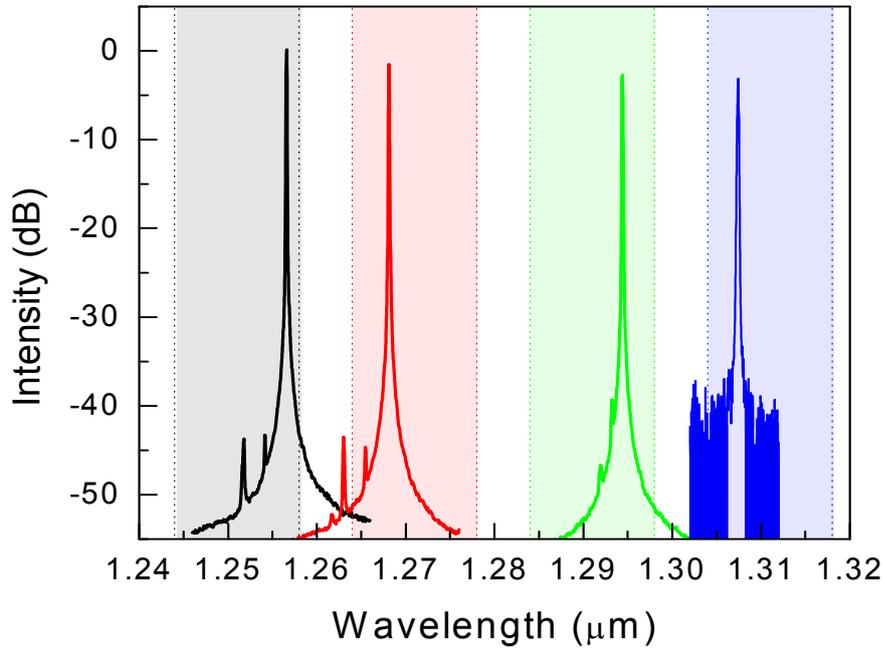


図 4-2-28 発振スペクトル 変調バイアス(DC)

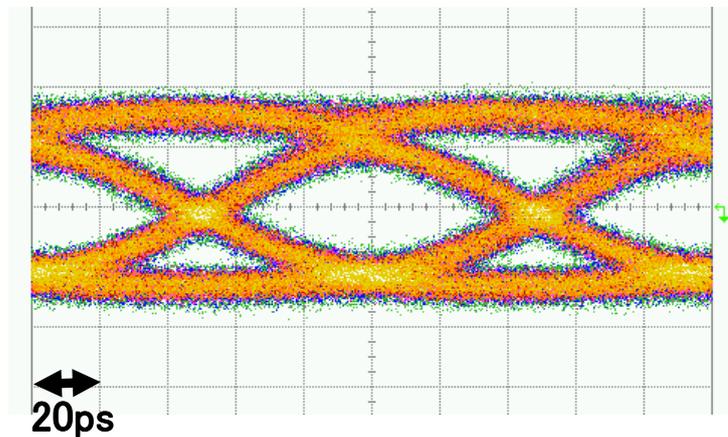
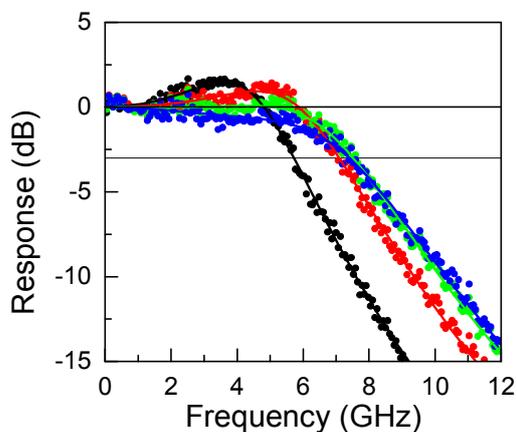


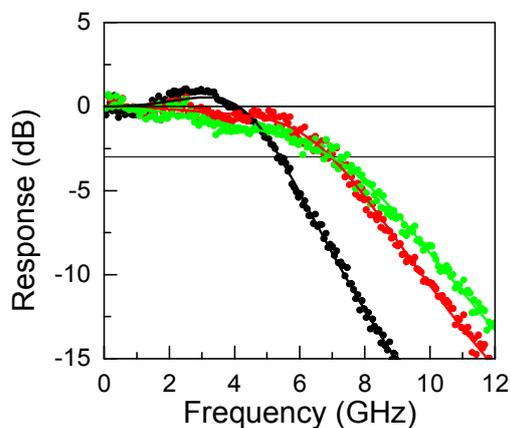
図 4-2-29 VCSEL-TOSA の変調波形
(1.27 μm 10.3125Gbps、BTB)

c) CWDM 伝送実証

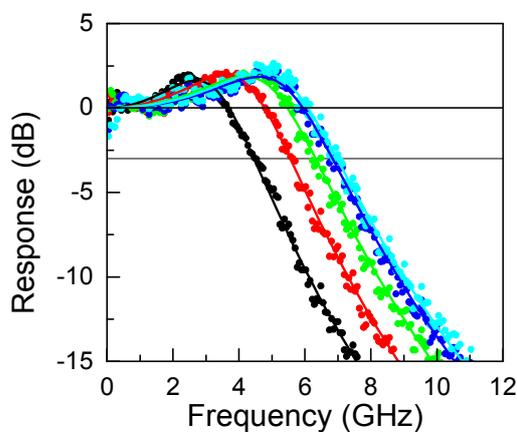
CWDM (Coarse Wavelength-Division Multiplexing: 低密度波長分割多重) 伝送向け $1.3\ \mu\text{m}$ 帯多波長面発光レーザ (VCSEL) として、VCSEL-TOSA 試作時と同様に、波長 1.25 、 1.27 、 1.29 、 $1.31\ \mu\text{m}$ 帯の 4 波長 VCSEL を作成した。VCSEL-TOSA 試作において、長波長側の 1.29 及び $1.31\ \mu\text{m}$ 素子の帯域が 5GHz 程度に留まっていたため、活性層の歪み制御をより厳密に行い、3QW 化 (従来 2QW) により微分利得向上を図った。その結果、図 4-2-30 (c) (d) に示すように、 1.29 、 $1.31\ \mu\text{m}$ 帯素子においても、 7GHz 以上の帯域を得るに至った。



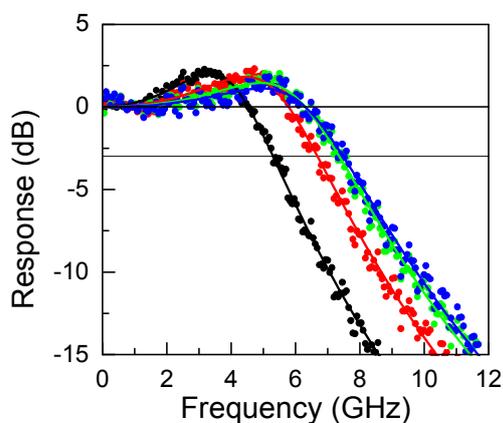
(a) $1.25\ \mu\text{m}$ 帯素子
($f_{\text{max}} = 7.5\ \text{GHz}$ 、 $I_b = 2.0\text{-}5.0\ \text{mA}$)



(b) $1.27\ \mu\text{m}$ 帯素子
($f_{\text{max}} = 7.0\ \text{GHz}$ 、 $I_b = 1.0\text{-}3.0\ \text{mA}$)



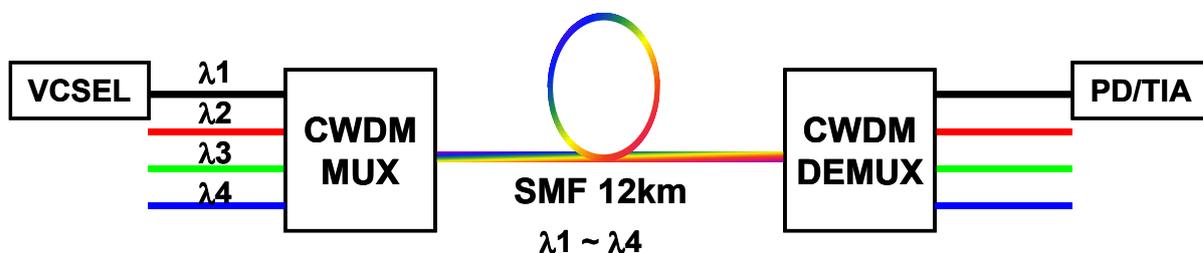
(c) $1.29\ \mu\text{m}$ 帯素子
($f_{\text{max}} = 7.0\ \text{GHz}$ 、 $I_b = 4.0\text{-}8.0\ \text{mA}$)



(d) $1.31\ \mu\text{m}$ 帯素子
($f_{\text{max}} = 7.5\ \text{GHz}$ 、 $I_b = 4.0\text{-}7.0\ \text{mA}$)

図 4-2-30 各波長帯の VCSEL 帯域

CWDM 合分波伝送実験系として、図 4-2-31 に示す構成を準備した。合分派器は、各波長帯に透過領域（窓）を有する誘電体波長フィルタを用いて製作し、各波長帯における挿入損失は合計で 2.2-2.5dB であった。また、シングルモードファイバ SMF は 12km で行い、その伝送損失はおよそ 4.0-4.9dB と見積もった。図 4-2-32 に、各波長 VCSEL の変調バイアス (DC) 時の発振スペクトルを示す。いずれもサイドモード抑圧比 (SMSR) 40dB 以上での単一モード発振が得られており、図 4-2-28 に比べて、特に 1.31 μm 素子において活性層 3QW の効果が得られていることが分かる。



	波長 (nm)	合分波損失(dB)	SMF10km 損失(dB)
CH1	1251	2.5	4.0
CH2	1271	2.2	3.77
CH3	1291	2.5	3.54
CH4	1311	2.4	3.31

図 4-2-31 CWDM 合分波伝送実験系と各損失

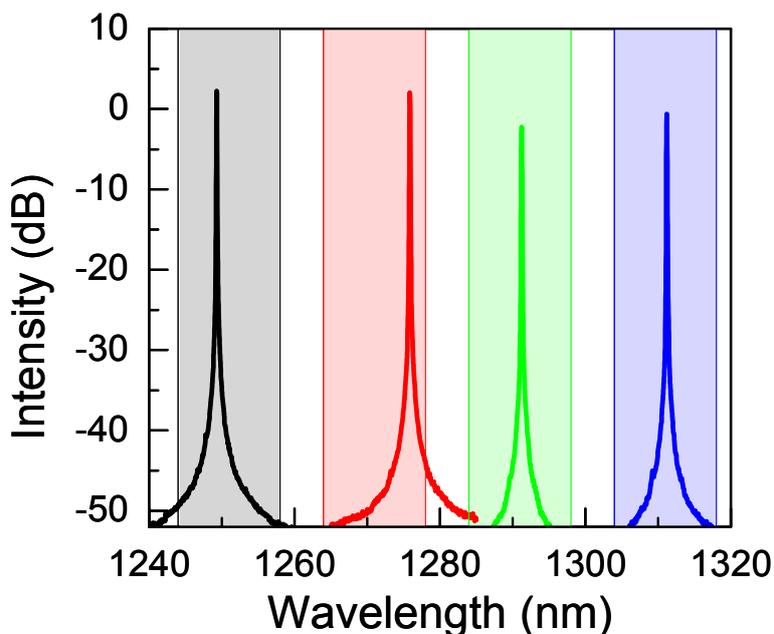


図 4-2-32 発振スペクトル 変調バイアス(DC)

図 4-2-33 に、これらの VCSEL の、(a) Back-To-Back、及び(b) 合波-12km SMF 伝送-分波後の 10.3125Gb/s アイパタンを評価した結果を示す。各波長帯とも、12km 伝送において 10Gbps 動作を実証できた。GaInNAs(Sb)-VCSEL において、実波長 $1.3\mu\text{m}$ 以上で SMF 伝送後の 10Gb/s 動作を確認したのは、他社を含めて初めての成果である。また、当然の事ながら、10Gbps での 4 波 CWDM 伝送実証も世界初となる。

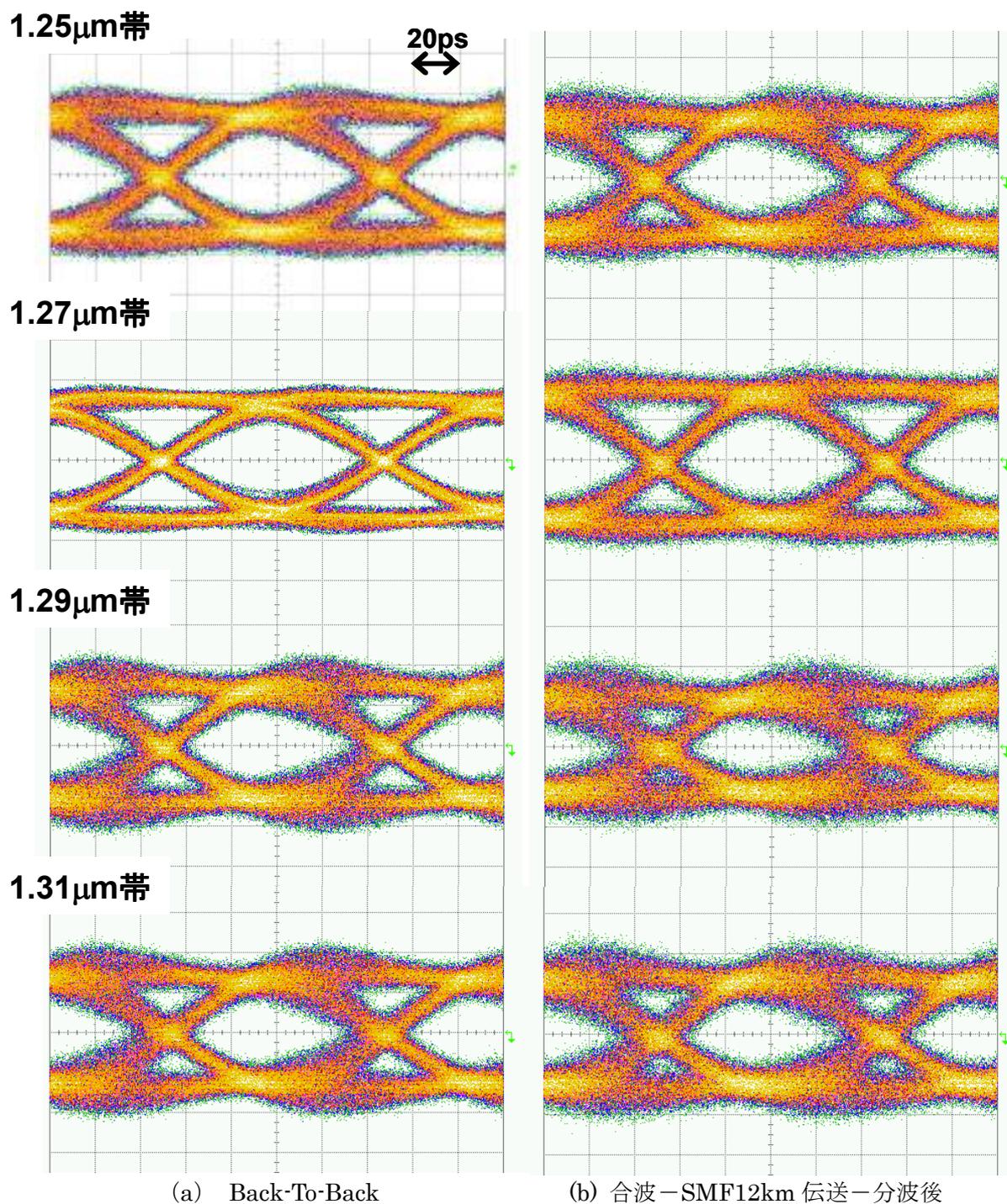


図 4-2-33 4 波長 VCSEL の変調波形 (10.3125Bbps)

4-2-4 まとめと課題

最終目標である $1.3\mu\text{m}$ 帯 VCSEL を用いた CWDM (Coarse Wavelength Division Multiplexing:低密度波長分割多重) 伝送検証に関し、 1.25 、 1.27 、 1.29 及び $1.31\mu\text{m}$ 帯 VCSEL 素子を用い、 12km - 10Gbps 伝送を実証した。各年度の成果をまとめると以下の通りである。

平成 14 年度は、窒素組成が従来よりも大きい GaInNAs 活性層の高品質化を行い、発振波長 $1.34\mu\text{m}$ において、室温での低閾値 VCSEL 発振 ($I_{\text{th}}=2.7\text{mA}$) を実現した。この値は、現在においても世界トップレベルにある。これにより、CWDM に必要な波長帯域を確保するめどを得た。

平成 15 年度は、上記 GaInNAs 活性層 VCSEL 素子において、システム要求を満たすデバイス特性を実現するための技術開発を行った。まず要求される変調特性として、CWDM で $40\sim 100\text{Gbps}$ のトータルスループットを得るためにはチャンネル当たり 10Gb/s での動作が必要となる。それに対し、波長 $1.275\mu\text{m}$ の素子において 10Gb/s 変調動作を実現し、 10Gb イーサネットマスクを満たす良好なアイ開口を確認した。次に、光出力としては伝送パワーバジェットを見積もると、約 1.5mW のシングルモード出力が要求される。そこで高次モード抑制構造 (長共振器構造、モードフィルタ構造) の素子を設計試作し、InGaAs 活性層を用いた VCSEL において従来比 2 倍以上の高出力化を実現し、その構造の有用性を確認した。

最終年度となる 16 年度は、VCSEL 特性改善のために、さらに GaInNAs 活性層の成長条件の最適化、特に組成制御を厳密化し、 1.29 、 $1.31\mu\text{m}$ 帯素子活性層の 3 QW 化を行った。これにより利得向上及び変調帯域の改善が得られた。上記の成果を元に、シングルモードファイバ直接結合型 VCSEL-TOSA (Transmitter Optical Sub-Assembly) を開発し、また 10Gbps -4 波 CWDM 伝送実験を行い、すべての波長において 10Gbps - 12km 伝送を実現した。この成果は世界初である。

上記により、本サブテーマの当初の目標を達成した。

一方、実用化の観点から、VCSEL 素子に課題が 2 点残る。生産再現性と信頼性である。活性層材料である GaInNAs は、MOVPE 成長法としては比較的低温で作製するため、最適成長温度のトレランスが小さい。N 含有材料に特徴的な結晶欠陥の導入や増殖に関しても未解明な点が多い。実験で得られた成果は、研究所レベルの生産における結果であり、製品化に向けて大規模生産を検討する場合、より厳密な結晶成長制御に留意する必要がある。信頼性に関しても同様に、GaInNAs 材料の安定性、さらに大量生産時の素子信頼性は未検証であり、今後の検討が必要である。

4-3 総括

光 I/O 内蔵型スイッチ LSI モジュールの研究開発においては、 10Gbps/port の光 I/O 内蔵型クロスポイントスイッチ LSI モジュールを開発し、これらをスイッチボード上に複数個実装するとともに、簡易筐体の実装し、スイッチング動作を確認した。今後、ルータ、サーバ、ストレージ領域での大容量データ伝送の要求が増大することは必至であり、本研究開発を通して確立した光インターコネクションモジュール技術を早期に実用化し、装置内やバックプレーンのデータ伝送の高速大容量化を実現することが必要である。そのため、今後は、モジュール信頼性の確保、さらなる低コスト化構造の検討を行っていく。

$1.3\mu\text{m}$ 多波長 VCSEL の研究開発においては、 10Gbps - 1.25 、 1.27 、 1.29 及び $1.31\mu\text{m}$ 帯 VCSEL 素子を開発し、当初の目標である $1.3\mu\text{m}$ 帯 VCSEL を用いた CWDM (Coarse Wavelength Division Multiplexing:低密度波長分割多重) 伝送 (12km) を実証した。波長 $1.31\mu\text{m}$ 帯での 10Gbps -SMF 伝送 (実験) をはじめ、この 4 波 CWDM 伝送実証は、GaInNAs (Sb) 系 VCSEL において世界初の成果である。

これらの結果は、GaInNAs-VCSEL 素子特性の改善に負うところが大きい。単体素子の改善設計として、GaInNAs 活性層の成長条件の最適化、微分利得拡大の素子設計を行い、「長波長化」「高速化」「大出力化」を図った。

今後、実用化に向けて、生産性向上及び信頼性検証が必要である。

5 参考資料・参考文献

- [1] 加美 他, 2002 信学会総合大会, C-3-42.
- [2] 山本 他, 2003 年信学会ソサイエティ大会, C-3-126.
- [3] 佐々木 他, 2003 信学会ソサイエティ大会, C-3-127.
- [4] 加美 他, 電子情報通信学会技術報告, NS2004-234, vol.104, No.689, pp189-192, 2005.
- [5] Dieter Wiedenmann, Roger King, Christian Jung, Roland Jäger, Rainer Michalzik, Peter Schnitzer, Max Kicherer, and Karl J. Ebeling, "Design and Analysis of Single-Mode Oxidized VCSEL's for High-Speed Optical Interconnects," *IEEE J. Select. Topics Quantum Electron.*, vol. 5, pp. 503-511, 1999.
- [6] G. R. Hadley, "Effective index model for vertical-cavity surface-emitting lasers," *Opt. Lett.*, vol. 20, pp. 1483-1485, 1995.
- [7] T. Tsuruoka, T. Okuda, Y. Muroya, N. Suzuki, K. Mori, and T. Nakamura, "4-Channel DFB-LD Array for 1.3- μ m CWDM Systems," OECC/IIOC2001, pp.632-633, 2001.
- [8] I. Ogura, K. Kurihara, S. Kawai, M. Kajita, and K. Kasahara, "A Multiple Wavelength Vertical-Cavity Surface-Emitting Laser (VCSEL) Array for Optical Interconnection," *IEICE Trans. Electron.*, vol.E-78-C, pp.22-27, 1995.
- [9] F. Koyama et al. "Data Transmission Over Single-Mode Fiber by Using 1.2- μ m Uncooled GaInAs- GaAs Laser for Gb/s Local Area Network", *IEEE Photon. Technol. Lett.* **12**(2000)125

5-1 研究発表・講演等一覧

<研究論文>

- ①Mitsuki Yamada et al, "Low-threshold Operation of 1.34- μ m GaInNAs VCSEL Grown by MOVPE", *IEEE Photonics Technology Letters*(2005.5.1)

<外国発表予稿等：査読あり>

- ②Kazuhiko Kurata, Ichiro Hatakeyama, Kazunori Miyoshi, Takanori Shimizu, Jun'ichi Sasaki, Mitsuru Kurihara, and Keisuke Yamamoto "Opto-Electronics Packaging Techniques for Interconnections," LEOS(Lasers & Electro-optics Soc) Ann meeting. (2003.10.26)
- ③Ichiro Hatakeyama, Kazuhiko Kurata, Kazunori Miyoshi, Takanori Shimizu, Jun'ichi Sasaki, Mitsuru Kurihara, and Keisuke Yamamoto "Optoelectronics Packaging Techniques for Interconnections," *IEEE Systems Packaging Japan Workshop.* (2004.2.2)
- ④Kazunori Miyoshi, Kazuhiko Kurata, Ichiro Hatakeyama, Takanori Shimizu, Jun'ichi Sasaki, Mitsuru Kurihara, and Keisuke Yamamoto "A compact-size 10.3125Gbps 4-channels Optical interface module for system LSI module with optical I/Os", OFC (2004.2.22)
- ⑤Ichiro Hatakeyama et al, "A System LSI Package with Optical I/O Interfaces for High-speed Interconnections", OECC/COIN2004 (2004.7.12)
- ⑥Kazunori Miyoshi et al, "A System LSI Package with Optical I/O Interfaces for High-speed Interconnections", VLSI Packaging Workshop /IEEE (2004.11.30)
- ⑦Jun'ichi Sasaki et al, "PETIT: A Compact 40Gb/s Optical Interface Module for Multi-terabit Backplane Interconnects", OECC2005(2005.7.4)

<収録論文>

- ⑧畠山 意知郎, 三好 一徳, 樋野 智之, 清水 隆徳, 佐々木 純一, 山本 圭介, 栗原 充, 田中英樹, 蔵田 和彦, "光 I/O 内蔵システム LSI モジュール," *信学技報* Vol. 103, No. 523, pp. 65-68. (2003.12.18)
- ⑨畠山 意知郎 他7名, "光 I/O 内蔵システム LSI モジュールによる高速光インターコネクション", 応用物理学会 微小光学/システムフォトンクス研究会合同研究会(2004.7.1)
- ⑩三好 一徳 他9名, "新光結合系による光 I/O 内蔵システム LSI モジュールの特性向上", 電子情報通信学会 第5回集積光デバイス研究会(2004.7.23)
- ⑪山田 みつき 他6名, "1.34 μ m帯 GaInNAs 面発光レーザの低閾値発振", 電子情報通信学会

<学術解説等>

- ⑫ 畠山 意知郎 他5名, "光 I/O 内蔵システム LSI モジュールによる高速光インターコネクション", 光技術コンタクト(日本オプトエレクトロニクス協会)(2004. 8. 20)
- ⑬ 畠山 意知郎 他7名, "高速インターコネクションを実現する光モジュール技術—光 I/O 内蔵システム LSI モジュール—", 月刊オプトエレクトロニクス 1月号(2004. 12. 31)

<一般口頭発表>

- ⑭ 畠山 意知郎, 三好 一徳, 樋野 智之, 清水 隆徳, 佐々木 純一, 山本 圭介, 栗原 充, 田中英樹, 蔵田 和彦, "光 I/O 内蔵システム LSI モジュール(1) モジュール構成と設計指針," 2003年電子情報通信学会ソサイエティ大会 C-3-123. (2003. 9. 23)
- ⑮ 樋野 智之, 三好 一徳, 畠山 意知郎, 佐々木 純一, 清水 隆徳, 山本 圭介, 栗原 充, 池田和彦, 蔵田 和彦, "光 I/O 内蔵システム LSI モジュール (2) 低コスト、超小型 10Gbps 4ch 光 I/O (PETIT)," 2003年電子情報通信学会ソサイエティ大会 C-3-124. (2003. 9. 23)
- ⑯ 清水 隆徳, 三好 一徳, 畠山 意知郎, 佐々木 純一, 山本 圭介, 栗原 充, 渡辺 崇則, 江口実, 潮田 淳, 蔵田 和彦, "光 I/O 内蔵システム LSI モジュール (3) 光結合系の設計," 2003年電子情報通信学会ソサイエティ大会 C-3-125. (2003. 9. 23)
- ⑰ 畠山 意知郎, 三好 一徳, 清水 隆徳, 佐々木 純一, 山本 圭介, 栗原 充, 渡辺 崇則, 潮田淳, 蔵田 和彦, "光 I/O 内蔵システム LSI モジュール," 2004年電子情報通信学会総合大会 C-3-52. (2004. 3. 22)
- ⑱ 山田 みつき 他6名, "1.34 μm 帯 GaInNAs 面発光レーザの低閾値発振", 秋季応用物理学会 (2004. 9. 1)
- ⑲ 三好 一徳 他6名, "光 I/O 内蔵システム LSI モジュールにおける光 I/O の性能及び生産性向上設計", 電子情報通信学会ソサイエティ大会(2004. 9. 21)
- ⑳ 畠山 意知郎 他7名, "光 I/O 内蔵システム LSI モジュールによる高速光インターコネクション", 電子情報通信学会ソサイエティ大会(2004. 9. 21)
- ㉑ 山田 みつき 他6名, "1.3 μm 帯 4波長 CWDM 用 GaInNAs 面発光レーザ", 応用物理学会応用物理学関係連合講演会(2005. 3. 31)

<その他資料>

- ㉒ 畠山 意知郎, 三好 一徳, 樋野 智之, 清水 隆徳, 佐々木 純一, 山本 圭介, 栗原 充, 田中英樹, 蔵田 和彦, "1Tbps バックプレーン向け光インターコネクションモジュールの開発," NEC 技報 Vol. 57, No. 5, 2004.