平成16年度

研究開発成果報告書

情報通信装置の漏洩電磁波盗用防止技術 に関する研究開発

委託先:日本電気㈱

平成17年5月

情報通信研究機構

平成16年度 研究開発成果報告書

「情報通信装置の漏洩電磁波盗用防止技術の研究開発」

目 次

| 1 | 研究開発課題の背景 | 2 |
|---|--------------------------------|-----|
| | 1-1 情報通信装置からの漏洩電磁波による情報盗用脅威の現状 | 2 |
| | 1-2 漏洩電磁波に対する「脅威」の受信能力 | 4 |
| | 1-3 情報通信装置からの電磁波漏洩の現状 | .7 |
| 2 | 研究開発の全体計画 | |
| | 2-1 研究開発課題の概要 | 9 |
| | 2-2 研究開発目標 | 9 |
| | 2-2-1 最終目標 | .9 |
| | 2-2-2 中間目標 | .9 |
| | 2-3 研究開発の年度別計画 | 10 |
| | | |
| 3 | 研究開発体制 | 11 |
| | 3-1 研究開発実施体制 | 11 |
| | | |
| 4 | 研究開発実施状況 | 12 |
| 4 | -1 検証試作と可能性検証の研究開発 | 13 |
| | 4-1-1 序論 | .13 |
| | 4-1-2 情報通信装置の改造試作 | 13 |
| | 4-1-3 中間目標の達成 | .18 |
| | 4-1-4 サーバ装置評価 | .22 |
| | 4-1-5 ノート PC 評価 | 64 |
| | 4-1-6 シミュレーション解析 | 86 |
| | 4-1-7 まとめ | 135 |
| 4 | -2 要素技術の研究開発1 | 136 |
| | 4-2-1 序論1 | 136 |
| | 4-2-2 ボード内蔵の検討1 | 136 |
| | 4-2-3 オンチップの検討1 | 41 |
| | 4-2-4 まとめ1 | 44 |
| 4 | -3 総括1 | 45 |
| | | |

5 参考資料・参考文献

5-1 研究発表・講演等一覧

1 研究開発課題の背景

1-1 情報通信装置からの漏洩電磁波による情報盗用脅威の現状

ネットワーク・サーバやネットワーク端末(パーソナルコンピュータ)などの情報通信 装置は、個人的な情報(プライバシーに関するものなど)や組織情報など重要な情報を扱 う。情報の改竄、破壊、漏洩は、組織あるいは個人にとって、大変危惧すべき問題である。 通信ネットワークにおける安全性確保は、近代通信事業で必要不可欠なテーマであり、我 が国においては、主に暗号化技術を中心に国を挙げて対策のための研究開発が為されてき た。高度化されてきた暗号化技術は、装置間での通信のための信号授受は正常に行われる ことを保証しつつ、通信を傍受する場合には正常な信号授受を行わせない技術である。

「漏洩電磁波盜用」は、装置本体から直接放射する、あるいは、装置に接続されたケー ブルなどを伝って、装置外部へ漏洩した電磁波を受信し、その漏洩電磁波に含まれる情報 を抽出する盜用行為である。「漏洩電磁波盜用」は、暗号化が困難な情報通信装置内部で扱 われる「平文の情報」、あるいは「安易なプロトコルで表現された情報」を対象としている が、軍事関係で注目されてきた以外は、一般での認識度が低く漏洩電磁波盜用防止技術の 開発は大きく立ち後れている。しかし、重要情報がモバイル機器を介して交信され、また 住宅環境で多くの情報通信装置が使用される機会は、ますます増えると考えられており、 情報通信装置からの漏洩電磁波に含まれる情報盜用の危険性は高まりつつある。我が国の 情報化社会発展のためには、モバイル機器に適用可能であって、情報通信装置の今後の小 型高性能化傾向にも貢献できる漏洩電磁波盜用防止技術の研究開発が必要となっている。

「漏洩電磁波盗用」は、「ネットワーク侵入」と同様に、「情報(通信)セキュリティ」 (情報通信装置及び、それらが扱う情報を守ることの意)に対する脅威の一つに分類され る。表 1-1 に、「情報(通信)セキュリティ」に対する想定脅威の分類をまとめた。

 $\mathbf{2}$

表 1-1 情報(通信) セキュリティに対する脅威の分類

| 想定脅威(事例 | 利) | 対策 | | |
|---------|-------------|-------------------------|--|--|
| 漏洩電磁波 | 情報が重畳した電磁波の | 部屋の電磁シールド, | | |
| | 漏洩 | 通信線の光ケーブル化, | | |
| | (画面、キー入力など) | TEMPEST 対応機器の採用 | | |
| 物理的侵入 | 部屋への侵入 | 監視(TV カメラ,振動センサ,赤外線,マイ | | |
| | 情報機器ごと持ち出し | クロ波、ミリ波、光ケーブル等) | | |
| | | 入退場管理(指紋,網膜,虹彩,RFID,車両) | | |
| 音声盗聴 | 肉声盗聴(マイク、レー | 防音,雑音放送など建物対策 | | |
| | ザ光線等) | 秘話秘匿装置など、電話設備への対策 | | |
| | 電話盗聴,盗聴器 | 電波監視による盗聴器の発見 | | |
| ネットワーク | クラッキング(破壊,改 | ファイヤーウォール、VPN、 | | |
| 侵入 | 竄) | ディジタル署名, 暗号化, | | |
| | ウイルス(ワーム) | コンピュータウイルス対策 | | |
| 破壊工作 | EMP、電磁エネルギー | 機器の保護,強化 | | |
| | 照射(誤動作,破壊) | コンピュータウイルス対策 | | |
| | ウイルス | | | |

「漏洩電磁波盗用画面再生実験」の一例(画面盗用)を図 1-1 に示す。情報通信装置の 表示画面(図 1-1.a)から放射された漏洩電磁波を離れた場所で受信し、これから抽出し た信号を利用して、画面を再生した(図 1-1.b)。再生は、図 1-2.に示す手順で行った。画 面情報(RGB 信号)が重畳する周波数スペクトルを探し(図 1-2.a)、画面同期信号(図 1-2.b) を確認、その後、検波後の RGB 信号(図 1-2.c)を表示装置に入力し、適当な水平垂直同 期信号を与えるだけで比較的容易に盗用が可能である。





もとの画面

再生画面

(a)(b)図 1-1. 漏洩電磁波盗用画面再生実験の一例



1-2 漏洩電磁波に対する「脅威」の受信能力

表示画面のみならず、キー入力やプリンタ出力, FAX 出力も同様に漏洩電磁波盗用が可能と考えられる。

このように画面やキー入力などの情報が重畳した漏洩電磁波を傍受し、情報(画面や キー入力など)を復元、盗用する人及び機材を「脅威」と、ここでは定義する。「脅威」の 程度は、資料 1~3 で記述される復元(盗用)側機材の能力に、技術的な可能性を考慮し、 漏洩電磁波の検出モデル(図 1-3)を想定した。

資料1:瀬戸 信二「情報処理機器からの電磁波漏洩に対する情報保全対策」, EMC, No. 27, pp. 7-17, 1990.7.5

資料 2:瀬戸 信二「TEMPEST 対策について」, EMC, No. 97, pp. 97-114, 1996. 5. 5 資料 3: 岡田 正「読み取られるパソコンの電磁波輻射」, HAM Journal, No. 73, pp. 82-86, 1991



図 1-3 漏洩電波の検出モデル

次に、想定条件と受信可能な電界強度について検討する。

想定条件は以下の通りである。

・解像度XGA(1024×768)程度の表示画面

各色(R,G,B)の帯域幅: 60MHz~70MHz (ドットクロックとしては、180~210MHz 程度)

・脅威の離隔距離:10m(隣室や隣家)

・発生源(情報機器)の放射電磁波: VCCI*許容値レベル

VCCI クラス B の許容値(距離 10m)は、30 d B µ V/m (30~230MHz), 37 dB µ V/m (230MHz) ~1GHz)。受信機 RBW(共振帯域幅):120kHz

*VCCI:情報処理装置等電波障害自主規制協議会(Voluntary Control Council Interference

by Information Technology Equipment)

・ 脅威の受信設備: 高度な技術レベル

周囲温度:20℃ ノイズフィギュアNf:0 dB S/N:6 dB 特性インピーダンス:50Ω アンテナ:多エレメント八木宇田アンテナ(指向性 20dB) アンテナファクタAf:2 dB

・画面の復元認識に必要な帯域幅:1MHz

上記の想定条件を基に漏洩電磁波に対する「脅威」の受信能力を算出する。

受信機の内部雑音 Pnn が受信能力を決定する要素である。前項条件から、受信機の RBW は、 3MHz として、次式(1-1)から内部雑音を算出する。なお、ノイズフィギュア Nf は、最高レ ベルの増幅器を考え1(=0dB)とする。周囲温度は、27℃。受信機のS/Nは、2と仮定す る。

 $Pnn = k \cdot T \cdot B \cdot Nf \qquad (1-1)$

ただし、k : ボルツマン定数 1.34×10-23 (T/K) T : 周囲温度 293 (K) {= 273 + 20 (℃)} B : 帯域幅 1MHz Nf : ノイズフィギュア 1

式(1-1)に、各値を代入して、計算すると、次式となる。

 $Pnn = 3.93 \times 10{-}15$ (W)(1-2)

受信系の特性インピーダンスを50Ωとして、電圧に換算する。

 $V_{nn} = 4.43 \times 10^{-7}$ (V) = 0.443 (μ V)(1-3)

添付資料 1-3 によれば、画像処理により、ノイズ混じりの画像を整形できるので、S/N (2=6dB)と考える。受信能力Vaは次式となる。

 $Va = 0.886 (\mu V)$ (1-4)

デシベルに変換する。

100~200MHz 用の多エレメント八木宇田アンテナは、絶対利得(無指向性アンテナに対す る利得)は14dB(電圧で4倍)程度ある。さらに、その多エレメント八木宇田アンテナを 複数個スタックすることで、およそ20dB(電圧で10倍)程度となる。

資料 4「アンテナ・電波伝搬」(虫明 康人, コロナ社, p. 33, 1961)の式(3・41)を引用 すれば、受信可能電界強度 Ea は次式で表される。

$$|E_a| \approx \frac{|V_a|}{2.90 \times 10^{-2} \lambda \sqrt{RG_a}} \tag{1-6}$$

G_a: アンテナの絶対利得 R:アンテナの入力インピーダンス V_a: 受信能力 λ:波長

式(1-6)に、Vaに 0.886 µV (式(1-4)より)、Rに 50 Ω、Gaに 10 倍、 λに 3m (@100MHz) を代入する。

$$|E_a| \approx \frac{0.886}{2.90 \times 10^{-2} \times 3 \times \sqrt{50 \times 10}} = 0.445 \ (\mu \ \text{V/m}) = -7.0 (\text{dB} \ \mu \ \text{V/m}) \tag{1-7}$$

以上から、脅威の受信能力は、電界強度で <u>- 7.0 dB µ V/m</u> である。

「漏洩電磁波盗用」の「脅威」に対する対策は、情報通信装置単体からの漏洩電磁波強度 を抑制するしかない。したがって、図 1-3 の電波漏洩源の放射電界強度 E を、検出不可能 な程度(受信能力 E a 以下)としなければならない。すなわち、電波漏洩源(情報通信装 置)の放射電界強度を許容値(クラス B)より、約40dB下げる必要がある。

1-3 情報通信装置からの電磁波漏洩の現状

情報通信装置からの漏洩電磁波を、電波暗室(図 1-4)で測定した。対象である情報通 信装置、この場合ネットワーク端末としてノートパソコン、を木製テーブルに置き、3m 離隔したアンテナで受信する電界強度値で評価する。結果を図 1-5 に示す。なお、本測定 の目的は、現状のノート PC の実力を把握するものであり、EMI(放射妨害波: Electro-Magnetic Interference)規格確認のための測定でないので、測定は当社中央研究 所にある6面電波暗室で3m法にて測定した。



図 1-4 測定風景(電波暗室)



図 1-5 ノートパソコンの漏洩電磁波測定結果

測定結果から、現状のノートパソコンからは VCCI のクラス B 規制値レベルに近い値のス ペクトラムもみられる。どのスペクトラムに情報が含まれるか不確なため、全てのスペク トラムに情報が重畳するものと考え、現状のノートパソコンは VCCI のクラス B 規制値(47dB μ V/m, @3m) 程度で情報を放射していると見なす。また、一般の情報通信装置は、VCCI 規制値を満たす程度の漏洩電磁波防止対策が為されるが、それ以上の対策は通常行わない。 したがって、重要な情報を「漏洩電磁波盗用」の「脅威」から防護するためには、更な る「漏洩電磁波盗用防止技術」による対策が不可欠である。

2 研究開発体の全体計画

2-1 研究開発課題の概要

情報通信装置本体からの直接放射、あるいは接続されたケーブルなどを伝わって外部へ 漏洩した電磁波を受信し、その漏洩電磁波に含まれる情報を抽出する「漏洩電磁波盗用」 は危惧すべき問題である。重要情報がモバイル機器を介して交信され、また住宅環境で多 くの情報通信装置が使用される機会は増加の傾向にあり、モバイル機器に適用可能な漏洩 電磁波盗用防止技術の研究開発が必要となっている。

上記課題解決に関し、回路技術の観点から以下の斬新な電源分配回路技術を用いた情報 処理装置を試作し、装置本体からの電磁放射を顕著に抑制することを目標とする(電磁放 射電界強度規格値に対し、中間目標 20dB 抑制、最終目標 40dB 抑制)。

【新たな電源分配回路技術】

従来のデカップリングコンデンサに置き代わる高性能の低インピーダンス線路素子 (LILC: Low Impedance Line structure Component)技術を用いて、回路設計基準を構築し、 実機での試作評価を行う。LILCの効果として、電源分配回路への電磁波漏洩を阻止が可能 で、装置からの情報盗用が防止される。既開発済みのボード搭載形LILCに加え、①内蔵形、 ②オンチップ形を開発検討する。

2-2 研究開発目標

2-2-1 最終目標(平成19年3月末)

最終目標として、内蔵形(ボードまたはパッケージ)LILC 及び(半導体)オンチップ 形 LILC TEG の試作評価を行い、これらの試作過程で得られる各種パラメータを抽出す る。以上のパラメータを用いて、情報通信機器(サーバ及びノート PC)に適用した場合 を想定した放射電磁界解析を実施し、これらの想定情報通信装置からの放射電界強度が、 VCCI のクラス B 規制値レベルに対して 40dB 以下であることをシミュレーションによっ て確認する。

2-2-2 中間目標(平成17年1月末)

中期目標として、TEG 試作によって得られるパラメータを使用して新しい電源分配回路 技術を適用した場合を想定した情報通信機器(サーバ及びノートPC)についてシミュレー ションして VCCI クラス B に対して 20dB 以下になることを確認するとともに、これらの装 置を試作して、試作装置からの放射電界強度が、VCCI のクラス B に対して概ね 20dB 以下 であることを検証する。

2-3 研究開発の年度別計画

(金額は非公表)

| 研究開発項目 | 15年度 | 16年度 | 17年度 | 18年度 | 計 | 備考 |
|---|-------------|-------------------------|------------------|--------------------|---|----|
| 情報通信装置の漏洩電磁波盗 用防止技術に関する研究開発 1)検証試作と可能性検証 (情報通信機器試作評価また はTEGの試作評価及び放射電 磁界解析による検証) | 装置一次試作 | 装置二次試作 (20dB 抑制検証) | TEG 試作評価 | 可能性検証 (40dB 抑制) | | |
| 2) 要素技術の研究開発 (新しい電源分配回路技術に 関する研究開発) ア.内蔵形 LILC 研究開発 イ.オンチップ型 LILC 研究開 発 | TEG 設計 → | 価 TEG 試作 TEG 設計検討 | TEG 試作 TEG 試作 | TEG 改良 | | |
| 間接経費(H15=23.9%) (H16 以降=29.1%) | | | | | | |
| 금 | | | | | | |

注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%を上限として計上(消費税を含む。)。

2 備考欄に再委託先機関名を記載

3 年度の欄は研究開発期間の当初年度から記載。

3 研究開発体制

| 3 – 1 | 研究開発実施 | 体制 | | | |
|-------|--------|----|---|---|----------------|
| | 研究代表 | 者 | | | 主任研究員 |
| | (遠矢 弘 | 和) | • | • | (吉田 史郎) |
| | (栗山 敏 | 秀) | | | 主任研究員 |
| | | | | - | (成田 薫) |
| | | | | | 主任研究員 |
| | | | | - | (阿部 博史) |
| | | | | | 主任研究員 |
| | | | | - | (中野 隆) |
| | | | | | 主任研究員 |
| | | | | • | (Tarus Kushta) |
| | | | | | 主任研究員 |
| | | | | • | (増田 幸一郎) |
| | | | | | 主任 |
| | | | | - | (若林 良昌) |
| | | | | | 研究員 |
| | | | | - | (森下健) |
| | | | | | 研究員 |
| | | | | | (楠本 学) |
| | | | | | 研究員 |
| | | | | - | (小野澤 章) |

4 研究開発実施状況

情報通信装置の漏洩電磁波盗用防止技術として、情報通信装置から放射する漏洩電 磁波を抑制する技術を開発することが目的である。本研究は装置全体を総合的にとえ れて評価する「検証試作と可能性検証」と、漏洩電磁波抑制するための基礎技術であ る電源デカップリング技術を研究する「要素技術の研究開発」で構成される。

「検証試作と可能性検証」として、情報通信機器の試作と評価を行った。

中間目標「電磁放射電界強度規格値に対し 20dB 抑制」を達成するため、情報通信機器を H15 年度に引き続き試作した。デスクトップ型情報通信装置としてサーバ装置,携帯型情報通信装置としてノート PC を試作した。

<中間目標の説明>

TEG 試作によって得られるパラメータを使用して新しい電源分配回路技術を適用した場合を想定した情報通信機器(サーバ及びノートPC)についてシミュレーションして VCCI クラス B に対して 20dB 以下になることを確認するとともに、これらの装置を 試作して、試作装置からの放射電界強度が、VCCI のクラス B に対して概ね 20dB 以下 であることを検証する。

サーバ装置は、電源デカップリング技術を適用したマザーボードを設計し、試作した。H16年9月に試作装置が納品され、動作試験とEMI評価を実施した。EMI評価は六面電波暗室(3m,簡易)にて実施した。その評価結果を元に設計を見直し、H17年1月に改造設計試作品が納入され、六面電波暗室で中間目標を概ね達成していることを確認した。また、H17年2月には、半電波無響室(五面電波暗室)において、VCCI規制に準拠する評価法(電界強度測定評価法)でEMI低減効果に関する評価を実施した。

ノートPCは、電源デカップリング技術を電力が大きいCPUなど主要なLSIへ適用したマザーボードを設計し、試作した。H16 年 9 月に試作装置が納品され、動作試験とEMI評価を実施した。EMI評価は9月から1月までは六面電波暗室(3m,簡易)で実施し、中間目標を概ね達成したことを確認した。H17 年 2 月には、半電波無響室(五面電波暗室)において、VCCI規制に準拠する評価法(電界強度測定評価法)でEMI低減効果に関する評価を実施した。

なお、試作装置評価(サーバ装置,ノート PC)は、通常市販されている筐体(標準 筐体)と、電源デカップリング技術を適用していない回路,モジュール,電源ユニッ ト,表示装置からの影響を除外するため、筐体及びケーブル処理を補完的に施した筐 体(強化筐体)とで、実施した。

試作したサーバ装置のマザーボードに関して、EMI 抑制効果を確認する目的で電源電 圧変動に注目したシミュレーションを実施した。

「要素技術の研究開発」として、要素技術(内蔵形、オンチップ形)であるデカップ リング素子の仕様,構造を検討した。また、内蔵形、オンチップ形の評価を実施する ために測定系の整備を行い、計測用プローブを精度よく固定し、高周波を観測するた めのアナライザを導入した。素子の構造と測定系に適したテスト基板(TEG)の仕様を検 討し設計した。今年度は評価用デバイスを実装するための電極 TEG を設計し試作した。

4-1 検証試作と可能性検証

4-1-1 序論

漏洩電磁波盗用防止技術を開発する目的で、実際に市販されるのと同等の情報通信 装置に、「新しい電源分配回路技術」を適用し、回路技術の観点から本研究開発の可 能性検証を実施する。本サブテーマは、「新しい電源分配回路技術」を適用した情報 通信装置を試作し、その性能を評価する。H16 年度は H15 年度に選定し「新しい電源 分配回路技術」を適用したマザーボードを試作した情報通信装置について、改造試作 を実施し評価した。

4-1-2 情報通信装置の改造試作

可能性検証に使用する情報通信装置は典型的な装置としてネットワーク・サーバ装置(以下、サーバーと表記する)とネットワーク端末(以下、ノートPCと表記する) とした。H15年度には以下の選定の条件で機種を決定した。

- 市販製品または市販製品に類する装置
- ・ 改造試作をするため、設計情報(回路図),部材が調達可能なこと
- ・ 改造試作を予定している次年度(H16年度)も部材調達可能なこと
- ・ 比較用の改造前装置が入手可能こと

H15 年度の試作装置で得た評価結果を有効に活用するため、当年度の試作も同一機 種で実施した。

4-1-2-1 サーバー改造試作

新しい電源分配回路技術を適用し、情報通信装置であるサーバーを試作した。本年 度は、H15 年度に実施したマザーボードの電源分配回路のコンデンサを低インピーダン ス線路素子(LILC: Low Impedance Line structure Component)に置き換える電源デ カップリング技術の適用に加え、電源配線の工夫も合わせて実施した。以下、適用し たサーバーのマザーボードの概要、適用箇所について述べる。

昨年度は、主にマザーボードの電源分配回路のコンデンサをLILC に置き換えること により放射を抑え、情報漏洩低減を試みたが、顕著な低減効果は得られなかった。今 年度は、コンデンサをLILC に置き換えるのみでは、他の経路を介してノイズが電源系 に漏れこみ、放射が増加すると考え、他の経路を介したノイズの漏れこみを低減する 施策を主として行った。以下、今回試作したサーバーのマザーボードの昨年度試作との設計変更点を記載する。尚、使用 LILC 数は前回が 252 個、今回が 286 個となっている。

(A) LSI の電源ピンと LILC 間の配線パターン

電源ベタパターンを線路状に変更した。これは、電源がベタパターンだと電流 量の特定が困難なため、線路状とし電流量を特定しシミュレーションの精度を上 げるためである。また、放射低減効果の検討も兼ねている。電源ベタパターンと 線路状の2水準作成した。



図 4-1 電源ベタ(島状)の配線化

(B) LSI 下電源パターン

LSI 下の電源パターンを取り除き、LSI から電源パターンへのノイズの漏れこみ を抑えた。



図 4-2 LSI 下電源パターン

(C)ブラインドビア

T/H ビアをブラインドビアに変更し、ビアを介した電源へのノイズ漏れこみを低減した。T/H ビアとブラインドビアの2水準作成している。



Propagate EMI noise from Via to LILC's power pattern

図 4-3 T/H ビアからブラインドビアへの変更

(D) 層構成変更

層構成を変更し、全てのビアが電源層を横切らないようにした。

12 \exists : S-V-S-G-S-S-G-S-V-S-G-S(V) → 14 \exists : S-G-S-G-S-G-S-G-S-V-V-G-S

(E) コネクタ近くのクロック信号クロック信号とコネクタのピンや信号配線との距離を大きくした。



図 4-4 クロック信号間の距離変更

(F) メモリ終端

メモリ終端用の16mmのLILCを8mmにし、他のLILCを配置するスペースを空けた。 この部分の特性に関して16mmでも8mmでも大差ないことは確認済み。



図 4-5 メモリ終端用 LILC 長の変更

(G) LILC とノイズ源との距離

できる限り LILC とノイズ減の距離が小さくなるように配置した。

- (H) メモリの 2.5V 電源パターンをベタから配線状に変更した((A) と同じ理由)。
- (I) RGB ビデオ信号

RGB ビデオ信号配線が基板の端部に配置されていたので、内部にずらし、基板端部にグランドパターンを設けた。

(J) FDD 及び IDE

FDD と IDE コネクタの配置を変え、両者の距離を増加させた。又、両コネクタ 下部の電源パターンを除去した。

(K) IDE 及び PCI

IDE と PCI の信号配線間距離を増加させた。

4-1-2-2 ノート PC 改造試作

漏洩電磁波盗用防止技術適用の情報通信装置としてノート PC を試作した。本試 作では LILC を適用するだけでなく、配線パターンや回路レイアウトも変更し、電 源デカップリング強化を行った。ただし、ノート PC は部品実装密度が高く、変更 箇所は限られている。LILC の追加並びにコンデンサを昨年度試作で置き換えてい ない部分の置き換え、レイアウト変更による LILC とノイズ源の距離低減、電源パ ターンの部分的に除去による各種信号から発生するノイズの電源への伝播低減等 の施策を行っている。使用 LILC 数は前回が 34 個、今回が 47 個である。図 4-6 に 今回試作したノート PC マザーボード部品配置図を示す。赤印は LILC 実装位置であ る。



図 4-6 今回試作ノート PC マザーボード部品配置図(赤印:LILC)

4-1-3 中間目標の達成

本研究の中間目標は「電磁放射電界強度規格値に対し 20dB 抑制」である。

4-1-3-1 中間目標の説明

申請時に説明した中間目標を以下に記述する。TEG 試作によって得られるパラメー タを使用して新しい電源分配回路技術を適用した場合を想定した情報通信機器(サー バ及びノート PC)についてシミュレーションして VCCI クラス B に対して 20dB 以下に なることを確認するとともに、これらの装置を試作して、試作装置からの放射電界強 度が、VCCI のクラス B に対して概ね 20dB 以下であることを検証する。

4-1-3-2 中間目標の達成状況

中間目標はH17年1月末に達成した。評価は EMI を3m簡易電波暗室で無改造の 「オリジナル」と、電源デカップリング技術適用の「試作装置」を比較することで行った。以下、H17年1月時点での中間目標達成状況を記述する。なお、VCCI 認定電 波暗室における評価については次節で述べる。

情報通信装置である「サーバ装置」、「ノート PC」に、電源分配回路技術を適用し装置からの放射電界強度(EMI)を測定し、電源分配回路技術適用前の装置である「オリジナル」と、適用試作した「2004 年試作」を比較した。電源分配回路技術は CPU(中央演算ユニット)が搭載されるマザーボードにのみ適用した。ノート PC では実装面積の都合で主な LSI の周辺に限定し適用した。また、周辺装置、装置の内部モジュールには適用していない。測定時の装置の動作は、機能評価用の「PLUTEST」プログラムを稼働し、画面表示は「H」が表示され続ける「H Pattern」とした。

適用していない周辺装置、モジュールの影響を除外するため、周辺装置を外して測 定した。

規制値と EMI 最大スペクトルとの差を抑制値とし評価した結果を表 4-1 と表 4-2 に示す。EMI 測定風景を図 4-7, 4-8 に、実測データを図 4-9~13 に示す。

サーバ装置はオリジナルの抑制値(規制値からのマージン)が 6dB であったのに対し、適用後は 19dB であった。

一部の LSI だけに適用したノート PC では、オリジナルの抑制値が-4dB(規制値を オーバー)であったのに対し、適用後は 10dB であった。適用箇所が限られたことが 原因と想像する。ただ、筐体は導電性のないプラスチックであったため、金属筐体と 比較できるよう筐体に電磁シールドメッキを施した。その結果、抑制値は 21dB を達 成した。

表 4-1 サーバ装置の EM I 抑制効果

| | 4 1 11 477 471 | |
|----------------|----------------|----------|
| $[dB \mu V/m]$ | オリジナル | 2004 年試作 |
| 規制値 | 47 | 47 |
| EMI 測定値 | 41 | 28 |
| 抑制值 | 6 | 19 |

表 4-2 ノートPCのEMI抑制効果

| $[dB \mu V/m]$ | オリジナル | 2004 年試作 | 2004 年試作 (メッキ) |
|----------------|-------|----------|----------------|
| 規制値 | 40 | 40 | 47 |
| EMI 測定値 | 44 | 30 | 26 |
| 抑制值 | -4 | 10 | 21 |



図 4-7 サーバ装置の測定風景



図 4-8 ノート PC の測定風景





















4-1-4 サーバ装置評価

4-1-4-1 EMI 測定評価

試作したサーバーの EMI 測定を実施した。測定には、VCCI 登録試験所の 10m 法対応の電 波暗室を使用した。ただし、測定精度を上げるため測定距離は 3m 法を採用した。電波暗 室内 EMI 測定風景を図 4-14 に示す。表 4-3 に測定設備、表 4-4 に測定器条件を示す。また、 測定は、本体(試作サーバー)のみの構成と、本体に液晶ディスプレイとキーボードおよ びマウスを接続する構成の 2 通りで実施した。EMI 測定風景の写真を図 4-15 に示す。DU T (Device under test)は、高さ 80cm の木製テーブルの中心で後端部をテーブルエッジに 合わせた。測定時の表示は「H パターン」、動作は P L U テストモードとした。



図 4-14 電波暗室内 EMI 測定風景(写真) NEC コンピュータテクノ EMC センター 10m 電波暗室 測定距離 3 m

表 4-3 使用機器

| | 種類 | 型番 | メーカ |
|----|-----------|----------|-----------|
| 1) | スペアナ&レシーバ | ESIB 26 | R&S |
| 2) | バイログアンテナ | CBL6111C | SCHAFFNER |
| 3) | プリアンプ | 8447D | HP |
| 4) | プリアンプ | ESV-Z3 | R&S |

表 4-4 スペアナ設定

| REF | $70 \mathrm{dB}\mu\mathrm{V}$ |
|-------|-------------------------------|
| RANGE | 50 dB |
| RBW | 100kHz |
| VBW | 100kHz |
| ATT | 10dB |



図 4-15 試作サーバーの EMI 測定風景(写真)

4-1-4-1-1 下期試作電源ノイズ対策基板

(1) EMI 強化筐体

下期に試作した LILC 搭載基板に、電源ノイズ対策として、VM12MM にタンタルコ ンデンサ(15μF)3個、セラミックコンデンサ(1μF)3個を追加し、下期試 作対策基板とした。コンデンサの追加位置を図4-16に示す。VM12MM は2.5V スイ ッチング電源の入力側(12V)であり、コンデンサ追加することで、リップル電圧 が2.9Vppから半減した。位置③で観測した電源ノイズ電圧波形を図4-17に示す。 EMI 強化筺体に組み込んだサーバー試作装置の本体のみ(液晶ディスプレイとキ ーボード及びマウスを接続していない状態)での EMI 測定結果(MAX. Hold 値) 水平偏波、垂直偏波をそれぞれ図4-18、図4-19に示す。また、このときの QP 値 測定結果を表4-5 に示す。

全周波数帯域において、ほぼVCCIクラスB許容値に対して20dB以上のマージンを 確保している。但し、マージン20dBに満たしていない箇所が2箇所(水平偏波の 935.296MHzで17.7dBマージン、994.059MHzで16.8dBマージン)存在しており、こ れについては、磁界分布を測定し原因箇所の調査を実施した。「磁界分布測定評価」 に記述する。さらに、この本体に液晶ディスプレイとキーボードおよびマウスを 接続した構成でのEMI測定結果水平偏波、垂直偏波をそれぞれ図4-20,図4-21に示 す。このときもVCCIクラスB許容値に対して、10dB以上のマージンをもってクリア している。

表 4-5 QP 值測定結果"下期試作対策基板+EMI 強化筐体+周辺機器無"

| 周波数 [MHz] | 偏波 | レベル QP [dB(μV/m)] | マージン QP [dB] |
|-----------|----|-------------------|--------------|
| 927.482 | Н | 27.0 | 20.0 |
| 935.296 | Н | 29.5 | 17.5 |
| 994.017 | Н | 28.5 | 18.5 |
| 927.412 | V | 25.3 | 21.7 |



図 4-16 コンデンサ追加位置



図 4-17 位置③における電源ノイズ波形



図 4-18 "下期試作対策基板+EMI 強化筐体+周辺機器無" EMI 特性(水平偏波)



図 4-19 "下期試作対策基板+EMI 強化筐体+周辺機器無" EMI 特性(垂直偏波)







サーバ 04下期対策ボード 強化筐体 周辺あり 10dB_AMP

図 4-21 "下期試作対策基板+EMI 強化筐体+周辺機器有"EMI 特性(垂直偏波)

(2) 標準筐体

下期試作対策基板を、標準筐体に組み込んだサーバー試作装置の本体のみ(液 晶ディスプレイとキーボード及びマウスを接続していない状態)での EMI 測定結 果(MAX. Hold 値)水平偏波、垂直偏波をそれぞれ図 4-22、図 4-23 に示す。

全周波数帯域において、VCCIクラスB許容値をクリアしている。(最小マージン約3dB)さらに、この本体に液晶ディスプレイとキーボード及びマウスを接続した構成でのEMI測定結果水平偏波、垂直偏波をそれぞれ図4-24、図4-25に示す。 このときもVCCIクラスB許容値はクリアしている。(最小マージン0dB)



サーバ 04下期対策ボード 標準筐体 周辺なし





サーバ 04下期対策ボード 標準筐体 周辺なし









サーバ 04下期対策ボード 標準筐体 周辺あり

図 4-25 "下期試作対策基板+標準筐体+周辺機器有" EMI 特性(垂直偏波)

4-1-4-1-2 下期試作基板

(1) EMI強化筐体

上期試作基板(EF3)に電源回路強化を実施したLILC 搭載基板である下期試作基板(EF4)を試作した。EMI 強化筺体に組み込んだサーバー試作装置の本体のみ(液晶ディスプレイとキーボード及びマウスを接続していない状態)でのEMI 測定結果(MAX. Hold 値)水平偏波、垂直偏波をそれぞれ図 4-26、図 4-27 に示す。また、このときの QP 値測定結果を表 4-6 に示す。さらに、この本体に液晶ディスプレイとキーボードおよびマウスを接続した構成でのEMI 測定結果水平偏波、垂直偏波を図4-28、図 4-29 に示す。いずれの結果からも、"4-1-4-2 下期試作対策基板+EMI 強化筐体"と大きな差異は見られず、EF4 に実施したコンデンサ追加は EMI 評価結果にリップル電圧低減効果ほど顕著な効果は確認できなかった。

表 4-6

| 周波数 [MHz] | 偏波 | レベル QP [dB(μV/m)] | マージン QP [dB] |
|-----------|----|-------------------|--------------|
| 935.296 | Н | 29.3 | 17.7 |
| 994.059 | Н | 30.2 | 16.8 |
| 935.324 | V | 26.4 | 20.6 |
| 993.807 | V | 25.2 | 21.8 |

(2) 標準筐体

下期試作基板を標準筐体に組み込んだサーバー試作装置の本体のみ(液晶ディス プレイとキーボード及びマウスを接続していない状態)での EMI 測定結果(MAX. Hold 値)水平偏波、垂直偏波を図 4-30、図 4-31 に示す。

全周波数帯域において、VCCIクラスB許容値をクリアしている。(最小マージン約6dB)さらに、この本体に液晶ディスプレイとキーボード及びマウスを接続した構成でのEMI測定結果水平偏波、垂直偏波を図4-32、図4-33に示す。このときもVCCIクラスB許容値はクリアしている。(最小マージン0dB)



図 4-26 "下期試作基板+EMI 強化筐体+周辺機器無" EMI 特性(水平偏波)



図 4-27 "下期試作基板+EMI 強化筐体+周辺機器無" EMI 特性(垂直偏波)



サーバ 04下期ボード 強化筐体 周辺あり





サーバ 04下期ボード 強化筐体 周辺あり

図 4-29 "下期試作基板+EMI 強化筐体+周辺機器有" EMI 特性(垂直偏波)



図 4-30 "下期試作基板+標準化筐体+周辺機器無" EMI 特性(水平偏波)



サーバ 04下期ボード 標準筐体 周辺なし

図 4-31 "下期試作基板+標準筐体+周辺機器無" EMI 特性(垂直偏波)



サーバ 04下期ボード 標準筐体 周辺あり





サーバ 04下期ボード 標準筐体 周辺あり

図 4-33 "下期試作対策基板+標準筐体+周辺機器有" EMI 特性(垂直偏波)

4-1-4-1-3 上期試作基板

(1) EMI強化筐体

上期に試作した LILC 搭載基板「上期試作基板 (EF3)」を、EMI 強化筐体に組み 込んだサーバー試作装置の本体のみ(液晶ディスプレイとキーボード及びマウス を接続していない状態)での EMI 測定結果 (MAX. Hold 値)水平偏波、垂直偏波 をそれぞれ図 4-34、図 4-35 に示す。

全周波数帯域において、VCCI クラス B 許容値に対して、15dB 以上のマージンを もってクリアしている。さらに、この本体に液晶ディスプレイとキーボード及び マウスを接続した構成での EMI 測定結果水平偏波、垂直偏波をそれぞれ図 4-36、 図 4-37 に示す。このときも VCCI クラス B 許容値はクリアしている。(最小マージ ン約 5dB)

(2) 標準筐体

上期試作基板(EF3)を、標準筐体に組み込んだサーバー試作装置の本体のみ(液 晶ディスプレイとキーボード及びマウスを接続していない状態)での EMI 測定結 果(MAX. Hold 値)水平偏波、垂直偏波をそれぞれ図 4-38、図 4-39 に示す。

全周波数帯域において、VCCIクラスB許容値をクリアしている。(最小マージン約2dB)この本体に液晶ディスプレイとキーボード及びマウスを接続した構成でのEMI測定結果水平偏波、垂直偏波をそれぞれ図4-40、図4-41に示す。このときはVCCIクラスB許容値を一部オーバーしている。(最大約8dBオーバー)


サーバ 04上期ボード 強化筐体 周辺なし





サーバ 04上期ボード 強化筐体 周辺なし

図 4-35 "上期試作基板+EMI 強化筐体+周辺機器無" EMI 特性(垂直偏波)



図 4-36 "上期試作基板+EMI 対策筐体+周辺機器有" EMI 特性(水平偏波)



サーバ 04上期ボード 強化筐体 周辺あり

図 4-37 "上期試作基板+EMI 強化筐体+周辺機器有" EMI 特性 (垂直偏波)



サーバ 04上期ボード 標準筐体 周辺なし





サーバ 04上期ボード 標準筐体 周辺なし

図 4-39 "上期試作基板+標準筐体+周辺機器無" EMI 特性(垂直偏波)



サーバ 04上期ボード 標準筐体 周辺あり





サーバ 04上期ボード 標準筐体 周辺あり

図 4-41 "上期試作基板+標準筐体+周辺機器有" EMI 特性(垂直偏波)

4-1-4-1-4 オリジナル基板

(1) EMI強化筐体

ここでは、市販を目的として開発されたサーバのマザーボードを「オリジナル 基板(Original ボード)」と呼ぶ。オリジナル基板を、EMI 強化筐体に組み込んだ サーバー試作装置の本体のみ(液晶ディスプレイとキーボード及びマウスを接続 していない状態)での EMI 測定結果(MAX. Hold 値)水平偏波、垂直偏波をそれ ぞれ図 4-42、図 4-43 に示す。

全周波数帯域において、VCCI クラス B 許容値に対して、15dB 以上のマージンを もってクリアしている。さらに、この本体に液晶ディスプレイとキーボード及び マウスを接続した構成での EMI 測定結果水平偏波、垂直偏波を図 4-44、図 4-45 に示す。このときも VCCI クラス B 許容値に対して、10dB 以上のマージンをもっ てクリアしている。

(2) 標準筐体

基板、筺体とも市販を前提とした状態「オリジナル」で本体のみ(液晶ディスプレイとキーボード及びマウスを接続していない状態)での EMI 測定結果(MAX. Hold値)水平偏波、垂直偏波をそれぞれ図 4-46、図 4-47 に示す。このとき VCCI クラスB許容値を満足している。

この本体に液晶ディスプレイとキーボードおよびマウスを接続した構成での EMI 測定結果水平偏波、垂直偏波をそれぞれ図 4-48、図 4-49 に示す。このときも VCCI クラス B 許容値を満足しているが、一部(800MHz 帯)では許容値ぎりぎりでった。







サーバ Originalボード 強化筐体 周辺なし

図 4-43 "オリジナル基板+EMI 強化筐体+周辺機器無" EMI 特性(垂直偏波)



図 4-44 "オリジナル基板+EMI 対策筐体+周辺機器有"EMI 特性(水平偏波)



サーバ Originalボード 強化筐体 周辺あり

図 4-45 "オリジナル基板+EMI 強化筐体+周辺機器有"EMI 特性(垂直偏波)



サーバOriginalボード 標準筐体 周辺なし





サーバOriginalボード 標準筐体 周辺なし

図 4-47 "オリジナル基板+標準筐体+周辺機器無" EMI 特性(垂直偏波)





図 4-48 "オリジナル基板+標準筐体+周辺機器有"EMI 特性(水平偏波)



サーバOriginalボード 標準筐体 周辺あり

図 4-49 "オリジナル基板+標準筐体+周辺機器有"EMI 特性(垂直偏波)

4-1-4-2 磁界分布測定評価

漏洩電磁波(EMI)の原因となる高周波電力の発生源を解析するため、基板近傍の磁界分 布を測定した。近傍磁界分布は電流分布との相関が高く、その測定結果から高周波電源電 流の分布(伝搬経路)を推定できる。磁界分布は弊社が開発した「磁界分布測定システム」 にて測定した。

4-1-4-2-1 磁界分布測定システム

磁界分布測定システムは、磁界を検知するための「磁界プローブ」と、その磁界プロー ブを走査するための「駆動部(スキャナ)」、位置情報を検知するための「センサ」、磁界プ ローブの出力電圧を検波するための「レシーバ(スペクトル・アナライザ)」、データを保 管、処理するための「パーソナルコンピュータ」で構成される。外観(写真)を図4-50に 示す。磁界プローブを図4-51に示す。試供機(DUT: Device Under Test)を磁界分布測 定システムのアクリル製テーブル上に固定し、稼働状態とする。本測定では「Hパターン 表示」にし「PLUテストプログラム」を動作させ、CPU、HDD、信号バス、画像信号系が逐 次稼働されている状態とした。磁界プローブを走査する平面は、部品等が干渉しない程度 に低い DUT 上空とした。概ね数 mm であった。



図 4-50 磁界分布測定システムの外観(写真)



図 4-51 磁界プローブ

4-1-4-2-2 上期試作基板の評価

上期試作基板(EF3)の改造試作を検討するため、EMI 測定結果で強い値を示した周波数のうち、使用しているクロック及びその高調波など主要な周波数について磁界分布を測定し解析した。測定周波数を表 4-7 に示す。

表 4-7 磁界分布測定周波数

| 周波数(MHz) |
|----------|
| 1 0 0 |
| 120 |
| 200 |
| 4 2 5 |
| 533 |
| 933 |

また、原因解析は測定した磁界分布と、部品実装位置から指定する。本測定では半田面 を上にして磁界分布を測定した。部品実装位置を図 4-52 に示す。以降の磁界分布測定結果 には同図を重ねて表示する。図中に主要な部品を表示した。一般化するため、部品の型番 でなく、動作に基づく種類を表記した。

磁界分布の測定座標の説明として、X、Y座標の方向を図 4-53 に、座標原点に磁界プロ ーブを位置した状態(写真)を図 4-54 に示す。

本測定の条件と構成を表 4-8 に示す。

| 表 4-8 磁界分布測定の条件 & | と構成 | 戉 |
|-------------------|-----|---|
|-------------------|-----|---|

| 使用磁界プローブ | φ10mm プローブ |
|--------------|----------------------------|
| スペクトラム・アナライザ | HP8653E (849-040297) |
| アンプ | HP8447D 0PT010(849-040297) |
| 磁界プローブ高さ | 5.7mm |
| 基板面からの離隔距離 | |
| X 方向測定ピッチ | 10mm |
| Y 方向測定ピッチ | 10mm |

以下、図 4-55~図 4-68 に磁界分布測定結果および解析結果のコメントを示す。本結果を 下期改造試作の設計へ反映した。



図 4-52 部品配置図



図 4-53 磁界分布測定系のX, Y座標の方向(写真)



図 4-54 磁界分布測定系の座標原点(写真) 磁界プローブを座標原点に配置



図 4-55 100MHzX 方向の測定結果



図 4-56 100MHzY 方向の測定結果



図 4-58 120MHzY 方向の測定結果



図 4-60 133MHzY 方向の測定結果



図 4-62 200MHzY 方向の測定結果



図 4-63 4250MHzX 方向の測定結果 425MHz Y方向の測定結果



図 4-64 425MHzY 方向の測定結果



図 4-66 425MHzY 方向の測定結果





図 4-68 933MHzY 方向の測定結果

4-1-4-2-3 下期試作基板の評価

"4-1-4-1 EMI 測定評価"において VCCI クラス B 許容値に対して 20dB 以上のマージン を満たさないか、ちょうど 20dB マージンであった周波数について、ノイズ発生源を特定す るために半田面側の近傍磁界分布測定を実施した。磁界分布測定周波数を表 4-9 に示す。 また、本測定の条件、構成を表 4-10 に示す。DUT は「H パターン表示」,「PLU テストプロ グラム稼働状態」とした。測定風景を図 4-69 に、座標軸の方向を図 4-70 に示す。

表 4-9 磁界分布測定周波数

| 測定周波数 (MHz) | 備考 |
|-------------|----------------|
| 927 | マージンがちょうど 20dB |
| 935 | マージンが 20dB 未満 |
| 994 | マージンが 20dB 未満 |

表 4-10

| 測定システム (スキャナ装置) | NECエンジニアリング所有システム |
|-----------------|----------------------------|
| | (NEC 中河原技術センター内) |
| 磁界プローブ | MP-10L |
| スペクトラム・アナライザ | HP8560E |
| アンプ | MITEQ AM-1309(0.1-1000MHz) |
| 磁界プローブ高さ | 7mm |
| 基板表面からの離隔距離 | |
| X 方向測定ピッチ | 1mm |
| ¥方向測定ピッチ | 1mm |

927MHz の X 方向磁界分布を図 4-71 に、Y 方向磁界分布を図 4-72 に示す。両図において、 U 6 (CIOB-X2) 周辺が最も強い磁界強度を示しており、その他にもU 9 4 (RageXL)、U 1 2 7 (CLK Buffer) 付近でやや強い磁界強度が見られる。

935MHzのX方向磁界分布を図4-73に、Y方向磁界分布を図4-74に示す。両図とも、U 94(RageXL)周辺が最も強い磁界強度を示している。

994MHz の X 方向磁界分布を図 4-75 に、Y 方向磁界分布を図 4-76 に示す。両図とも、927MHz と同様U 6 (CIOB-X2) 周辺が最も強い磁界強度を示しており、その他にU 9 4 (RageXL)、 U 1 2 7 (CLK Buffer) 付近でやや強い磁界強度が見られる。



図 4-69 磁界分布測定風景(写真)



図 4-70 測定座標軸の方向と測定風景(写真)



図 4-71 927MHz 半田面側磁界分布図(X 方向, 部品面からの透視図)



図 4-72 927MHz半田面側磁界分布図(Y方向,部品面からの透視図)



図 4-73 935MHz 半田面側磁界分布図(X 方向,部品面からの透視図)



図 4-74 935MHz半田面側磁界分布図(Y方向,部品面からの透視図)



図 4-75 994MHz 半田面側磁界分布図(X 方向,部品面からの透視図)



図 4-76 994MHz 半田面側磁界分布図(Y 方向, 部品面からの透視図)

4-1-4-3 電源ノイズ測定評価

上期試作基板(EF3)について電源ノイズ電圧を評価した。検討箇所を表 4-11に示す。 電源ノイズ電圧が抑制された一例を図 4-77~図 4-79に示す。観測箇所を図 4-77に示す。 図 4-78 は追加部品実装前の電源電圧波形、図 4-79 は追加部品実装後の電源電圧波形であ る。リップル電圧は 749mVpp から 192mVpp へ減少している。この結果を下期試作基板(EF4) の改造設計に反映した。

| 検討箇所 | 備考 |
|-----------------|-------------|
| CPU | リップル小。対策不要。 |
| CMIC-LE | Cap 追加 |
| CIOB-X2 | Cap 追加 |
| CSB5 | Cap 追加 |
| Rage-XL | Cap 追加 |
| CLK Synthesizer | Cap 追加 |
| MEM CLK Buffer | Cap 追加 |
| PCICLK Buffer | Cap 追加 |

表 4-11 上期試作基板 (EF3) 電源電圧波形観測評価



図 4-77 電源電圧波形観測箇所

| File | Control | Setup | Measure | Analyze | Utilities | Help | 1 | 2:40 AM |
|-----------------|-----------------------|-----------------------|----------------------|--|------------------|---------------|---|---------|
| | Acquisiti 20.0 GSa | on is st. 's 411 1 | opped. kots | <u></u> | ~~~~ | ~~~ | | è _ |
| | 00 | 200 mV/ | 2 0 | Qn | (| <u>On</u> | 0n | |
| T | | | | | AZI | | | |
| | | | | | | | へる社卒社 | |
| T | | | | | + | | Cap对束的 | |
| | Αγ | | | | | | | |
| | . alles | LAND PROPERTY | THE REAL PROPERTY. | A Charles with | 111.1.1 | | parently, it is a figure of a second state of the second state of | |
| ff | | | | and the second s | A | 1.4 | ware in the second | |
| 17↔→ ↑ 7→ | | ille House | CARRIER ARTICLES | | | den di | | |
| ↓-√ L | n kanad kasa | | | ndange filmer fo | <u>A PARA</u> P | h Worlds, a | nan managan di karang kanang kanang karang karan | india. |
| ĥ | and the second | and the state of the | | All Andrewson and Andrewson | And In the local | the adjustice | الطمويان وأألني بالم المتوجعا المن الروية والطاريك | AT ← T |
| ± ² | | | | | | | | -Br |
| IJι | | | | | | | | |
| A | | | | | | | Vp-p=749mV | 11 |
| | 1 | | /a. mm | 200 | | 1 | | 117 |
| More (1of 2) | | | | 200 ms/ | | 72 | | 3. |
| Delete | Measun | ements M | arkers bocale | s and | 8 | | Xann | ? |
| All | | | | $H^{}(1) = B^{}(1) =$ | -20.00020 | ns ns | 2.800 V 2.117 V | |
| | | | | = = 1/۵% | 40.00000 | ns MHz | -749 mV | |

図 4-78 電源電圧観測波形 (対策前)



図 4-79 電源電圧観測波形 (対策後)

次に、改造試作した下期試作基板(EF4)について電源ノイズ低減を確認した。観測箇所 は上期試作基板(EF3)と同様で、表 4-11と同一箇所であった。電圧リップル観測と同時 に動作試験を平行して実施した。その結果、試作基板(EF4)は全て安定動作することが確 認できた。観測箇所の内、VM12MM系で大きな電源ノイズを観測したため、コンデンサ(タ ンタル15 μF 3個、セラミック1 μF 3個)を追加したところ、電圧リップルは半減 した。改造後の基板を下期試作対策基板とした。電圧観測箇所とコンデンサ追加位置を図 4-80 に、対策前の電圧波形を図 4-81、対策後の電圧波形を図 4-82 に示す。



図 4-80 電圧波形観測箇所とコンデンサ追加位置



図 4-81 コンデンサ追加対策前の電圧波形

図 4-82 コンデンサ追加対策後の電圧波形

4-1-5 ノート PC 評価

4-1-5-1 EMI 測定評価

試作したノート PC の EMI 測定を実施した。測定には、VCCI 登録試験所の 10m 法対応の 電波暗室を使用した。ただし、測定精度を上げるため測定距離は 3m 法を採用した。電波 暗室内 EMI 測定風景を図 4-83 に示す。表 4-12 に測定設備、表 4-13 に測定器条件を示す。 また、測定は、本体(ノート PC)のみの構成と、本体に液晶ディスプレイとキーボードお よびマウスを接続する構成の 2 通りで実施した。EMI 測定風景の写真を図 4-84 に示す。 DUT (Device under test) は、高さ 80 cm の木製テーブルの中心で後端部をテーブルエッジに 合わせた。測定時の表示は「H パターン」、動作は PLU テストモードとした。



図 4-83 電波暗室内 EMI 測定風景(写真) NEC コンピュータテクノ EMC センター 10m 電波暗室 測定距離 3 m

表 4-12 使用機器

| | 種類 | 型番 | メーカ |
|----|-----------|----------|-----------|
| 1) | スペアナ&レシーバ | ESIB 26 | R&S |
| 2) | バイログアンテナ | CBL6111C | SCHAFFNER |
| 3) | プリアンプ | 8447D | HP |
| 4) | プリアンプ | ESV-Z3 | R&S |

表 4-13 スペアナ設定

| REF | $70 \mathrm{dB}\mu\mathrm{V}$ |
|-------|-------------------------------|
| RANGE | 50 dB |
| RBW | 100kHz |
| VBW | 100kHz |
| ATT | 10dB |



図 4-84 EMI 測定風景(写真)

4-1-5-1-1 試作基板

(1)EMI強化筐体

試作した LILC 搭載基板を組み込んだノート PC の本体のみ(液晶ディスプレイ とキーボード及びマウスを接続していない状態)での EMI 測定結果(MAX. Hold 値)水平偏波、垂直偏波をそれぞれ図 4-85、図 4-86 に示す。また、このときの QP 値測定結果を表 4-14 に示す。

全周波数帯域において、概ねVCCIクラスB許容値に対して20dBのマージンとなっている。但し、マージン20dBに満たしていないスペクトラムが3箇所(100MHz, 880MHz, 945MHz)存在する。これらのスペクトラムについては原因解析を行った。「磁界分布測定評価」に記述する。さらに、この本体に液晶ディスプレイとキー

ボードおよびマウスを接続した構成でのEMI測定結果水平偏波、垂直偏波をそれぞ れ図4-87,図4-88に示す。このときもVCCIクラスB許容値に対して、概ね10dB以上 のマージンをもってクリアしている。

表 4-14 QP 値測定結果ノート PC "試作基板+EMI 強化筐体+周辺機器無"

| 周波数 [MHz] | 偏波 | レベル QP [dB(μV/m)] | マージン QP [dB] |
|-----------|-----|-------------------|--------------|
| 100.1 | Н | 22.4 | 17.6 |
| 293.2 | Н | 24.9 | 22.1 |
| 879.6 | H/V | 27.4/28.3 | 19.6/18.7 |
| 944.8 | V | 29.2 | 17.8 |



図 4-85 "試作基板+EMI 強化筐体+周辺機器無" EMI 特性(水平偏波)



ノートPC LILC'04ボード 強化筐体 周辺なし 10dB_AMP

図 4-86 "試作基板+EMI 強化筐体+周辺機器無" EMI 特性(垂直偏波)







ノートPC LILC'04ボード 強化筐体 周辺あり

図 4-88 "試作基板+EMI 強化筐体+周辺機器有" EMI 特性(垂直偏波)

(2) 標準管体

試作基板を、標準筐体に組み込んだ試作ノート PC の本体のみ(液晶ディスプレイとキーボード及びマウスを接続していない状態)での EMI 測定結果(MAX. Hold値)水平偏波、垂直偏波をそれぞれ図 4-89、図 4-90 に示す。

一部の周波数でオリジナルと同様に VCCI クラス B 許容値を満足しない周波数が ある。これは、実装制限により、全ての回路、モジュールに電源デカップリング 技術を適用していないために、テストプログラムの動作状況により未対策回路、 モジュールが動作したことに起因すると考える。後述するオリジナル基板でも一 部のスペクトラムで VCCI クラス B 許容値を満足していない。さらに、この本体に 液晶ディスプレイとキーボードおよびマウスを接続した構成での EMI 測定結果水 平偏波、垂直偏波をそれぞれ図 4-91、図 4-92 に示す。サーバ装置の筐体異なり マザーボードの着脱を繰り返す内に、ケース勘合部の接合状態が悪くなってしま ったと推察する。強度剛性が低い筐体を使用する際の課題である。



ノートPC LILC'04ボード 標準筐体 周辺なし

60

50

水平偏波

図 4-90 "試作基板+標準筐体+周辺機器無" EMI 特性(垂直偏波)

[MHz]

69







ノートPC LILC'04ボード 標準筐体 周辺あり

図 4-92 "試作基板+標準筐体+周辺機器有" EMI 特性(垂直偏波)

4-1-5-1-2 オリジナル基板

(1) 標準筐体

市販を想定し設計したオリジナル基板を、標準筐体に組み込んだノートPCの本体のみ(液晶ディスプレイとキーボード及びマウスを接続していない状態)での EMI 測定結果(MAX. Hold 値)水平偏波、垂直偏波をそれぞれ図 4-93、図 4-94 に示す。

一部の周波数で VCCI クラス B 許容値を満足しない周波数がある。これは、サー バ装置の筐体異なりマザーボードの着脱を繰り返す内に、ケース勘合部の接合状 態が悪くなってしまったと推察する。強度剛性が低い筐体を使用する際の課題で ある。さらに、この本体に液晶ディスプレイとキーボード及びマウスを接続した 構成での EMI 測定結果水平偏波、垂直偏波をそれぞれ図 4-95、図 4-96 に示す。


図 4-93 "オリジナル基板+標準筐体+周辺機器無" EMI 特性(水平偏波)



ノート Original ボード 標準筐体 周辺なし





図 4-95 "オリジナル基板+標準筐体+周辺機器有" EMI 特性(水平偏波)



ノート Originalボード 標準筐体 周辺あり

図 4-96 "オリジナル基板+標準筐体+周辺機器有" EMI 特性(垂直偏波)

4-1-5-2 磁界分布測定評価

"4-1-4-1 EMI 測定評価"において VCCI クラス B 許容値に対して 20dB 以上のマージン を満たさないか、ちょうど 20dB マージンであった周波数について、ノイズ発生源を特定す るために近傍磁界分布測定を実施した。磁界分布測定周波数を表 4-15 に示す。また、本測 定の条件、構成を表 4-16 に示す。DUT は「H パターン表示」,「PLU テストプログラム稼働 状態」とした。測定風景を図 4-97 に、座標軸の方向を図 4-98 に示す。

表 4-15 磁界分布測定対象周波数

| 周波数 [MHz] | 偏波 | マージン QP [dB] | 備考 |
|-----------|-----|--------------|---------|
| 100.1 | Н | 17.6 | 間欠性 |
| 293.2 | Н | 22.1 | 安定 |
| 879.6 | H/V | 19.6/18.7 | (検出できず) |
| 944.8 | V | 17.8 | 安定 |

表 4-16

| 測定システム (スキャナ装置) | NECエンジニアリング所有システム |
|-----------------|----------------------------|
| | (NEC 中河原技術センター内) |
| 磁界プローブ | MP-10L |
| スペクトラム・アナライザ | HP8560E |
| アンプ | MITEQ AM-1309(0.1-1000MHz) |
| 磁界プローブ高さ | 7mm |
| 基板表面からの離隔距離 | |
| X 方向測定ピッチ | 1mm |
| Y方向測定ピッチ | 1mm |

デカップリング技術適用前のオリジナル基板の磁界分布(半田面側)測定結果を図99、 図100に示す。図99はX方向磁界成分、図100はY方向磁界成分である。位置関係が判る ように部品面側からの透視図とした。図101~図112に試作基板の磁界分布測定結果を示 す。測定周波数は100MHz,300MHz,966MHzである。880MHzは磁界分布測定システムでは 検出されなかった。オリジナル基板ではバッテリー接続側の電源配線に強い電流が観測さ れた。試作基板では概ね減少しているが、CPU,チップセット付近にやや強い磁界分布が認 められた。



図 4-97 磁界分布測定風景 (写真)

MP-10L



図 4-98 測定座標軸の方向と測定風景(写真;半田面測定)







図 4-100 オリジナル基板 100MHz 半田面側磁界分布図 (Y 方向,部品面からの透視図)







図 4-102 試作基板 100MHz 部品面側磁界分布図 (Y 方向, 部品面からの透視図)







図 4-104 試作基板 100MHz 半田面側磁界分布図 (Y 方向,部品面からの透視図)



図 4-105 試作基板 300MHz 部品面側磁界分布図 (X 方向, 部品面からの透視図)



図 4-106 試作基板 300MHz 部品面側磁界分布図 (Y 方向, 部品面からの透視図)



図 4-108 試作基板 300MHz 半田面側磁界分布図 (Y 方向,部品面からの透視図)







図 4-110 試作基板 966MHz 部品面側磁界分布図 (Y 方向, 部品面からの透視図)







図 4-112 試作基板 966MHz 半田面側磁界分布図 (Y 方向,部品面からの透視図)

4-1-5-3 漏洩電磁波の信号解析

EMI 測定評価で中間目標を達成しなかった周波数について原因を特定するため、信号解 析を行った。近傍磁界測定系の説明を図 4-113 に示す。測定対象の「ノート PC (EMI 強化 筐体)」の近傍に、磁界プローブ(11940A)を配置し、磁界を観測する。今年度導入した リアルタイムスペアナ RSA3408A で信号解析を行った。リアルタイムスペアナは通常のスペ アナに比べ信号解析機能が格段に強化されており、周波数軸で時間変化する信号の特徴を 抽出することができる。



図 4-113 近傍磁界測定系

944MHz の信号をスパン 1kHz で観測しながら、ノート PC の画面を「H パターン」から「黒 ー色」に変更した。リアルタイムスペアナの観測結果を図 4-114 に示す。同図はリアルタ イムスペアナ管面のハードコピーで、上部は周波数スペクトラム、下部は縦軸時間のグラ フである。画面表示切り替え時刻を境に下部時間グラフが変化している。画面信号に関連 していることが判る。そこで、マザーボード上の信号を高速オシロスコープで観測した。 観測位置を図 4-115 に示す。観測波形を図 4-116 に示す。リアルタイムスペアナとオシロ スコープの測定から、944MHz のスペクトラムは 60Hz 周期であるので、画像信号と推定さ れる。したがって、同スペクトラムには画像情報が重畳されている可能性がある。今後は 信号解析により、漏洩電磁波の原因回路を特定し、対策を講じたい。







図 4-115 時間波形観測位置

信号ラインの電圧波形



図 4-116 オシロスコープによる観測波形

4-1-6 シミュレーション解析

4-1-6-1 目的

PC マザーボード基板設計に LILC 素子を用いることにより、電磁界放射の発生及び情報 漏洩を防止する効果があることを確認するため、シミュレーションを実施した。

本シミュレーションでは、PCマザーボード基板から発生する電磁界放射の原因となる、 PCマザーボード基板上電源配線のノイズ波形を測定・比較することにより、LILC素子を 適用した PCマザーボード基板での電磁界放射低減の確認を行った。

4-1-6-2. シミュレーション・ツール

4-1-6-2-1 使用シミュレーション・ソフト

今回のシミュレーションでは、Sigrity, Inc.社のシミュレーション・ソフト「Speed2000」 を使用した。

Speed2000は、LSI パッケージ・プリント基板を対象とする、タイム・ドメイン解析をコ アとした、パワー/シグナル・インテグリティの統合シミュレーション・ソフトウェアで あり、高密度パッケージや多層バックプレーンなど、複雑な構造における実動作レベルで のグランド・バウンスがシミュレーション可能である。

4-1-6-2-2 シミュレーション原理

シミュレーション・モデル内の解析対象別に以下のモードで電圧・電流波形の解析を行う。 シミュレーション・モデル内要素の各モードへの分解と、モード間の相互作用の考慮はシ ミュレーション・ソフトが自動的に行う。

① プレーン、ビア< PPM propagation > \rightarrow フィールド・ソルバ (FDTD 法)

② 信号 Trace< SLM propagation > → 有損失結合伝送路モデル解析エンジン

③ 信号源、回路 → SPICE 系回路シミュレーション・エンジン

4-1-6-2-3 シミュレーション手順

本シミュレーションは下記の手順で行った。

- (1) シミュレーション・モデルの作成・編集

- (2) シミュレーションの実施
- (1) シミュレーション・モデルの作成

LILC 素子を用いて電磁界放射対策を施した PC マザーボード基板の設計には、CAD ツールとして Cadence 社の Allegro を使用した。

Speed2000 では、Cadence 社の CAD データフォーマットを Speed2000 シミュレーション・モデル形式に変換する機能が用意されており、この機能を使用して設計データを基板のシミュレーション・モデルに変換した。

この変換したシミュレーション・モデルを元に、電流源モデルや部品モデルの追加及びシ ミュレーション条件の設定を行い、シミュレーションを実施した。

実際の PC 装置では基板以外に電源・外部記憶装置・情報表示装置等とそれらを接続す るケーブルからも電磁界放射か発生する。しかし、Speed2000 は 2D シミュレーション用 ツールであり、これらの装置のモデル化には向いていないため、本シミュレーションの対 象は PC マザーボード基板のみとした。

(2) シミュレーションの実施

Speed2000 のシミュレーションは、ボード・モデル内の配線・部品等を、方形格子に離 散化して過渡解析を実施する。これにより、伝送路へのノイズ波形・線路/ビア間クロス トーク・プレーン間ノイズ伝播などのシミュレーションを行うことが可能である。

4-1-6-3-1 PC マザーボード基板

このシミュレーションに使用した PC マザーボード基板は下記のものがある。

EF3a-BV ・・・本年度上期に設計した LILC 素子用いて電磁波漏洩対策を 施したサーバ基板。

元ボード ・・・ EF3a-BV 基板の LILC 素子適用基板設計の元になった基板。

以後これらの基板をそれぞれ「LILC 適用ボード」「元ボード」と呼称する。

これらの基板に存在する全ての配線・部品をシミュレーション・モデル化した場合、シミュレーションの計算対象となる要素が膨大な量になる。

これまでのシミュレーション・ソフト使用実績より、そのようなシミュレーション・モデルは現実的な時間ではシミュレーションが完了しない。

そのため、シミュレーション・モデルの作成にあたり、対象となるボード上配線及び部品 を限定した。

次節以降で、LILC 適用ボード及び元ボードの設計データからシミュレーション・モデル を作成した際の各種条件について説明する。

4-1-6-3-2 基板層構成

各基板の層構成及び誘電率に関する設定は、実際の基板設計時の情報である表 4-17 の数値 を使用した。

表 4-17 シミュレーション実施基板層構成

元ボード層構成

| | | 厚さ[mm] |
|--------|----------|--------|
| | resist | 0.0127 |
| Тор | L1 | 0.0180 |
| | pre-preg | 0.1000 |
| Vcc1 | L2 | 0.0350 |
| | core | 0.1500 |
| S | L3 | 0.0350 |
| | pre-preg | 0.1500 |
| Gnd1 | L4 | 0.0350 |
| | core | 0.1000 |
| S | L5 | 0.0350 |
| | pre-preg | 0.1500 |
| S | L6 | 0.0350 |
| | core | 0.1000 |
| Gnd2 | L7 | 0.0350 |
| | pre-preg | 0.1500 |
| S | L8 | 0.0350 |
| | core | 0.1500 |
| Vcc2 | L9 | 0.0350 |
| | pre-preg | 0.1000 |
| Bottom | L10 | 0.0180 |
| | resist | 0.0127 |

誘電率、誘電正接(両ボード共通) Er=4.3 tan δ =0.025 (pre-preg / core) Er=4.8 tan δ =0.041 (resist) LILC 適用ボード層構成

| | | 厚さ[mm] |
|--------|----------|--------|
| | resist | 0.015 |
| Тор | L1 | 0.057 |
| | pre-preg | 0.120 |
| Gnd1 | L2 | 0.032 |
| | core | 0.150 |
| S | L3 | 0.032 |
| | pre-preg | 0.155 |
| Gnd2 | L4 | 0.032 |
| | core | 0.110 |
| S | L5 | 0.032 |
| | pre-preg | 0.140 |
| S | L6 | 0.032 |
| | core | 0.110 |
| Gnd3 | L7 | 0.032 |
| | pre-preg | 0.155 |
| S | L8 | 0.032 |
| | core | 0.150 |
| Gnd4 | L9 | 0.048 |
| | pre-preg | 0.155 |
| S | L10 | 0.048 |
| | core | 0.150 |
| Vcc1 | L11 | 0.032 |
| | pre-preg | 0.120 |
| Vcc2 | L12 | 0.032 |
| | core | 0.110 |
| Gnd5 | L13 | 0.032 |
| | pre-preg | 0.120 |
| Bottom | L14 | 0.057 |
| | resist | 0.015 |

4-1-6-3-3 ビアモデル

基板上に多数存在するビアは、基板設計データからシミュレーション・モデルへの変換 で自動的に寸法のデータを継承して変換される。

4-1-6-3-4 配線

4-1-6-3-1 節で述べた理由により、シミュレーション対象となる配線および部品を限定 して、シミュレーション・モデルの作成を行った。

(1)ノイズ源 LSI

一般的な PC マザーボード基板上では、電流を消費してノイズを発生する LSI が多数存在 する。ノイズ源となるこれら LSI の動作を全てシミュレーションすることは、

・シミュレーション結果のノイズ波形を解析する場合、どのノイズ源に由来するのか
判別が複雑になる。

・シミュレーション時間の増大やシミュレーションに使用したマシンスペックの不足 などの理由により現実的な時間でシミュレーションが終了しない。 などの問題点がある。

そのため、シミュレーション・モデル上に配置するノイズ源を、基板上 LSI の中でスペック上の最大消費電力が最も大きい LSI である CPU に限定した。

(2) 信号配線

同様にシミュレーションに使用するモデルを作成するにあたって、基板上の全信号配線か らシミュレーションの対象となる信号を限定した。

信号配線限定の基準として、CPU をノイズ源としたシミュレーションを実施した場合にシ ミュレーション結果に与える影響が小さいと予測される配線を削除した。

また、元ボードと LILC 適用ボードのシミュレーション・モデルが同等の配線を持つよう にした。

これらの結果より、それぞれのモデルには次の電源・信号の伝送路を残した。

・シミュレーション対象配線

(LILC 適用ボード)

- ・ボード上の全 LILC 素子に接続されている全ての電源・GND 配線
- ・CPU(ノイズ源)のピンに接続されている全ての信号配線

(元ボード)

- ・LILC 適用ボードでシミュレーション・モデルに残した電源・GND 配線と 同等の範囲・部品へ接続される電源・GND 配線
- ・CPU#1(ノイズ源)のピンに接続している全ての配線

以上の信号を選択することにより、シミュレーション・モデル変換前設計データが持つ信 号本数と、シミュレーション・モデル変換後の各シミュレーション・モデルに残した信号 の本数は表 4-18 になった。

表 4-18 設計データ/シミュレーション・モデル配線数比較

| | 亦協前公司約 | 変換後配線数 | | | |
|-----------------------|-----------------|--------|---------|--|--|
| | 炙 怏刖杺臫栤奴 | 電源配線 | CPU接続配線 | | |
| 元ボード | 2589 | 91 | 208 | | |
| LILC適用ボード | 2245 | 119 | 207 | | |
| 注:電源配線とCPU接続配線で一部重複有り | | | | | |

元ボードおよび LILC 適用ボードではノイズ源(CPU)に対する電源配線は図 4-117 の ような構成になる。元ボードで電源回路-CPU 間をつないでいた電源配線は、LILC 適用ボ ードでは LILC 素子により分割される。以後、元ボード電源配線を図に記載のように「Vccp」 と、LILC 適用ボードのノイズ源-LILC 素子間電源配線を「Vccp_L1」と、LILC 素子-電源回路間電源配線を「Vccp」と呼称する。



図 4-117 CPU (ノイズ源) 電源パターン構成

4-1-6-3-5 実装部品モデル

信号配線と同様に、各ボードのシミュレーション・モデルに配置する部品についても、今 回のシミュレーション結果に対する影響が少ないと思われる部品を削除した。

シミュレーション・モデルに残した部品の条件は下記の通りで、前節に記載した条件の 配線に接続している部品をシミュレーション・モデルに残した。

コンデンサ ・・・ 電源-GND 間接続のコンデンサ

抵抗 ・・・・・ Pull Up/Pull Down 抵抗、電源フィルタ回路

インダクタ ・・・ 電源フィルタ回路

LILC 素子 ・・・ 削除部品無し

(1) コンデンサ

設計データで指定されている部品と同等の容量・サイズ・特性を持つ部品を TDK(株)と NEC トーキン(株)が公開しているデータから指定して、容量・ESL・ESR を決定した。 これらのコンデンサのインピーダンス周波数特性は図 4-118、図 4-119 のようになる。 この特性は Speed2000 で使用したコンデンサ・モデルを HSPICE で解析したインピーダ ンス周波数特性である。

(2)抵抗、インダクタ

それぞれ設計データで指定されている抵抗値・インダクタンス値のモデルを入力した。

(3) LILC 素子

1mm 幅、6.3WV ミニバス形 LILC 素子を実測した S パラメータを元に作成した等価回路 モデルを使用した。LILC の各長さにおける等価回路を図 4-120 に示す。



図 4-118 コンデンサ・モデル・インピーダンス特性



図 4-119 コンデンサ・モデル・インピーダンス特性



図 4-120 1mm 幅 6.3WV ミニバス形 LILC 素子等価回路モデル

4-1-6-3-6 ノイズ源モデル

LSI 動作によって発生する電流は、その挙動により、次の3種類に分類できる。

- ・I/O バッファ動作による信号配線/負荷への充放電電流
- ・I/O バッファ動作による電源-GND 間貫通電流
- ・内部コア・ロジック動作による電源-GND 間貫通電流(コア電流)

これらのうち、コア電流がパッケージやボードのパワー・インテグリティに影響を及ぼす 最も支配的な成分と考えられており、本シミュレーションではコア電流をノイズ源として シミュレーション・モデルを作成した。

(1) ノイズ源(電流源)

本シミュレーションでは、CPU のコア電流から発生するノイズ源のモデルとして、次の 電流源モデルを使用した。

(a) 周期的動作モデル(時間軸:ガウス分布)

図 4-121LSI 内部スイッチング動作と発生ノイズを示す。LSI 内部コア・ロジックで信号 の電圧波形が青点線台形波のようにスイッチングする場合、スイッチングにより発生する ノイズ電流は、赤線波形のように電圧波形の立ち上りまたは立ち下りに電流が大きく流れ る波形になると考えられる。



図 4-121 LSI 内部スイッチング動作と発生するノイズ

以上より、ノイズ源のシミュレーション・モデルを、図 4-122 のような 1 周期毎に時間軸 上でガウシアン分布となる波形を持つスイッチング・ノイズをモデルと仮定した。



I(t)=[I_{max}] × exp(-1/(0.2887 × [PulseWidth])² × (t-[TimeDelay])²) [In the first period]

図 4-122 ノイズ源モデル 電流波形

LILC 適用ボードの実測評価では Xeon Processor 3.06GHz を CPU として使用してい た。公開されているデータシートの情報より、この CPU のコア電源は電流最大値: ICC_{max}=69.1A で動作する。Typical 状態での電流値は公開されていないため、Typical 状 態の電流値を ICC_{max} の 1/10 と仮定した。ノイズ源モデルのパラメータ[I_{max}]は、ノイズ源 モデルで流れる電流の積分値と上記仮定の ICC typical 動作時の電流量とが等しくなるよ う設定した。

実際の CPU では内部回路のスイッチングのタイミング次第で、さまざまな周波数のノ イズが発生すると考えられる。

今回のシミュレーションでは、それらの中でも大きなノイズが発生すると考えられる CPUの基本動作周波数 3.06GHz とバス信号の基本動作周波数 533MHz の 2 つの周波数に よるコア電源ノイズのシミュレーションを実施して、それぞれの周波数成分のノイズ源で 基板上のノイズ波形がどのように発生するかを調べた。

(b) 単発動作モデル(周波数軸: ガウス分布)

入力インピーダンスやSパラメータなど、広い範囲の周波数特性を過渡解析で導出する 場合、信号源を正弦波として DC 電源から希望の周波数まで小刻みに掃引すればいいが、 この方法はシミュレーションに時間を要して現実的でない。

そこで、1回の励振によるシミュレーションで効率よくパラメータ抽出するためには、信 号源自体が低周波から高周波領域まで広帯域かつ滑らかなスペクトラムを持つことが理想 になる。

この条件を満たす波形として、ガウス分布の周波数成分を持つ単発パルスを設定してシミュレーションを実施した。

具体的には、ノイズ波形の中心周波数を1GHzとして、各シミュレーション・モデルの周 波数特性の確認を行った。

この波形は次の式で表される。

$I(t)=[I_{max}] \times exp(-1/(0.2887 \times [PulseWidth])^2 \times (t-[TimeDelay])^2) \\ \times cos(2 \pi \times [Frequency] \times (t-[TimeDelay]))$

[PulseWidth]=3ns、[TimeDelay]=5ns、[Frequency]=1GHz、[Imax]=752A

シミュレーションでは、この式の波形を 2ps 毎にプロットした PWL (折れ線) モデルを ノイズ源に使用した。

(2) CPU 電源ケースモデル

電流源(ノイズ源)と基板の間に接続される CPU 内の電源配線モデルとして図 4-123 の CPU 電源ケースモデルを接続した。このモデルは Intel 社が Web 上で公開している 「Intel® Xeon[™] Processor Multi-Processor Platform Design Guide」に記載されている 等価回路モデルである。



⊠ 4-123 Intel® Xeon[™] Processor Lump Model Schematic

(3) ノイズ源モデルの基板モデルへの接続

実物の CPU ではボード上に電源ピンが 190 個存在しており、これらの電源ピンからボ ード上電源配線に伝播するノイズのディレイ・波形・位相や周波数などの特性は全てのピ ンで異なる。実物の動作を厳密にシミュレーションするには、これらの全てのピンに対し て実物のノイズ波形に則した個別のノイズ源モデルを用意する必要がある。

そのためには LSI 内部構造の解析などのデータが必要だが、それらの情報が公開されていない。

そのため、本シミュレーションでは、CPU のコア電源全体を1つのノイズ・モデルと設 定して、その1つのノイズ源モデルにボード上の全電源ピンを図 4-124 のように並列に接 続した。



図 4-124 ノイズ源モデル接続概要

4-1-6-3-7 波形データ観測ポイント

基板からの電磁界放射は、主に基板表面の電源配線と基板端から発生すると考えられる。 本シミュレーションではノイズ源に接続しているボード表面電源配線のエッジ部分の電圧 波形、及び隣接する2層間の基板端にある電源・GND 配線の電位差波形を記録した。

(1) 基板表面波形データ観測ポイント

基板表面から発生する電磁界放射を間接的に測定するために、ノイズ源に接続する基板 表面電源配線のエッジ部分で電圧波形を測定した。測定ポイントを図 4-125 に示す。

具体的には、基板表面の電源配線上に設定する観測ポイントとその近傍の GND 配線間 に高抵抗(100MΩ)の抵抗モデルを接続して、その抵抗の電圧値を測定した。その等価回 路を図 4-126 に示す。



図 4-125 基板表面 波形観測ポイント 配置例



図 4-126 波形観測の等価回路

(2) 層間電位差データ観測ポイント

基板端からの電磁界放射を間接的に測定するため、基板端にある電源・GND 配線の層間 電位差を測定した。

特定の2層で基板端が電源・GND 配線となっている箇所を観測ポイントとする。この 点の、X-Y座標、2つの層を指定して2層間の電位差を記録する観測ポイントとした。図 4-127に測定ポイントを示す。



図 4-127 基板端層間電位差波形観測ポイント 配置例

層間電位差の観測ポイントには、基板端配線の最も端に存在する格子から1個内側の格 子に設定した。 元ボードでは信号層の基板端には GND シールドは無いが、LILC 適用ボードには信号層 の基板端に GND シールドが存在する。但し、表面層では元ボードにも GND シールドが 存在する。また電源・GND 層のベタ配線は信号層の GND シールドと同等の位置まで配線 されている。

以上より、基板端の波形観測ポイントは次のように設定した。図 4-128 に基板端層間電位 差観測ポイント 対象層を示す。

元ボードでは、図中の矢印の箇所に表面層及び電源層・GND 層間の基板端に観測ポイントを設定した。

LILC 適用ボードでは電源・GND 層の配線や信号層の GND シールドの層間に観測ポイントを設定した。





LILC 適用ボード



図 4-128 基板端層間電位差観測ポイント 対象層

設計データ/シミュレーション・モデルの表面層では、基板端の GND シールドは図 4-129 のように配線されている。

内層信号層の基板端は、元ボード・LILC 適用ボードでそれぞれ図 4-130、図 4-131 のよう になっている。



図 4-129 基板表面層 GND シールド例:元ボード L1(Top)層



図 4-130 基板内層例:元ボード L6 層



図 4-131 基板内層 GND シールド例:LILC 適用ボード L6 層

4-1-6-4 シミュレーション結果

4-1-6-4-1 シミュレーション内容・条件

4-1-6-4-1-1 シミュレーション内容

LILC 適応ボードの電源ノイズ低減効果を確認するために、4-1-6-3-6 節で説明した次の ノイズ源を設定してシミュレーションを実施した。

(1) 4-1-6-3-6 (a)の周期的動作モデル(時間軸:ガウス分布)。

周期(周波数)を 3.06GHz に設定。

(2) 4-1-6-3-6 (a)の周期的動作モデル(時間軸:ガウス分布)。 周期(周波数)を 533MHz に設定。

(3) 4-1-6-3-6 (b)の単発動作モデル(周波数軸:ガウス分布)。 中心周波数を 1GHz に設定。

(1)・(2)の周期(周波数)はそれぞれノイズ源である CPU の基本動作周波数・バス信号の基本動作周波数である。

実際の CPU では内部回路のスイッチングのタイミング次第で、さまざまな周波数のノ イズが発生すると考えられる。

今回のシミュレーションでは、それらの中でも大きなノイズが発生すると考えられる CPUの基本動作周波数、またはバス信号の基本動作周波数によるコア電源ノイズのシミュ レーションを実施して、それぞれの周波数成分のノイズ源で基板上のノイズ波形がどのよ うに発生するかを調べた。

(3)ではノイズ源に中心周波数を1GHzとしたガウス分布の周波数成分を持つ単発パルスを設定して、今回使用したシミュレーション・モデルの周波数特性を調査した。

4-1-6-4-1-2 シミュレーション条件

Speed2000のシミュレーション解析条件を下記条件に設定した。

メッシュ条件: (X、Y) = (400, 400) (1 格子あたり約 0.762 x 0.8255mm) シミュレーション時間: 60ns (Time Step:約 3.54ps) Speed2000 の過渡解析ではシミュレーション・モデルの全層をメッシュ条件の方形格子 で区切った領域ごとに離散化してシミュレーションを実行する。シミュレーション時間で の Time Step はメッシュ数の設定に伴い自動的に決定される。シミュレーション時間 60[ns]は、電磁界放射解析において、フーリエ展開で 16.67[MHz] step の周波数特性を算 出するための条件である。シミュレーションを行う 2 種類の基板上のバス信号及び LSI は、 33[MHz]・48[MHz]・133[MHz]・266[MHz]等のクロック周波数で動作している。

そのため、基板上の電流ノイズの周波数成分や電磁界放射でピークが発生する周波数は、 上記のこれらのクロック周波数の逓倍になると推測される。

シミュレーションでこれらの電磁界放射ピークが計算できるようにするため、シミュレ ーション時間を 60[ns]に設定した。

シミュレーション結果の波形表示は、LILC 適用ボードの全観測ポイント4種類に振り 分けた。元ボードの観測ポイントを図 4-132、LILC 適用ボードの観測ポイントを図 4-133 に示す。観測ポイントに対応するようにシミュレーション結果の表示を行った。



4-1-6-4-2 シミュレーション結果

4-1-6-4-2-1 周期的動作モデル(周波数 3.06GHz)

4-1-6-3-6章(a)に記載されている下記数式のノイズ源モデルを使用してシミュレーションを実施した。また、式のパラメータを以下に設定した。

$I(t)=[I_{max}] \times exp(-1/(0.2887 \times [PulseWidth])^2 \times (t-[TimeDelay])^2)$ [In the first period]

Imax=496[A]、 Pulse Width=10[ps]、 Time Delay=3[ns]、 周期=5[ns]

このノイズ源は、CPUの基本動作周波数 3.06GHz で CPU コア電源からノイズ波形が発 生していることを仮定したノイズ源モデルである。

○シミュレーション結果

元ボード及び LILC 適用ボード上に設定した観測ポイントでのノイズ波形と周波数成分 は図 4-134~図 4-143 のようになった。



図 4-134.全観測ポイント波形

LILC 適用ボード上のノイズ源に直接接続する電源パターン「vccp_L1」(ノイズ源近傍)、 LILC 素子を介して接続するように分割された電源パターン「vccp」(外部電源側)、及び元 ボード上のノイズ源に接続する電源パターン「vccp」内で LILC 適用ボードの「vccp_L1」 (ノイズ源近傍)、「vccp」(外部電源側)に対応する観測ポイントの波形は次のようになった。

図 4-135. 全観測ポイント波形周波数成分



図 4-136. 元ボード上電源パターン「vccp」ノイズ源近傍観測ポイント波形/周波数成分



図 4-137. LILC 適用ボード上ノイズ源-LILC 素子間電源パターン「vccp_L1」 観測ポイント波形/周波数成分


図 4-138. 元ボード上電源パターン「vccp」 外部電源側観測ポイント波形/周波数成分



図 4-139. LILC 適用ボード上 LILC 素子-外部電源間電源パターン「vccp」 観測ポイント波形/周波数成分

元ボード及び LILC 適用ボードの基板端観測ポイントでの電源パターン-GND パターン 間の層間電位差波形は次のようになった。



図 4-140. 元ボード上電源パターン-GND パターン間 基板端電位差観測ポイント 波形/周波数成分



図 4-141. LILC 適用ボード上電源パターン-GND パターン間 基板端電位差観測ポイント 波形/周波数成分 波形/周波数成分

元ボード及びLILC適用ボードの基板端観測ポイントでのGNDパターン-GNDパターン 間の層間電位差波形は次のようになった。



図 4-142. 元ボード上 GND パターン-GND パターン間 基板端電位差観測ポイント波形/周波数成分



図 4-143. LILC 適用ボード上 GND パターン-GND パターン間 基板端電位差観測ポイント波形/周波数成分

・LILC 適用ボード上ノイズ源ーLILC 素子間電源パターン「vccp_L1」及び元ボード上電
源パターン「vccp」(図 4-136、図 4-137)

LILC 適用ボード上のノイズ源-LILC 素子間電源パターン「vccp_L1」では、3.06GHz 及び 167MHz のノイズ成分が元ボードと比較して約 2 倍の大きさになっている。また 783MHz で、それらに続いて大きなノイズ成分が存在している。元ボードではこの783MHz のノイズ成分ピークはほとんど見られない。

これらのノイズ成分ピークのうち、3.06GHz 帯のピークはノイズ源波形に含まれる周波 数成分と一致する。167MHz 帯のピークは CPU 電源ケースモデルによるものである。ま た、783MHz 帯のピークはノイズ源ーLILC 間電源パターン「vccp_L1」と LILC 素子など の接続形態が集中定数素子(キャパシタ)として振舞う場合の共振(共鳴)現象と思われる。 167MHz・783MHz 帯のピークが発生する原因の詳細調査は、後述の 4-1-6-4-3 節に示す。

LILC 適用ボード上のノイズ源-LILC 素子間電源パターン「vccp_L1」領域のノイズ振幅は元ボードに比べ大きくなっている。しかし、パターン全域でほぼ同位相で電圧が変動していることから、パターン端部での電流はほとんど流れないためアンテナとは機能しない。また放射が多少あったとしても、アンテナとなる電源パターンの面積が小さくなるため、LILC 適用ボードからの電磁界放射は元ボードからの電磁界放射と比較して小さくなると考えられる。

・LILC 適用ボード上 LILC 素子ー外部電源間電源パターン「vccp」及び元ボード上電源
パターン「vccp」(図 4-138、図 4-139)

LILC 適用ボード上の LILC 素子で分割した電源パターンのうち、LILC 素子-外部電源 間電源パターン「vccp」では、3.06GHz のノイズ成分が元ボードと比較してほぼ同等の大 きさになっている。

・基板端 電源パターン-GND パターン間 層間電位差(図 4-140、図 4-141)

基板端での電源パターン-GNDパターン間の層間電位差は、LILC 適用ボードでは元ボ ードと比較して 10 分の 1 以下にノイズ成分が小さくなっている。これより、LILC 適用ボ ードの基板端からの電磁界放射は元ボードに対して 20dB 以上の割合で低下し、LILC 適用 の効果が十分に現れると思われる。

· 補足説明

元ボード「vccp」や LILC 適用ボード「vccp_L1」では、シミュレーション結果で右肩 上がり/下がりの波形が見られる。これは、ノイズ源として正のガウシアンモノパルスを 与えていることにより、時間経過と共に正または負の電荷が電源配線にたまってゆくため である。また、観測ポイントによって電圧の印加方向が右肩上がり/下がりに分かれてい るのは、本シミュレーションで層間電位差の表示設定を(〔上方層電圧値〕 – 〔下方層電圧 値〕)に統一したためである。

4-1-6-4-2-2 周期的動作モデル(周波数 533MHz)

4-1-6-3-6 章(a)に記載されている下記数式のノイズ源モデルを使用してシミュレーションを実施した。また式のパラメータを以下に設定した。

I(t)=[I_{max}] × exp(-1/(0.2887 × [PulseWidth])² × (t-[TimeDelay])²) [In the first period]

Imax=1984[A]、 Pulse Width=10[ps]、 Time Delay=3[ns]、 周期=5[ns]

このノイズ源は、CPUのバス動作周波数 533MHz で CPU コア電源からノイズ波形が発生していることを仮定したノイズ源モデルである。

○シミュレーション結果

元ボード及び LILC 適用ボード上に設定した観測ポイントでのノイズ波形と周波数成分 は図 4-144~図 4-153 のようになった。



図 4-144. 全観測ポイント波形

図 4-145. 全観測ポイント波形周波数成分

LILC 適用ボード上のノイズ源に直接接続する電源パターン「vccp_L1」(ノイズ源近傍)、 LILC 素子を介して接続するように分割された電源パターン「vccp」(外部電源側)、 及び元ボード上のノイズ源に接続する電源パターン「vccp」内で LILC 適用ボードの 「vccp_L1」(ノイズ源近傍)、「vccp」(外部電源側)に対応する観測ポイントの波形は次の ようになった。



図 4-146. 元ボード上電源パターン「vccp」ノイズ源近傍観測ポイント波形/周波数成分



図 4-147. LILC 適用ボード上ノイズ源-LILC 素子間電源パターン「vccp_L1」 観測ポイント波形/周波数成分



図 4-148. 元ボード CPU 電源「vccp」 外部電源側観測ポイント波形/周波数成分



図 4-149. LILC 適用ボード上 LILC 素子-外部電源間電源パターン「vccp」 観測ポイント波形/周波数成分

元ボード及びLILC適用ボードの基板端観測ポイントでの電源パターン-GNDパターン間の層間電位差波形は次のようになった。



図 4-150. 元ボード上電源パターン-GND パターン間 基板端電位差観測ポイント 波形/周波数成分



図 4-151. LILC 適用ボード上電源パターン-GND パターン間 基板端電位差観測ポイント 波形/周波数成分

元ボード及びLILC適用ボードの基板端観測ポイントでのGNDパターン-GNDパターン間の層間電位差波形は次のようになった。



図 4-152. 元ボード上 GND パターン-GND パターン間 基板端電位差観測ポイント波形/周波数成分



図 4-153 LILC 適用ボード上 GND パターン-GND パターン間
基板端電位差観測ポイント波形/周波数成分

・LILC 適用ボード上ノイズ源-LILC 素子間電源パターン「vccp_L1」及び元ボード上電源
パターン「vccp」(図 4-146、図 4-147)

LILC 適用ボード上のノイズ源ーLILC 素子間電源パターン「vccp_L1」と元ボード上の電 源パターン「vccp」のノイズ源近傍では、ノイズ源の主な周波数成分である 533MHz とその n 次高調波の周波数にノイズ成分のピークがある。

LILC 適用ボードの 533MHz 及び n 次高調波のノイズ成分は、元ボードと比較すると 533MHz では約 3 / 2、1066MHz で約 1 / 2、・・・と、 n 次高調波では約 1 / 2 倍~数倍にノイズ 成分が変化している。

それ以外に、LILC 適用ボードの 167MHz のノイズ成分は元ボードと比較して約 2 倍の大きさになっている。また、LILC 適用ボードでは元ボードでほとんど振幅が見られない 783MHz 帯で大きなノイズ成分が発生している。

これらのノイズ成分ピークのうち、533MHz の n 次高調波のピークはノイズ源波形に含ま れる周波数成分と一致する。167MHz 帯のピークは CPU 電源ケースモデルによるものである。 また、783MHz 帯のピークはノイズ源-LILC 間電源パターン「vccp_L1」と LILC 素子などの 接続形態が集中定数素子(キャパシタ)として振舞う場合の共振(共鳴)現象と思われる。 167MHz・783MHz 帯のピークが発生する原因の詳細調査は、後述の 4-1-6-4-3. 節に示す

全周波数帯を合わせた時間波形の場合、LILC 適用ボードの振幅ピークは元ボードと比較 して約1.2倍程度の大きさとなった。

LILC 適用ボード上のノイズ源-LILC 素子間電源パターン「vccp_L1」領域のノイズ振幅 は元ボードに比べ大きくなるが、これも同位相で変動しているためアンテナとしては機能 しないので放射自体は少ないものである。また放射があってもアンテナとなる電源パター ンの面積が小さくなるため、LILC 適用ボードからの電磁界放射は元ボードからの電磁界放 射と比較して小さくなると考えられる。詳細は後述の 4-1-6-4-3 節にて説明する。

・LILC 適用ボード上 LILC 素子ー外部電源間電源パターン「vccp」及び元ボード上電源パ
ターン「vccp」(図 4-148, 図 4-149)

118

LILC 適用ボード上の LILC 素子で分割した電源パターンのうち、LILC 素子-外部電源間 電源パターン「vccp」では、533MHz のノイズ成分が元ボードと比較して14d Bほど小さ くなっている。また、2倍高調波の1GHzでは28d Bほど、LILC 適用ボードは元ボー ドと比較してノイズ成分が小さくなっている。

・基板端 電源配線-GND 配線 層間電位差(図 4-150、図 4-151)

基板端での電源パターン-GND パターン間の層間電位差は、LILC 適用ボードでは元ボードと比較して 10 分の 1 以下に小さくなっている。

これより、LILC 適用ボードの基板端からの電磁界放射は元ボードに対して 20dB 以上の 割合で低下し、LILC 適用の効果が十分に現れると思われる。

4-1-6-4-2-3 単発動作モデル(中心周波数 1GHz)

4-1-6-3-6章(b)に記載されている下記数式のノイズ源モデルを使用してシミュレーションを実施した。また、式のパラメータを以下に設定した。

$I(t)=[I_{max}] \times exp(-1/(0.2887 \times [PulseWidth])^2 \times (t-[TimeDelay])^2) \\ \times cos(2 \pi \times [Frequency] \times (t-[TimeDelay]))$

[PulseWidth]=3ns、[TimeDelay]=5ns、[Frequency]=1GHz、[Imax]=752A

このノイズ源は、周波数分布の中心を1GHzとして、できるだけ広い周波数帯を含むように設定したノイズ源モデルである。これまでの2つのモデルは個別周波数を中心に見たものでその周波数及びその高調波以外では数値誤差の影響が懸念される。そこで、共鳴現象として観測された167MHz及び783MHzを含み尚且つ他の共鳴現象も検知できるようにこのモデルを使用してシミュレーション・モデルの周波数特性とその原因要素を調査した。

○シミュレーション結果

(1)観測ポイントノイズ波形時間変化

元ボード及び LILC 適用ボード上に設定した観測ポイントでのノイズ波形と周波数成分 は図 4-154~図 4-163 のようになった。



図 4-154 全観測ポイント波形

図 4-155. 全観測ポイント波形周波数成分

LILC 適用ボード上のノイズ源に直接接続する電源パターン「vccp_L1」(ノイズ源近傍)、 LILC 素子を介して接続するように分割された電源パターン「vccp」(外部電源側)、 及び元ボード上のノイズ源に接続する電源パターン「vccp」内で LILC 適用ボードの 「vccp_L1」(ノイズ源近傍)、「vccp」(外部電源側)に対応する観測ポイントの波形は次のよ うになった。



図 4-156. 元ボード上電源パターン「vccp」ノイズ源近傍観測ポイント波形/周波数成分



図 4-157. LILC 適用ボード上ノイズ源-LILC 素子間電源パターン「vccp_L1」 観測ポイント波形/周波数成分



図 4-158. 元ボード CPU 電源「vccp」 外部電源側観測ポイント波形/周波数成分



図 4-159. LILC 適用ボード上 LILC 素子-外部電源間電源パターン「vccp」 観測ポイント波形/周波数成分

元ボード及び LILC 適用ボードの基板端観測ポイントでの電源パターン-GND パターン間の層間電位差波形は次のようになった。



図 4-160. 元ボード上電源パターン-GND パターン間 基板端電位差観測ポイント 波形/周波数成分



図 4-161. LILC 適用ボード上電源パターン-GND パターン間 基板端電位差観測ポイント 波形/周波数成分

元ボード及びLILC適用ボードの基板端観測ポイントでのGNDパターン-GNDパターン間の層間電位差波形は次のようになった。



図 4-162. 元ボード上 GND パターン-GND パターン間 基板端電位差観測ポイント波形/周波数成分



図 4-163. LILC 適用ボード上 GND パターン-GND パターン間 基板端電位差観測ポイント波形/周波数成分

○結果・考察

・両ボード共通

両ボードに共通して 167MHz のノイズが発生している。この周波数のノイズ発生の原因は、 後述の 4.3.2 節に示すように、両ボードのシミュレーション・モデルの共通部分である CPU(ノイズ源)電源ケースモデルによると思われる。

・LILC 適用ボード

LILC 適用ボードでは、ほぼ全ての観測点でノイズが観測され、特にノイズ源が接続する ノイズ源-LILC 素子間電源配線「vccp_L1」で 783MHz に非常に強いピークがある。この 783MHz 帯のピークは、後述の 4-1-6-4-3 節に示すように、ノイズ源-LILC 間電源パターン

「vccp_L1」と LILC 素子などの接続形態が集中定数素子(キャパシタ)として振舞う場合の 共振(共鳴)現象と思われる。

・元ボード

元ボードでは、LILC 適用ボードと異なって、ボード上電源パターンに 167MHz 以外の特定 周波数の強力なノイズは発生していない。

元ボードでは、ノイズ源が接続されている電源配線が複雑な形状をしているため、特に強いノイズの固有周波数が定まらないと思われる。

・LILC 適用ボード上ノイズ源-LILC 素子間電源パターン「vccp_L1」及び元ボード上電源
パターン「vccp」(図 4-156、図 4-157)

LILC 適用ボード上のノイズ源ーLILC 素子間電源パターン「vccp_L1」と元ボード上の電 源パターン「vccp」の最大ノイズ振幅はほぼ同等である。

最大ノイズ振幅が現れた後、元ボードではノイズ波形が急に減衰しているが、LILC 適用 ボードではノイズ波形が減衰する割合が小さく、元ボードよりも大きな振幅となっている。 これは、LILC のデカップリング特性が高いため、ノイズが電源パターンにアイソレートさ れている上、電源パターンと LILC が共鳴を起こしているためと考えられる。 ・LILC 適用ボード上 LILC 素子-外部電源間電源パターン「vccp」及び元ボード上電源パターン「vccp」(図 4-158, 図 4-159)

・ 基板端 電源配線-GND 配線 層間電位差 (図 4-160、4-161)

各々、LILC 適用ボードのノイズ波形は元ボードと比較して 10 分の 1 以下にノイズ成分 が小さくなっている。LILC 適用ボード上のノイズ源ーLILC 素子間電源パターン「vccp_L1」 上では非常に大きくなっているノイズは LILC によってデカップルされていることがわか る。

(2) 基板上ノイズ電圧/ノイズ源電流の周波数毎比較

周波数毎に、基板モデル上観測点のノイズ電圧成分をノイズ源(電流源)のノイズ電流 成分で割って、どの周波数成分で基板上のノイズが大きく出ているかを算出比較した。元 ボードの観測点における算出結果を図 4-164 に、LILC 適用ボードに関する結果を図 4-165 に示す。



図 4-164 元ボード 観測点 電圧/ノイズ源電流

図 4-165 LILC 適用ボード 観測点 電圧/ノイズ源電流

4-1-6-4-3 ボード上観測点で測定される特定周波数ピークについての考察

4-1-6-4-2.節のシミュレーション結果で共通して、ノイズ観測点での電圧波形の周波数 分布で特定の周波数にピークが見られた。これらのピーク周波数が生じる原因について調 査した。

4-1-6-4-2-1 節の 3.06GHz および 4-1-6-4-2-2 節の 533MHz の n 次高調波となる周波 数で発生するノイズ波形成分のピークは、ノイズ源波形のピーク周波数がボード上に伝播 しているものである。

それとは別に、ノイズ源に関係なく LILC 適用ボード・元ボード共にほぼ全ての電源パ ターン上観測点で 167MHz のノイズ成分ピークが見られる。

また、LILC 適用ボード上電源パターンのほぼ全ての観測点で 783MHz のノイズ成分ピ ークが見られる。

(A) 167MHz 帯ノイズ

元ボード及びLILC適用ボードに共通して発生している167MHzノイズの原因を調査した。

元ボード及び LILC 適用ボードに共通して発生していることから、それぞれのシミュレ ーション・モデルに共通している部分に、この周波数帯ノイズの発生要因があると予測さ れる。このため、2つのシミュレーション・モデルに共通している部分である CPU 電源 ケースモデルの特性に注目して調査した。

なお、Speed2000 の部品モデルは SPICE フォーマットとほぼ互換性があるため、 synopsys 社の H-SPICE を使用して解析することで、シミュレーション・ソフトウェア固 有の問題ではないことも同時に確認した。

CPU 電源ケースモデルの出力をGNDに接続した回路に電流源を接続してAC解析を実施して、その周波数特性を調べた。測定回路を図 4-166 に示す。波形観測点は電流源の端子とした。



図 4-166 測定回路

(結果)

H-SPICE でのシミュレーションの結果を図 4-167 に示す。41.9KHz、175KHz、170MHz において電圧値のピークが発生している。

Speed2000 で行った本シミュレーションでは、シミュレーション時間を 60ns と設定したため、シミュレーション結果波形の周波数成分は 16.7MHz 毎にプロットされた。このため、41.9KHz、175KHz に発生すると予測されるノイズピークはシミュレーション結果では測定されず、170MHz のピークは 167MHz のシミュレーション結果として見えていたと思われる。

⇒ 結論として、両ボード共通な 167MHz の電圧ピークは CPU 電源ケース モデルの特性が原因と考えられる。



図 4-167. CPU 電源ケースモデル周波数特性

(B) 783MHz 帯ノイズ

LILC 適用ボード上電源パターンの観測点で発生している 783MHz ノイズの原因を調査 した。

LILC 適用ボード上で発生していることから、この周波数帯ノイズの発生は LILC 適用 ボード固有の要因によるものと推測される。また、LILC 適用ボード上の観測点のうち、 ほとんど全ての観測点で 783MHz のピークが見られ、観測点がノイズ源に近いほど 783MHz ピークの割合が強く出ている傾向にある。

以上より、ノイズ源に近く LILC 適用ボード固有の部分である、ノイズ源-LILC 素子 間電源パターンとパターンに接続している回路素子が 783MHz ピークの要因と推測し、 4-1-6-4-2-3 節と同じく単発動作(中心周波数 1GHz のガウシアン周波数分布)ノイズ源モ デルを使用して調査を行った。

(結果)

Speed2000 で、CPU 電源ケースモデル、ノイズ源-LILC 素子間電源パターン、または LILC 素子等価回路の3ヶ所の条件を変更してシミュレーション結果の変化を見ることに より、783MHz ノイズの発生要因を判別する調査を行った。 その結果をまとめると、表 4-19 となる。

表 4-19:シミュレーション結果

| | CPU電源ケースモデル | 電源ベタパターン | LILC素子等価回路 | 結果(共振周波数) |
|-----|-------------------|----------------------------|--------------------|--------------|
| (1) | CPU電源ケースモデル 使用 | 変更無し | 変更無し | 783MHz |
| (2) | CPU電源ケースモデル 使用 | Bottom層ベタとBGA 引き出しビアを削除 | 変更無し | 716MHz |
| (3) | CPU電源ケースモデル 使用 | 変更無し | G−V端子間のRC素 子を削除 | 383MHz |
| (4) | 理想電流源直付け | 変更無し | 変更無し | 783MHz |
| (5) | 理想電流源直付け | 変更無し | G−V端子間のRC素 子を削除 | 383MHz |
| (6) | 理想電流源直付け | 変更無し | Open(LILC削除) | 1400MHz |
| (7) | HSPICEでのシミュレーション | | | (4)~(5)とほぼ一致 |

表 4-19(1)は、4-1-6-4-2-3節と同じ条件の結果であり、表 4-19(2)以下との比較に使用した。

表 4-19(2)の結果より、ノイズ源-LILC 素子間電源パターン「vccp_L1」は、ボード・モデ

ル上で測定された 783MHz ノイズの発生に関連する要因である。

表 4-19(3)の結果より、LILC 素子の等価回路モデルも、ボード・モデル上で測定された 783MHz ノイズの発生に関連する要因である。

表 4-1 9(4)の結果より、CPU 電源ケースモデルは、ボード・モデル上で測定された 783MHz ノイズの発生要因に関連する要因ではない。

表 4-19(5)の結果より、ボード・モデル上で測定された 783MHz ノイズは LILC 素子の等価 回路モデルに関連し、CPU 電源ケースモデルには関連しないことが再確認された。

表 4-19(6)の結果より、ボード・モデル上で測定された 783MHz ノイズはノイズ源-LILC 素 子間電源パターン単体での特性によるものではない。

さらに表 4-19(7)の HSPICE でのシミュレーション結果より、ボード・モデル上で測定された 783MHz ノイズは、Speed2000 を用いた解析結果だけで発生するものではないこと、すなわちソフトウェア・ツールのアルゴリズム等には問題がないことを確認した。

以上より、ノイズ源ーLILC素子間電源パターンと LILC素子の等価回路モデルの接続形態 によって 783MHz ピークのノイズ成分が発生することが確認された。

キャパシタモデル

4-1-6-4-2-1~4-1-6-4-2-3 節のシミュレーション結果より、ノイズ源-LILC 素子間電 源パターン「vccp_L1」上の複数の観測ポイントで、ほぼ同位相の電圧変動を確認した。 この同位相波形の原因は、ノイズ源-LILC 間電源パターン「vccp_L1」と LILC 素子など の接続形態の結果が集中定数素子(キャパシタ)として振舞っているためと思われる。

ノイズ源-LILC 間電源パターン「vccp_L1」が集中定数素子(キャパシタ)として振舞っているか確認する目的で、ボード設計情報を元に 4-1-6-4-3 節(7)の理想伝送路モデルをキャパシタに置き換えた。

その結果、4-1-6-4-3節(4)~(5)の Speed2000 シミュレーション結果に近い値となった。

(1) 静電容量の算出比較

ノイズ源ーLILC 素子間電源パターン「vccp_L1」が集中定数素子(キャパシタ)として 扱われた場合の静電容量を設計情報から求めた。 ボード設計情報から、パラメータを下記のとおりに設定した。

L1層パターン面積 : S = 1344[mm²] L1層-L2層層間距離 : d = 0.12[mm] 比誘電率 : Er = 4.3 真空の誘電率 : E0 = 8.85e-12[F/m]

このノイズ源-LILC 素子間電源パターン「vccp_L1」の静電容量は、 $C = Er \times E0 \times \frac{S}{d} = 4.3 \times 8.85e \cdot 12 \times 1344e \cdot 6 \div 0.12e \cdot 3 \Rightarrow 426[pF]$ となる。

この静電容量を LILC 素子 1 個当たりの系で考えると、LI(Top)層で LILC 素子は 16 個 配置されているため、

 $C=426 \div 16 = 26.625[pF]$

となる。

(2) シミュレーション結果の比較

上記静電容量のキャパシタモデルにおいて、HSPICE シミュレーションを実施した。

図 4-168 の回路構成での周波数特性は図 4-169 となる。

次に図 4-170 の LILC 素子等価回路内で G-V 間を接続している R と C を削除した構成回路構成での周波数特性は図 4-171 となる。

これらの結果は、4-1-6-4-3 節(4)~(5)の Speed2000 によるシミュレーション結果に近似 した結果となった。



図 4-168: 測定回路



図 4-169:回路モデル周波数特性



図 4-170: 測定回路



図 4-171:回路モデル周波数特性

4-1-6-5 まとめ

ボード設計に LILC 素子を使用することにより、電源系から発生する電磁界放射が削減 され、情報漏洩を防止するための十分な効果があることが確認された。

(1) 基板表面からの電磁界放射

○LILC 素子を利用した電源配線分割におけるノイズ源-LILC 素子間電源パターン

4-1-6-4-2節のシミュレーション結果より、LILCのデカップリング効果により、ノイズ を電源パターン内にアイソレートされている様子がシミュレートされた。また、シミュレ ーション結果より電源パターンは同位相で電圧変動しており、遠方放射に寄与するパター ン端の電流は流れていない。そのため、この部分からの直接放射は無視できると考える。

○LILC 素子を利用した電源配線分割における LILC 素子−外部電源間電源パターン

1 LILC 素子を用いてノイズ源(LSI)からのノイズをカットすることにより、LILC 適用 ボード上の LILC 素子-外部電源間電源パターンから発生する電磁界放射は、元ボードと 比較して、533MHz で約 14dB、1GH z で 28dB 小さくなると計算される。

4-1-6-4-2-1 節の結果のように、3.06GHz 等の高周波帯域では LILC 素子-外部電源間 電源パターンへのノイズ伝搬を十分に遮断できていないが、LILC 素子の特性改善、なら びに LILC 素子の性能を更に引き出すようなボード上パターン設計(電源パターン分割等) の改善を加えることで、電磁界放射対策の効果が更に現れると考えられる。

(2) CPU 電源以外の基板端配線からの電磁界放射

LILC 適用ボードの基板端では、ノイズ源(CPU)に直接繋がっていない電源パターン-GND パターン間の層間電位差波形(ボード上での回り込みノイズ電圧)の振幅が、元ボードと比較して 10 分の 1 以下に小さくなっており、電磁界放射では 20dB 以上の十分な低減効 果があると計算される。 (参考文献)

Sigrity 社 Speed2000 User Manual エー・テイ・イー・サービス株式会社 SpeedXP Suite 資料 Intel® Xeon[™] Processor with 533 MHz Front Side Bus at 2 GHz to 3.20 GHz Intel® Xeon[™] Processor Multi-Processor Platform Design Guide

4-1-7 まとめ

今年度は検証試作として、「サーバ装置」「ノートPC」用に、電源デカップリング技術 を適用したマザーボードを試作し、装置へ組み込んだ場合の EMI 抑制効果を測定、評価し た。中間目標「VCCIクラスB許容値より 20dB 低い EMI」を概ね達成した。しかしなが ら、測定条件により中間目標を満たさない場合もあり、磁界分布測定評価、電源ノイズ電 圧評価、近傍磁界評価など測定的手法や、電源に関するシミュレーション解析を用いて、 検証を進めた。年度前半に得られた知見は改造試作設計に反映した。改造試作に間に合わ なかった対策に関しては今後の研究に活かしたい。

4-2 要素技術の研究開発

4-2-1 序論

要素技術として、ボード内蔵形を検討し、プリント基板実装用素子のベアチップの 特性が高周波まで有効に機能することから、同ベアチップのボード内蔵化を検討し、 素子の仕様を決定した。また、その評価用テスト基板(TEG)を設計し、試作した。

オンチップ形について、数種類の材料を検討し、解析用モデルを作成しシミュレー ションによる解析に着手した。評価用テスト基板(TEG)を設計し、次年度以降の試 作に向けて、評価用の電極 TEG を試作した。

4-2-2 ボード内蔵の検討

既に開発されたプリント基板搭載用 LILC は、従来のコンデンサに比べ良好なデ カップリング特性を示すことが判っている。デカップリング特性は透過率(S21) を指標に評価できる。その一例を図 4-172 に示す。0.1 µF セラミックチップコン デンサは約 20MHz に自己共振周波数があり、それを超える周波数ではインダクタ ンス成分が支配的となる。従来形コンデンサは2端子構造であり、リードの持つ インダクタンスが高周波でデカップリング特性を低下させる一因となっている。 プリント基板搭載用の LILC は従来2端子型の 0.1 µF セラミックコンデンサに比 べ、高周波まで良好なデカップリング特性を示すが、数百 MHz からデカップリン グ特性の低下がみられる。デカップリング素子として 10GHz 以上で機能するのは 難しいと推定される。プリント基板実装用 LILC は、図 4-173 に示すように陽極及 び陰極端子板を有する。その端子板のインダクタンスが高周波でのデカップリン グ特性を低下させている。これに対し、端子板取り付け前の LILC ベアチップは高 周波でも良好なデカップリング特性を示す。この特性を維持するためプリント基 板への実装方法を検討する。



図 4-172 デカップリング特性は透過率 (S21)



図 4-173 プリント基板搭載用 LILC 外観





プリント基板搭載用 LILC と LILC ベアチップの差は端子板の有無である。端子 板はプリント基板との接合(半田)で必要な構造である。従い、プリント基板と の接続方法が鍵となる。プリント基板表層のパッドに半田付けする方法では、電 源層とグラウンド層のいずれかがビアで接続されることになる。これでは端子板 を無くすメリットがなくなる。したがって、プリント基板内の電源層,グラウン ド層に直接 LILC を接続する内蔵形 LILC が最も適していることが判る。その構造 は、図 4-174 である。内蔵形 LILC をグラウンド(GND)と直接接続するよう形成 し、電極を電源層と接合することで、高周波のデカップリング特性を向上する。

開発における検討項目を次に示す。

(A) 仕様(寸法, 電気特性等)

プリント基板搭載用 LILC との比較を考慮し、LILC チップの仕様を基準とする。 但し、プリント基板に内蔵するためには、「プリント基板の層厚」,「プリント基板成 型時の熱、圧力」等を考慮する必要がある。この結果、下に示した値となる。

【内蔵形 LILC の仕様】

- ① 素子厚み:80µm、② 素子部長さ:4,8,16,24mm
- ③ 素子部幅:1,2mm、④ 漏れ電流: <0.2µA/mm2
- ⑤ S21 特性: <-20dB (10MHz~10GHz)
- (B) 材料

「プリント基板成型時の熱」は最大約 300℃程度になる。その際、上下から圧力 が掛かる。プリント基板搭載用 LILC チップの材料は、アルミニウム,導電性高分子 が主である。このうち導電性高分子は熱に弱く、200℃を超えると導電率が低下し、 約 400℃を超えると分解が始まる。しかしながら、電気的特性はプリント基板実装 用 LILC で実績があるので、同じ材料が内蔵形 LILC の第1 候補と考える。並行して、 熱に強い材料も検討する。

(C) 単体評価のための TEG 仕様

従来のデータと比較するため、単体性能は先ず透過特性(S21)で評価する。TEG は 内蔵形 LILC が封止されたプリント基板に高周波同軸ケーブルを取り付けられる仕 様とする。TEG の一例を図 4-175 に示す。TEG の長手寸法は内蔵形 LILC の仕上がり に依存する。同軸コネクタは TEG 基板から垂直に立ち上がるとして設計しているが、 試作の段階で水平方向も検討したい。



図 4-175 単体評価 TEG の外観図

(D) 試作

内蔵形 LILC 試作プロセスを図 4-166 に示す。2Q は導電性高分子の重合工程までの確認を行った。寸法の仕様は取扱が容易な幅 5mm,長さ 20mm とした。



図 4-176 試作プロセス

i) アルミニウム箔

仕様を満たすには、箔厚 70 μ m 以下のエッチングしたアルミニウム箔とする必要がある。上期に入手できたアルミニウム箔の箔厚 110 μ m であったため、図 4-177 に示す通り箔厚を 70 μ m となるように片面を研磨した。 研磨後のアルミニウム箔を幅 5mm,長さ 20mm に切断した。



図 4-177 エッチングしたアルミニウム箔の断面写真と研磨後のイメージ

ii) 化成

誘電体酸化皮膜を生成する。アルミニウム箔を化成液に浸漬しながら電圧を 印加し、誘電体酸化被膜を生成する。化成電圧は 6V。漏れ電流が単位面積(1 平方ミリメートル)当たり 0.2µA となった時点を化成終了の目安とした。化成 後は純水流水洗浄、乾燥を行った。

iii) 導電性高分子の重合

本試作では導電性高分子をポリピロールとした。酸化剤に浸漬し引き上げ後、 室温に数分放置した化成後のアルミニウム箔を、ピロールのモノマーを溶かし たメタノール溶液に数分浸漬する。引き上げ後、純水で流水洗浄を行った。こ の工程を4回繰り返し、導電性高分子を生成した。なお、重合条件の詳細は割 愛する。

iv) 再化成

前工程で得た内蔵形 LILC を化成液に浸漬し、電圧 6V を印加し再化成した。 漏れ電流は1平方ミリメートル当たり 0.2µA以下であった。このことは、試作 した内蔵形 LILC がコンデンサ構造であることを示している。

内蔵形LILCの構造検討では、プリント基板に封止する構造とし、固体アルミ電界 コンデンサと同様の材料を選定した。プリント基板に封止できる条件は「素子厚が 70µm以下」であるため、薄いエッチングしたアルミニウム箔でLILCが試作できる かを確認した。TEGはプリント基板実装用ミニバスLILCベアチップとの比較を考慮 し、仕様を決定した。

140

4-2-3 オンチップの検討

4-2-3-1 オンチップ形の構造検討

ミニバス形 LILC、内蔵型 LILC と共に組み合わせ、数十 kHz から数十 GHz までの 広帯域にわたる電源デカップリングを実現することを目的としてオンチップ LILC の研究開発を行っている。オンチップ LILC は図 4-178 のとおり、LSI チップそのも のに LILC を内蔵する技術である。こうすることで LSI からプリント基板の電源ライ ンに漏れ出す不要な高周波成分を LSI パッケージ内で遮断することが出来、EMI 低 減に大きな効果が得られると予想される。オンチップ LILC を実現するための一番の 技術課題は、LSI プロセス・材料との親和性を持った構造設計・プロセス設計であ る。ミニバス形 LILC ではエッチドアルミ箔、導電性高分子、Ag ペーストなどが使 われているが、アルミ以外の材料は一般的には LSI で使われておらず、ライン汚染 を避けるために試作であっても LSI 製造ラインには持ち込むことは難しい。そこで 本研究では、LSI プロセスに適した材料を採用することを構造・プロセス設計の基 本方針とした。



図 4-178 オンチップ LILC の概念図

ミニバス形 LILC ではアルミ箔表面を多孔質状にエッチングすることで表面積を 増やして静電容量を稼いでいる。静電容量を大きくすることでより低い周波数での デカップリングが可能となる。一方オンチップの場合、金属膜を厚く積み、それを エッチングし多孔質状にすることは不可能ではない。しかし多孔質の奥深くにまで 電極を取ることは、導電性高分子が使えないので非常に困難である。そこで表面積 増大ではなく高誘電率材料を採用することで静電容量の増大を狙う。比誘電率(ϵ r) の大きな材料として PZT, BST, STO 等の化合物や、TiO2, TaO, HfO2 などの金属酸 化物がある。NEC では化合物系で既に STO(SrTiO3, ϵ r=100~400 程度)を GaAs ライ ンでは実用化しているが、Si ラインでは採用できてない。一方、 ϵ r=10~20 程度だ が TaO は LSI プロセスで使用することのある材料であり、Si ラインに適用可能であ る。そこで高誘電率な STO と Si ラインに即時移管可能な TaO の 2 種類にて構造設計 を行った。

図 4-179 が設計したオンチップ LILC の断面構造図である。主な特徴は以下の通り である。

- ・ マイクロストリップ線路構造を採用することで、線路構造を実現
- ・ 静電容量を稼ぐための高誘電体材料薄膜
- ・ LILC内部でノイズ成分を減衰させるための抵抗層



Ta0 採用の場合

ST0 採用の場合

図 4-179 オンチップ LILC の断面構造図

今後、図 4-179 の構造の電磁界シミュレーション解析を行い、そのデカップリング 特性をシミュレーションにて確認し、実際のウエハ試作につなげていく。

4-2-3-2 オンチップ形 TEG 試作

今年度は TE 仕様を検討し、評価用の電極 TEG を試作した。図 4-180 に評価用電極 TEG の レイアウト図を示す。長さ、幅をパラメータに数種類を同時に評価できる仕様とした。

その仕様にしたがって試作した評価用電極 TEG を図 4-181 に示す。今後、種々の材料を 電極 TEG に適用し検討を進めたい。



図 4-180 評価用電極 TEG のレイアウト図


図 4-181 評価用電極 TEG (写真)

4-2-4 まとめ

要素技術の研究として、高周波化に対応できる次世代の電源デカップリング技術を検討 した。「内蔵形」「オンチップ形」はプリント基板実装用の部品「ミニバス形」に比べ、電 極端子(リード)がないことでインダクタンスが小さく、また、LSIなど電極端子の極 近くに配置可能である。これらの特徴と、予想されるデカップリング特性から将来性が期 待できる。

内蔵形はプリント基板の内層に実装可能な仕様を検討し、評価用 TEG の仕様をまとめた。 オンチップ形はシリコンウェハ上にデカップリング素子を形成するため、評価基準となる 電極 TEG を試作した。

4-3 総括

H16 年度委託研究業務実施計画書に基づき、委託業務を実施した。電源デカップリング 技術を適用した試作マザーボードを組み込み、補完的に筐体ケーブル対策を実施したサー バ装置よびノート PC に関して、放射電界強度を評価し、中間目標(H17 年 1 月)「TEG 試作 によって得られるパラメータを使用して新しい電源分配回路技術を適用した場合を想定し た情報通信機器(サーバ及びノート PC)についてシミュレーションして VCCI クラス B に 対して 20dB 以下になることを確認するとともに、これらの装置を試作して、試作装置から の放射電界強度が、VCCI のクラス B に対して概ね 20dB 以下であることを検証する」を概 ね達成した。

また、次年度に試作予定の「内蔵形デカップリング素子」「オンチップ形デカップリング 素子」を評価する設備を構築すると共に、評価用 TEG の仕様を検討し、設計試作を行った。

今年度に試作した装置の評価結果を基に、次年度は更に装置全体および個別回路での対 策手法の検討と、要素技術として内蔵形、オンチップ形のデカップリング素子の検討、開 発を実施する予定である。

5 参考資料・参考文献

5-1 研究発表・講演等一覧

| 発表雑誌名、講演会 名、学会名等 | 発表者 | 発表タイトル | 発表月日 |
|--|--------|------------------------------------|--------|
| 電子情報通信学会 環境電磁工学研究会 | 増田 幸一郎 | プリント基板用低インピーダンス線路素子の 特性 | 10月28日 |
| 電磁情報通信学会 総合大会 | 増田 幸一郎 | 電源デカップリング素子の特性 | 3月22日 |
| 電子情報通信学会 総合大会 | 楠本 学 | 導電性高分子の抵抗による低インピーダンス 線路形素子の特性向上 | 3月22日 |
| エレクトロニクス実 装学会 エレクトロニクス実 装学術講演大会 | 増田 幸一郎 | プリント基板実装用デカップリング素子の特 性 | 3月17日 |