

平成17年度
研究開発成果報告書

携帯テレビ用超低消費電力「地上デジタル
放送受信用チューナー＋OFDM復調回路」
LSIの研究開発

委託先： 富士通(株)

平成18年4月

情報通信研究機構

平成17年度 研究開発成果報告書 (一般型)

「携帯テレビ用超低消費電力（地上デジタル放送受信チューナー＋OFDM復調回路）
LSIの研究開発の研究開発」

目次

1	研究開発課題の背景	2
2	研究開発の全体計画	2
2-1	研究開発課題の概要	2
2-2	研究開発目標	10
2-2-1	最終目標	10
2-2-2	中間目標	10
2-3	研究開発の年度別計画	11
3	研究開発体制	12
3-1	研究開発実施体制	12
4	研究開発実施状況	14
4-1	LNA関連（初段のアンプ）の研究開発	14
4-2	OSC1（周波数発生回路）の研究開発	21
4-3	IF部（ミキサ、ADCおよびフィルタ）の研究開発	28
4-4	低消費電力デジタルOFDM回路＋フィールド試験の研究開発	35
4-5	最終試作結果	39
4-6	総括	46
5	参考資料・参考文献	47
5-1	研究発表・講演等一覧	47

1 研究開発課題の背景

平成12年末、BSデジタル放送が開始され、さらに平成15年末に地上デジタル放送が開始された。デジタル放送は基本的に映像／音声／データ放送などの情報をマルチメディア統合した放送サービスである。地上デジタルが地域密着型放送サービスとすると、BSデジタル放送は、全国一律のコンテンツを放送する。また、両者とも、固定受信を前提とする。

しかし、一方で、地上デジタル放送には、変調方式としてOFDM変調方式が採用され、その中に(1)1・3セグメント受信など特定周波数セグメント単位の信号受信機能、(2)誤り訂正強化のための信号分散(インタリーブ)機能、(3)16QAM/64QAM変調設定可能など受信場所が限定されない移動受信に適した機能が含まれる。このため、テレビのモバイル化、携帯化、さらには携行が前提のデジタルラジオへの適応も可能である。

我々の研究開発は、地上デジタルのモバイル性に着目した。すなわち地上デジタル放送は、固定受信テレビ市場と同時にモバイル／携帯市場にも展開可能であり、固定受信を凌駕する新市場創出が期待できる。

業界もその方向の動きが加速し、本研究開始した後、携帯テレビで必須のデジタル動画圧縮方式としてH264方式の採用が決定し、さらに携帯テレビ放送自体が平成18年4月開始された。我々の研究開発の方向が正しいことの証拠である。

モバイル／携帯テレビ実現には固定受信テレビと違う技術要件が存在し、この要件が十分満たされない限り、モバイル／携帯テレビ市場の創出は困難である。すなわちモバイル受信、携帯受信では、回路の小型化、低消費電力化が必須であり、この要件に合わせた回路の(地上デジタル放送受信チューナーなど)の高性能化が必須である。我々は、この要件に着目した研究開発を実施した。

現状、複数のメーカーがこのモバイル／携帯テレビ市場を目指し、小型、低消費電力チューナー、OFDM復調回路の発表を行っている。しかし、未だに十分に低消費電力化されたとはいえる状況でない。携帯テレビ市場の本格立ち上げには、回路の低消費電力化、小型化が大きな技術的障壁であることに変わりはない。

2 研究開発の全体計画

2-1 研究開発課題の概要

上記背景をベースに携帯テレビ実現に必須の超低消費電力「地上デジタル送信用チューナー+OFDM復調回路」LSIの研究開発を実施した。以下が研究開発の概要である。

(目標サービス)

サービスとして地上デジタル放送で新規に立ち上がる携帯市場全般をカバー出来ることを目標に(1)地上デジタル放送内1セグメント携帯テレビサービスと(2)3セグメントデジタルラジオ放送サービスを想定し、この両方に対応する回路の低消費電力化、携帯向け小型化、LSI化を研究した。

以下が、上記の2サービスを受信するLSIを研究開発する場合にLSIが処理すべき周波数域など(チューナー部に要求される基本機能など)の検討である。



図 2-1-1・地上デジタルの周波数割り当て

図 2-1-1 は地上放送の周波数割り当てである。90—770MHz 帯域の中に各チャンネルが 6MHz 単位で存在する。この中で地上デジタル放送は、基本的には UHF 帯のチャンネルが割り当てられる。また、デジタルラジオ放送は、VHF 帯の空きチャンネルに割り当てが考えられている。従い、LSI が対応すべき周波数帯域は 90—770MHz の全域となる。

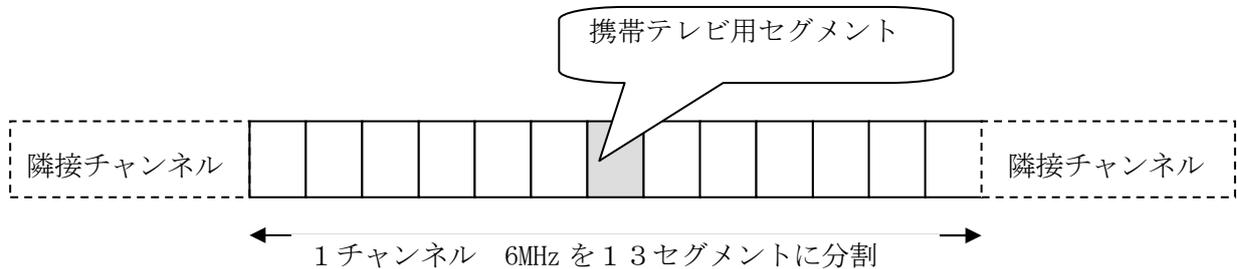


図 2-1-2・OFDMセグメントの概念

図 2-1-2 は、UHF 帯デジタル放送チャンネルの様子を示す。6MHz 毎にチャンネルが存在し、OFDM 変調されたチャンネルは周波数軸で 13セグメントに分割される。携帯テレビ用に使用可能なセグメントは、図 2-1-2 の中心に位置する灰色の約 432kHz 帯域のセグメントである。1セグメント携帯テレビサービス受信には、UHF 帯に 6MHz ごと存在するこのセグメントの抽出が必要である。

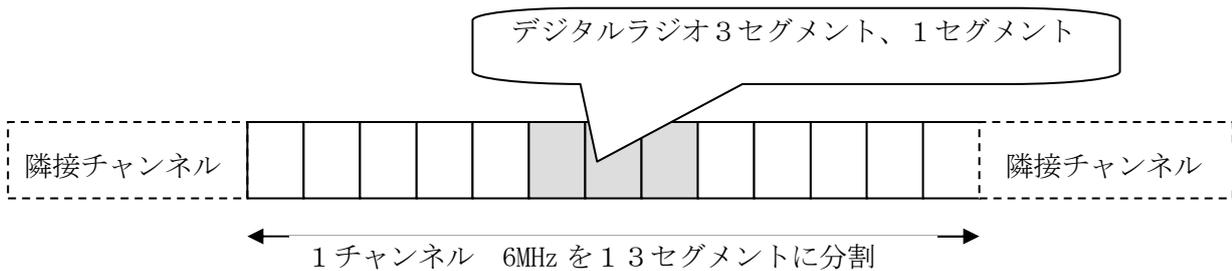


図 2-1-3・デジタルラジオ対応OFDMセグメントの

図 2-1-3 は、デジタルラジオに対応する場合のセグメントの概念である。1セグメント或いは、3セグメント情報が連結して(隣り合って)送信されている。通常は1セグメントの幅は約 432kHz、3セグメントはその 3 倍の幅を持つ。復調 LSI は 1/3セグメントに関わらず、中心のセグメントを受信し、そのセグメントが 1セグメントなのか、3セグメントの中央 1セグメントなのかを、自動判別し、3セグメントの場合、3セグメント受信に切り換える必要がある。

(目標消費電力)

消費電力は、通常の固定受信テレビ用地上デジタルチューナーやOFDM復調回路では、チューナーが約1W、OFDMが約1.5W(当社学会発表LSIなど)。一方で、携帯電話市場で一般にオプション機能を追加する場合に許容される「プラスα」の消費電力は最大で50mWと言われている(当社が市場調査して得た数値)。本研究では、基本的には携帯テレビ受信用のLSI開発を目指し、同時に携帯電話に携帯テレビ機能を追加した製品形態も視野に入れ、携帯電話市場にも波及するLSIの研究開発を行った。従い、消費電力は50mW以下を目標とした。これは、通常の固定受信テレビを前提とした地上デジタルチューナー、OFDM回路のおよそ1/50の消費電力である。

(LSIを搭載する装置の製品形態)

携帯テレビサービスと携帯電話サービスで必要となるチューナーの特徴などを比較したのが下記である。

	携帯テレビ(1/3セグメント受信前提)	携帯電話(WCDMA前提)
存在帯域	90-770MHz	アップリンク 1920-1980MHz ダウンリンク 2110-2170MHz
抽出必要帯域	432KHz(1セグ携帯テレビ受信時) 1296KHz(3セグデジタルラジオ受信時)	5MHz (現実に抽出している帯域)

表2-1-1・想定携帯テレビと携帯電話(WCDMA前提)のチューナーの比較

携帯テレビの場合、テレビ信号の存在する帯域は約700MHz。この中から受信するサービスに依存し432KHz或いは1296KHz帯域の信号を抽出する必要がある。これに対し携帯電話は60MHzの帯域に信号が存在し、この中から約5MHzを抽出するものである。以上のように携帯テレビと携帯電話のチューナー部分に要求される性能が大幅に違っていることが分かる。

本研究では、携帯テレビ側の要件を満たす超低消費電力回路の研究開発を行った。携帯テレビと携帯電話を一体化した端末では、フロントエンド部分(チューナー及びデジタル復調部など)の回路の共有は困難であるが、プロセッサを含む映像デコードなどバックエンド部分の共用はハードウェアを中心にある程度は可能と想定される。携帯テレビ、携帯テレビ/携帯電話一体化端末が実現した場合の想定ブロック図を下記に示す。

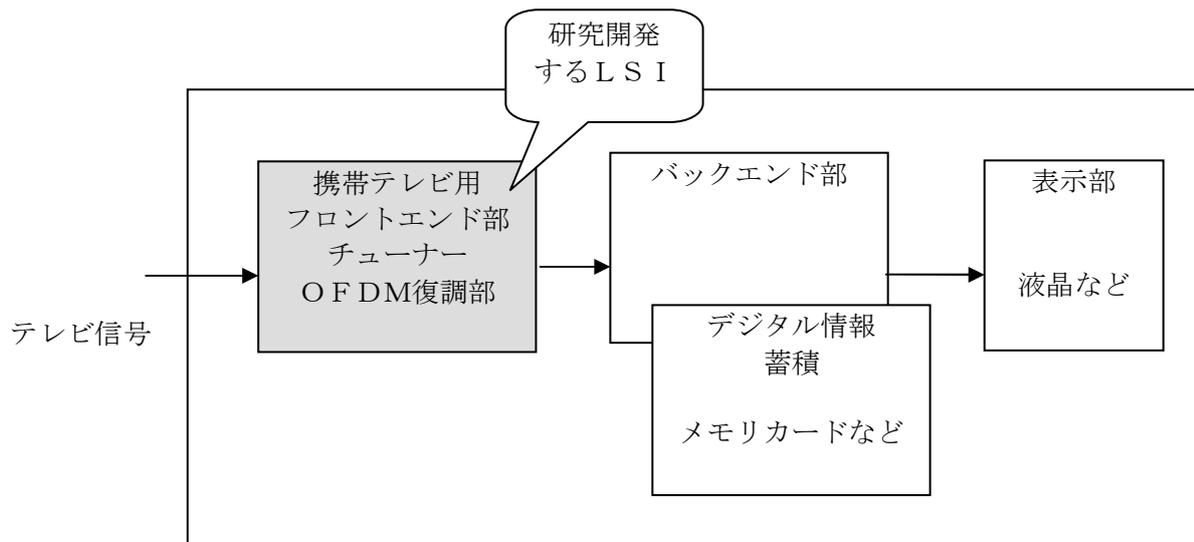


図 2-1-4・想定される携帯テレビ端末

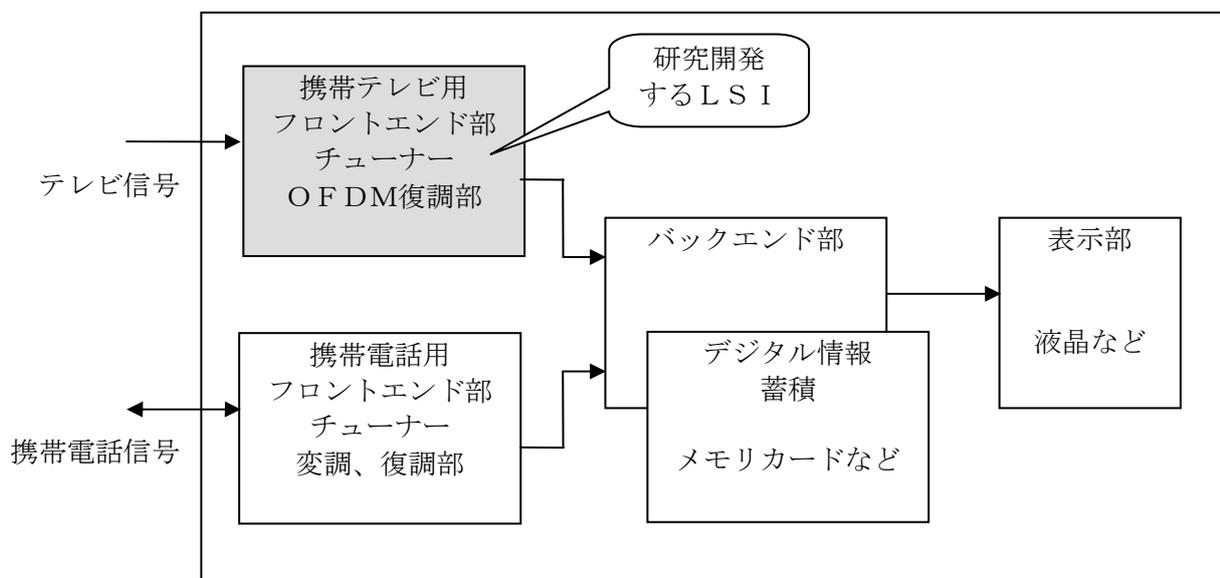


図 2-1-5・想定される携帯テレビ／携帯電話（WCDMA）一体化端末

図 2-1-4、5 は一般に想定される携帯テレビ端末、携帯テレビ／携帯電話一体化端末である。図 2-1-5 で携帯電話信号に対応するチューナー及び復調、変調部分は表 2-1-1 の検討でも分かるようにテレビ信号に対応する部分とは別の回路で実現される。バックエンド部にはプロセッサ、メモリカードなどが存在する。またメモリカードは携帯向けテレビ放送コンテンツやデジタルラジオコンテンツを蓄積し、任意時間に視聴するようなサービスを実現するために使う。

本研究開発は、図 2-1-4、5 の携帯テレビ用フロントエンド部（灰色部分）の L S I 化、超低消費電力化に関する。図 2-1-4、5 のような用途を想定し、消費電力などの目標値を設定した。

（現行地上デジタル放送用チューナー、OFDM デジタル復調回路の検討）

図 2-1-6 に現行地上デジタル放送用チューナー、OFDM デジタル復調回路のブロ

ック図例を示す。携帯端末に転用する場合の問題点などをこの図をベースに詳述する。

(前提条件)

テレビ信号は、入力レベルが -20 dBm から -75 dBm （携帯テレビは、 -20 dBm から -86 dBm ）、 90 から 770 MHz 帯域に存在する。この中から選択チャンネルに応じ 6 MHz 帯域の信号を抽出し、デジタルOFDM復調する必要がある。

(動作概要)

このため、入力部分のHPF（ハイパスフィルター）で 90 MHz 以下の信号成分を除去し、その後LPF1（ローパスフィルター）により 770 MHz 以上の信号成分の除去を行う。AMP1（アンプ）は、この $90-770\text{ MHz}$ 信号を増幅するための初段のアンプである。

次にAGC回路により、信号レベルを調整する。レベル調整された信号を1st MIX（ミクサー）により周波数を 1.2 GHz 帯まで上げる。 1.2 GHz という周波数は、次段BPF2（バンドパスフィルター）を考慮し選択する。このバンドパスフィルターBPF2が本チューナー性能を決定する重要部分である。現行地上デジタル放送受信チューナーでは 6 MHz 選択チャンネルをここで抽出する。隣接チャンネル妨害など出来るだけ削減するためフィルター特性が急峻であることが求められ、また減衰域での減衰率は -40 dB 以上が必要とされる。これを実現するため現行固定受信回路ではSAWフィルターが利用される。但し、一段のSAWフィルターでは減衰率の十分な確保が困難なため、2段利用することも考えられる。これで $1.2\text{ GHz} \pm 3\text{ MHz}$ 帯域の信号が抽出される。

その後、AMP2（アンプ）で増幅され、2nd MIXで 57 MHz IF周波数帯域に変換される。この信号が 57 MHz IF処理部で 6 MHz 帯域のベースバンド信号にされ、さらに $10\text{ ビット} \cdot 32\text{ MS/s}$ のADコンバータ（当社開発OFDM-LSIの例）などでデジタル変換される。デジタル化されたOFDM信号は、同期制御部分でフレーム同期など各種同期処理を受け、FFT処理され、ビタビなどエラー訂正後、MPEG-TS（MPEGトランスポートストリーム）形式のデジタル信号として出力される。MPEG-TSの中に時分割多重形式で圧縮ビデオ、オーディオ信号などが存在し、これを後段（図示せず）のMPEGデコードLSIなどが処理する。

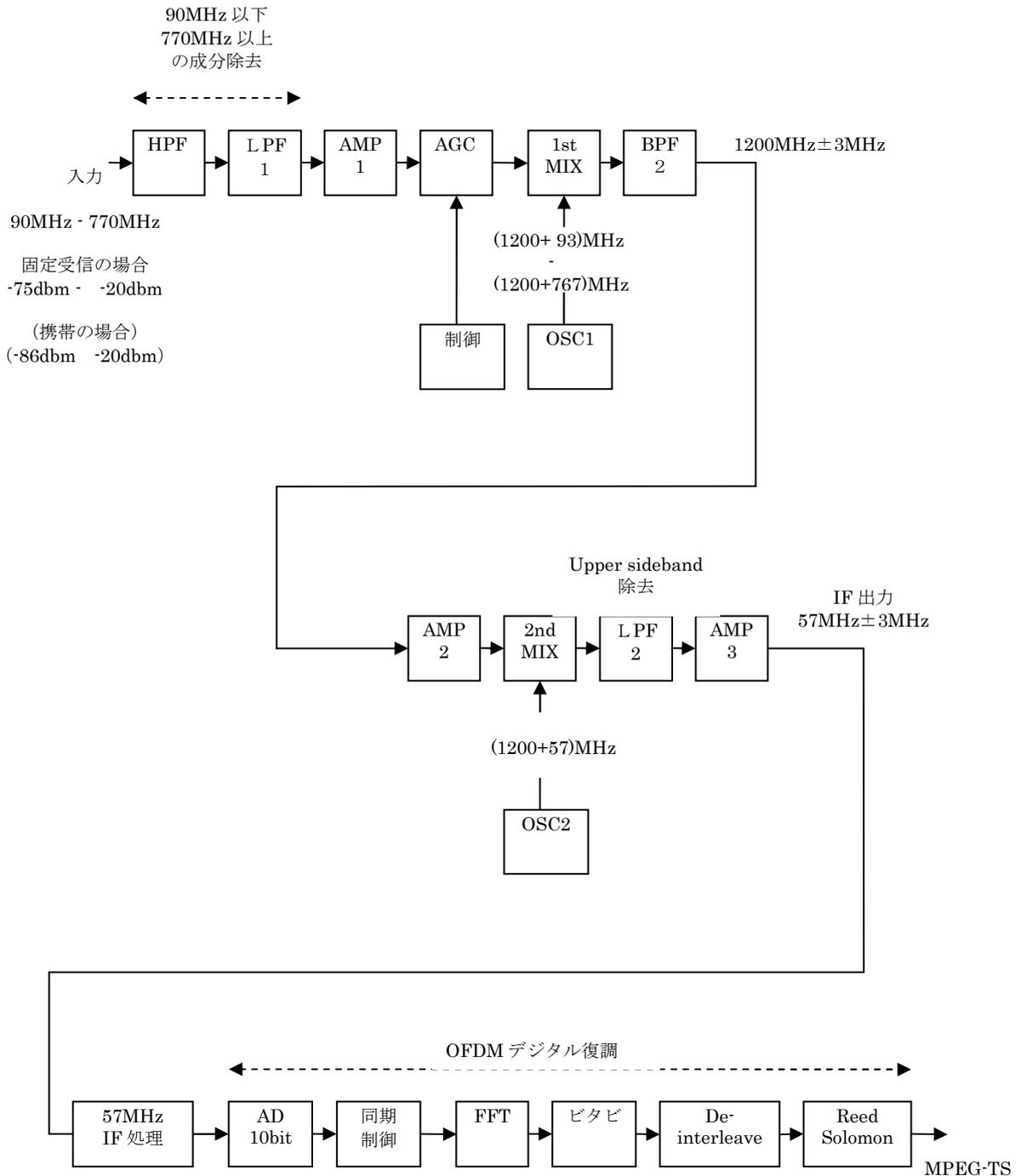


図 2 - 1 - 6 ・ 常識的な現行地上デジタル放送受信用チューナー／OFDM復調回路例

以上が固定受信の（低消費電力が必須でなく、あまり意識していない）場合の回路概要である。前述のように全体で約 2.5W消費しており、これを携帯受信に対応させ仕様変更を考慮した上でどう低消費電力化するかが研究開発のポイントになった。

定性的に考えられる低消費電力化のためのポイントは以下の通りである。

（携帯受信前提とした場合の低消費電力化のポイント）

AMP 1（初段のアンプ）

AMP 1は、入力テレビ信号（90から770MHz）全部を増幅しており、多大な電力を消費していると考えられる。これに対し図2-2-6の他のアンプは、予め選択された狭い周波数帯域の範囲の信号しか入力されておらず消費電力もかなり小さいと判断出来る。また携帯テレビ受信を前提とした場合、入力レベルが固定受信と比較し相当厳しく（-86dbmから-20dbm）なる。

この部分に関しては例えば以下のような低消費電力対策があると考えられる。すなわちAMP 1の前段にBPF（バンドパスフィルター）を挿入し、事前に入力周波数成分を一部遮断することが考えられる。AMP 1を通過する信号成分が例えば、1/4になれば電力を1/4に削減出来る可能性がある。特性の違うBPFを4つ用意し、選択チャンネルに応じて4つのBPFを切り替える回路の研究開発を検討出来ると考えられる。BPFの数を増やすことでAMP 1を通る信号を削減し、大幅な消費電力削減を達成出来る可能性がある。但し、その分回路規模が増大しコストアップになります。（1）BPFの数、（2）AMP 1の消費電力、（3）コストの間で最適なポイントを見つける必要がある。

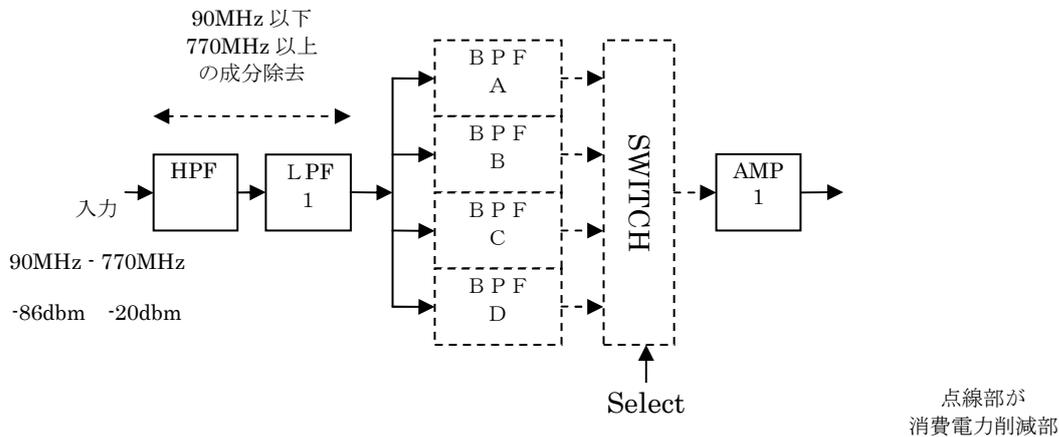


図2-1-7・AMP 1の消費電力削減案

OSC 1（周波数発生回路）

本回路は選択されたチャンネルを1200MHz ± 3MHz帯域に引き上げるための周波数発生器である。一般にPLL回路で実現される。しかし90-770MHzの広帯域に渡り放送される全113チャンネルに適応出来る低消費電力PLL周波数発生回路の開発は困難と考えられる。狭い範囲の周波数に適応する低消費電力PLL周波数発生回路を複数用意し、選択チャンネルに応じてPLL回路を切り替えるような対策が必要と考えられる。但し消費電力を抑えるため、未使用のPLL回路が「オフ」になるような対策も必要と想像され、これでかなりの電力削減が可能と思われる。また、PLL回路が「オン」になる応答時間の検討が必要である。基本的には以下のようなトレードオフが存在し、検討が必要である。

- （1）用意するPLL回路数
- （2）各PLL回路の消費電力
- （3）コスト（PLL回路数が増大するとコストアップになる）。

抽出周波数帯域と消費電力の関係

先にも述べたが、1セグメント携帯テレビ受信或いは3セグメントデジタルラジオ受信の場合に抽出する周波数は432KHz或いは1296KHzである。一方で固定受信前提の地上デジタル受信チューナーが抽出するのは6MHzである。この違いをベースに回路をどう実現するか消費電力という見地から検討が必要である。

チューナー部で従来と同様に6MHz帯域を抽出し、OFDM部のADコンバータの後段にデジタルローパスフィルターを設置し432KHz、1296KHzバンドパスでフィルタリングすることは可能である。これが既存回路部品を利用した一般的な設計と考えられる。しかし、あまり広帯域の信号をデジタル処理するのはADコンバータのサンプルレートやデジタル回路のクロックレートが増大し消費電力という見地から得策と言えない。逆に言うと432KHz或いは1296KHzの狭帯域バンドパスフィルターを設計出来れば、後段のADコンバータ、デジタル回路の動作周波数が削減されかなりの電力削減が期待される。ADコンバータの場合、一般的に動作周波数が半分になれば消費電力も半分になる。あくまで検討によるが、工夫し消費電力削減を図る必要があると考えた。但し、アナログレベルで必要信号を抽出する図2-1-6のBPF2(バンドパスフィルター)を何処まで狭帯域に出来るかも検討が必要である。当然であるが、バンドパスフィルターは狭帯域であればあるほど設計困難である。

結論としては、図2-1-6のBPF2(バンドパスフィルター)の帯域を何処まで狭帯域にし、どの周波数レベルからデジタル処理するか研究が必要ということになる。

ADコンバータのビット数などに関する考察

今回の研究は前述のように携帯受信であり1/3セグメント受信が前提になる。1/3セグメント受信の場合、通常の13セグメント受信と違い64QAM変調モードは運用されず、16QAM変調までの対応が前提になる。従い、ADコンバータのビット数を現行13セグメント受信OFDM-LSIの10ビットから8ビット(或るいはそれ以下)に削減し消費電力を削減出来るか、ADコンバータに入力されるアナログ信号の減衰帯域での減衰率の最適化などの検討が必要である。

57MHz IF出力に関する考察(ダイレクトコンバージョン関連)

57MHz IF出力は、チューナー部とOFDMデジタル部が別々になった場合の便宜的な中間周波数でありチューナー部とOFDMデジタル復調部を一体化することが前提の本研究ではあまり意味がないと考えられる。逆に57MHz中間周波数を削除しOFDMの初段に存在するADコンバータに信号を直接入力出来る周波数まで落とし、57MHz IF処理回路の削減などを検討出来ると考える。また周波数を落とす時のポイントは、DC電流による無駄な電力消費を避けることと考えられる。以上のように57MHz IF出力の必要性、不要とした場合に周波数を何処まで落とすのが最適か、研究が必用になる。

デジタルOFDM回路の低消費電力化に関する考察

「抽出周波数帯域と消費電力の関係」の項でも記載したが、本研究のLSIは、固定受

信のように13セグメント(6MHz)の信号全部を処理する必要はなく、本質的には1セグメント或いは3セグメント処理で十分である。チューナー部で何処の帯域まで信号抽出が可能かにも依存するが、処理量に応じたOFDM回路の再設計を実施することでメモリ容量、処理スピードなど大幅に削減し、低消費電力化出来ると考える。従い、以上の観点からの検討が必用と考えられる。

(まとめ)

以上が考えられる携帯テレビ受信回路の課題概要である。

広く世の中の技術動向を見渡すと地上デジタル受信回路の低消費電力化を意識して狙う動きが出ている。例えば、当社では3セグメント(デジタルラジオ)対応のOFDMデジタル復調LSIを開発中である。他社でも発表がある。方向としては、PDA的な受信端末に搭載することを前提とした開発と考えられる。また何年かたつと、LSI設計ルールの微細化が進み、それに起因しある程度の低消費電力化は自然に進むものと考えられる。しかし、本研究のように、チューナー部を含め、回路全体を50mWで実現し、本格携帯端末搭載を可能にするには、回路全体を見直し、再設計し、再開発しないと(50mW以下の消費電力、現行回路のおよそ1/50の低消費電力化)達成困難と判断する。

2-2 研究開発目標

2-2-1 最終目標(平成18年3月末)

携帯テレビに必須の超低消費電力「地上デジタル放送受信用チューナー+OFDM復調回路」用LSIを研究開発する。本LSIは、(1)地上デジタル放送内1セグメント携帯テレビサービス、(2)3セグメントデジタルラジオ放送サービスの両方に対応するものとし、90-770MHzテレビ信号帯域の任意の1セグメント携帯テレビチャンネル、3セグメントデジタルラジオチャンネルを受信し、OFDMデジタル復調/誤り訂正後、MPEG-TS形式デジタル信号を出力するものとする。また受信時の平均消費電力は最大50mWを目標とする。さらに携帯テレビ端末搭載可能な大きさまで回路を小型化し、量産時に民生市場適用可能な範囲までコスト削減可能なこととする。

2-2-2 中間目標(平成17年3月末)

「地上デジタル放送受信用チューナー+OFDM復調回路」用LSI試作を完成させる。本試作LSIの目的は、これを簡易受信ボードに搭載し、最終年度の平成18年度で実際の電波を受信し、要求された性能が出ていることを確認出来るようにすることである。実際の電波受信で電波受信性能、実際の電波を受信した時の消費電力などを実測し、それをベースに最終的なLSIの研究開発を実施する。

2-3 研究開発の年度別計画

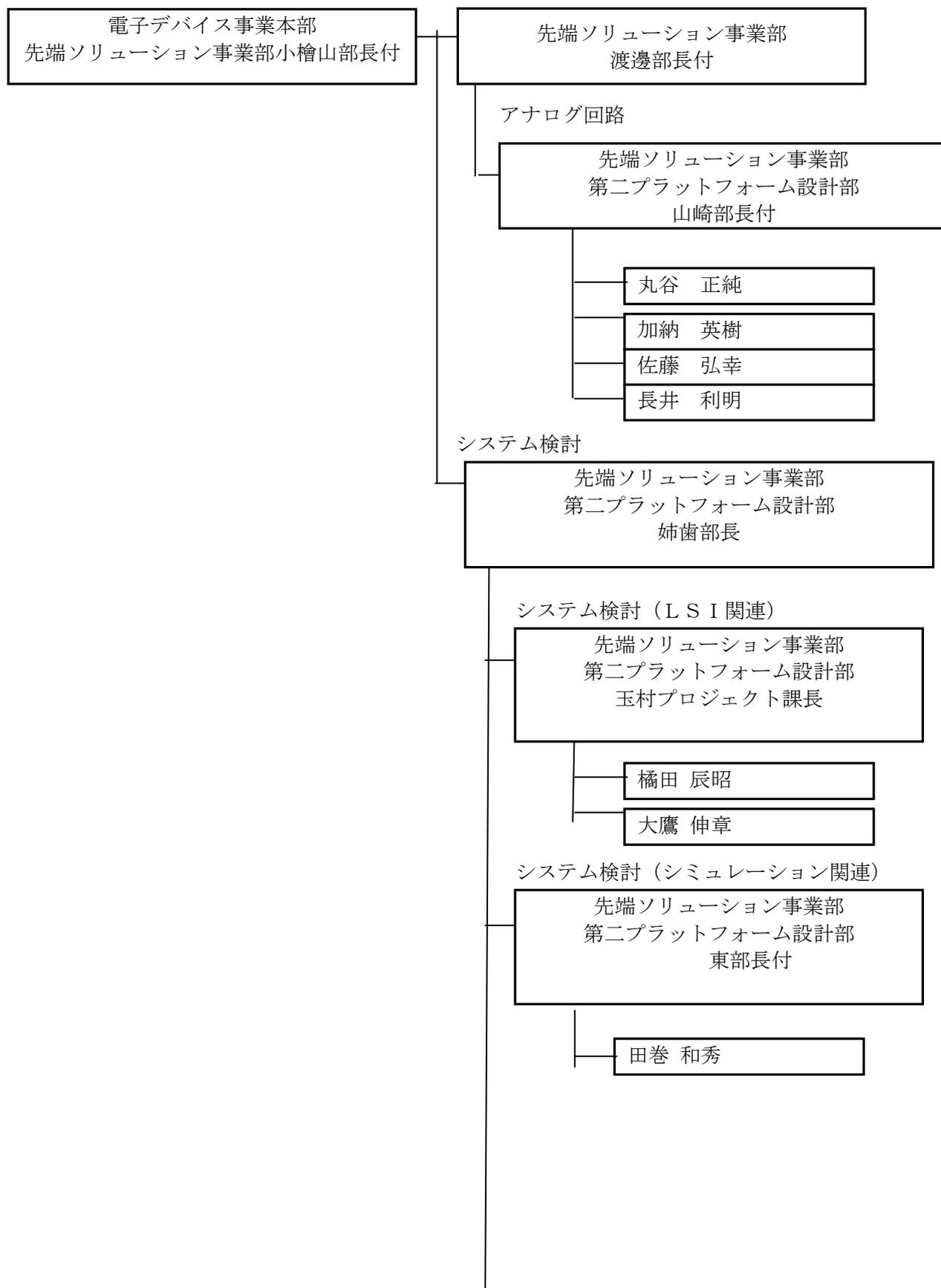
(金額は非公表)

研究開発項目	14年度	15年度	16年度	17年度	年度	計	備考
1) 方式検討							
2) コンポーネント試作							
3) 全体試作							
4) 全体試験、改良							
間接経費							
合 計							

- 注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%を上限として計上(消費税を含む)。
 2 備考欄に再委託先機関名を記載
 3 年度の欄は研究開発期間の当初年度から記載。

3 研究開発体制

3-1 研究開発実施体制



デジタル回路全般、OFDM回路

先端ソリューション事業部
第二プラットフォーム設計部
大和田部長付

永田 英稔

濱湊 真

渡辺 亮介

4 研究開発実施状況

今年度は、3年半にわたる本研究の最終年度として、目標としてきた低電力 LSI の試作とその性能実証、また実際に送信された放送電波を受信して機能確認を行った。これにより、研究開発の初期に行った 0.13 ミクロン CMOS デバイスによる回路設計技術と受信機の低電圧アーキテクチャ、また中期に実施したコンポーネント設計とその評価結果が、最終段階において LSI という形で集積され、開発した技術を実際の環境でテストして、その有用性を検証することになる。

実際の製品ではチューナ LSI はモジュールへの実装が必要となるため、小型のチューナモジュールを試作して、ベースバンド部とこれを組み合わせて評価を行った。結果として目標であった消費電力 50 mW を実現でき、今回開発してきた技術が、商業的にも魅力あるものであることを示すことができた。

4-1 LNA 関連（初段のアンプ）の研究開発

LNA はアンテナで受信した微弱な信号を増幅する高周波回路である。この回路には回路動作において発生するノイズを極力抑えて、信号品質を劣化させない低雑音性能が求められる。

本報告では LNA を含むに必要な基本性能および機能を備えた高周波増幅回路（以下 RF ブロック）について報告する。

4-1-1 LNA 設計方針

今回のデジタル放送受信に必要な機能とそれを実現するための回路構成について述べる。

・RF ブロックアーキテクチャの概要

今回開発したデジタルテレビチューナ用の高周波増幅回路には次の機能が求められた。

- ・UHF/VHF 両方の帯域に対応
- ・入力インピーダンスのマッチング
- ・低消費電力
- ・所望波の受信信号強度に応じたゲイン可変機能
- ・所望周波数以外の信号除去

これらを考慮した RF ブロックの構成を図 4-1-1 に示す。

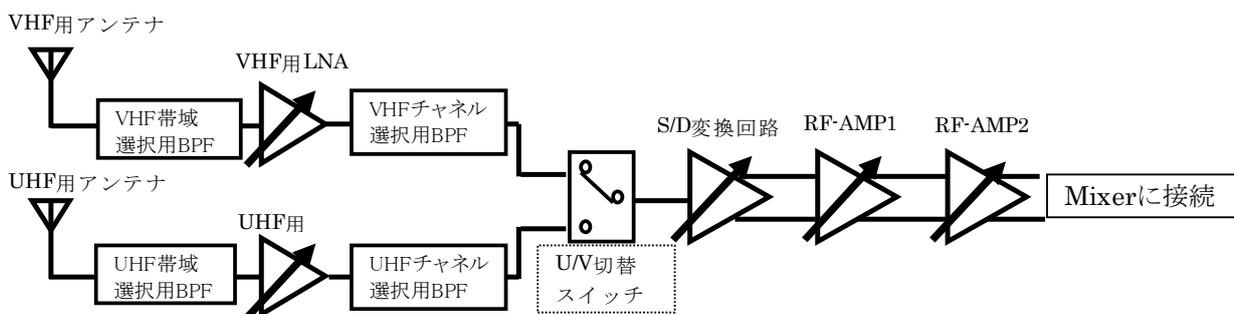


図 4-1-1 RF ブロックアーキテクチャ

- ・ UHF/VHF 対応

今回のチューナはデジタルテレビ放送のUHF帯に加えて、デジタルラジオのVHF帯も受信することが課題のひとつである。そこでデジタル放送の周波数帯域に合わせて、UHF用とVHF用の二つのLNAを用意し、それぞれ、帯域選択用のBPFとチャンネル選択用のBPFをLNAの前後に配置した。UHF/VHFの切り替えはU/V切り替えスイッチで行う。選択された周波数帯域のみ信号をS/D変換回路に伝え、選択した帯域の所望波は単相から差動信号にS/D変換回路で変換された後に差動信号増幅用のアンプ(RF-AMP)によってさらに増幅されてMixerに信号が入力される。なお、RF-AMP 2はMixerとのバッファも兼ねる。

- ・ 入力インピーダンスのマッチング

高周波信号を扱う場合、効率よく信号電力を伝える事が重要である。その際、重要になるのがインピーダンスマッチングである。アンテナの特性インピーダンスが 50Ω の場合、その 50Ω に合わせてLNAの入力インピーダンスを設計する必要がある。帯域選択用BPFが広帯域の場合、アンプにもBPFの周波数帯域に合わせた増幅特性が必要であることからLNAの入力インピーダンスは広帯域にわたって合わせこむ必要がある。そこで我々はゲート接地アンプを選択した。ゲート接地アンプは入力段の相互コンダクタンスを gm とすると、トランジスタの寄生容量によるインピーダンスが所望の周波数において $1/gm$ よりも小さければその入力インピーダンスは $1/gm$ になるため、周波数依存性が少なく広帯域なアンプに適している。

- ・ 低消費電力

帯域選択用BPFとチャンネル選択用BPFはどちらも電力を消費しないPassive素子のみ構成した。またUHF/VHF切り替えスイッチにLNAのPower Downを連動させて、使わない周波数帯用の電源は落とすことで不要な電力の消費を防いだ。

- ・ ゲイン可変機能

ゲイン可変機能は所望の周波数の信号強度にあわせてMixerに伝達する信号強度を調節するために必要である。今回の構成では全アンプにゲイン可変機能を付加させた。ゲイン可変機能を一箇所に集約するよりも格段の出力レベルに合わせた制御が可能で線形性を高くするためである。ゲインを可変させる際は制御ビットに対して単調増加（単調減少）を保障するように制御する。

- ・ 所望の周波数以外の信号除去

所望の周波数以外の信号強度が所望の信号強度に比べて非常に大きい場合、アンプの性能によっては所望の周波数以外の相互変調による高調波によって所望の信号が埋もれてしまう可能性がある。それを防ぐために所望波だけを増幅するような構成が必要になる。周波数帯域外の妨害波は帯域選択用のBPFで除去する。更に帯域内であっても所望波以外の信号は影響があるためチャンネル選択用のBPFを用意した。

4-1-2 設計環境および回路説明

- ・ 設計環境

今回の設計はADS(Agilent社製)を使用した。Sパラメータを用いた設計に優れ、入力インピーダンスのマッチングの設計が可能で、Harmonic Balanceなどの歪解析も行うことができる。また弊社においてMOSトランジスタ、MIM、インダクタのモデルが用意されているため精度が高い高周波用素子開発を進めることが出来た。

・ LNA

LNAの回路構成は図4-1-2に示す。LNAはRFブロックの最も重要な部分である。今回は帯域内の信号は全て後段に伝える必要があるため、広帯域に対応したアンプが必要であった。そのため、広帯域の増幅に最も適しているゲート接地アンプ型の回路トポロジーを採用した。

トランジスタの相互コンダクタンスを g_m とすると、寄生素子によるインピーダンスが目的の周波数において十分高ければ入力インピーダンスは $1/g_m$ で表され周波数依存性を持たない。

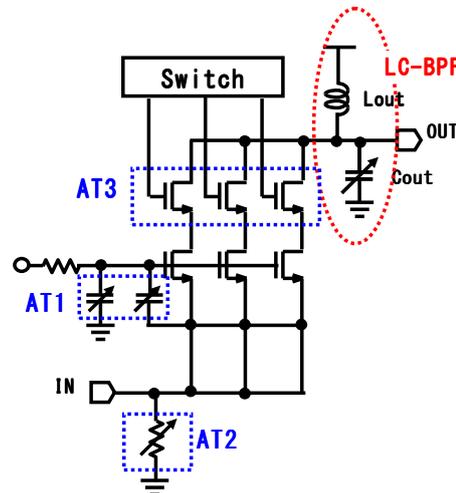


図4-1-2 LNA およびチャンネル選択フィルタ

アンプの負荷にはLC共振器を用いた。LC共振回路はその共振周波数において非常に高いインピーダンスを実現することができる。また共振周波数以外はインピーダンスを低く抑えることができることからBPFの機能を備えるため、不要な妨害波を除去するためにも有効である。

また、ダイナミックレンジを広く取るために3つのゲイン可変機能を(AT1, AT2, AT3)を回路に組み込んだ。

AT1はゲート接地アンプに入る信号振幅を容量分圧によって制御することでゲインを可変に出来る。AT2は入力のインピーダンスを変えることで、アンテナのもつインピーダンス(50Ω)と mismatch を起こさせることで信号を制御する。AT3は信号電流が流れるパスの数を制御することで出力負荷に流れる電流を変化させてゲインを可変にする。なお、これらの可変ゲイン機能はNiCTとの共同特許として既に申請済みである。

・ S/D変換回路とRF-AMP

S/D変換回路(RF-AMP)の回路トポロジーを図4-1-3に示す。

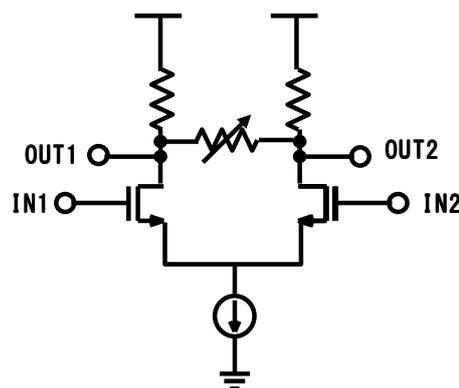


図4-1-3 S/D変換回路、RF-AMP

S/D変換回路は入力端子の片側をGNDに接地して使用している。
UHF/VHF切り替えスイッチ以後のンプにはUHF、VHF両方の周波数帯の信号を増幅するため周波数依存性が低いンプで構成する必要があった。そのため負荷には周波数依存性を持たない抵抗を用いた。出力端子間に接続した可変抵抗の抵抗値を制御してゲインを可変にしている。

4-1-3 評価

- ・帯域選択用BPFおよびチャンネル選択用BPFについて
帯域選択用BPFおよびチャンネル選択用BPFの一部に外付けのチップインダクタおよびチップコンダクタを使用した。理由は必要な素子値がチップ内部で作るには大きすぎることに高いQ値が要求されたためである。

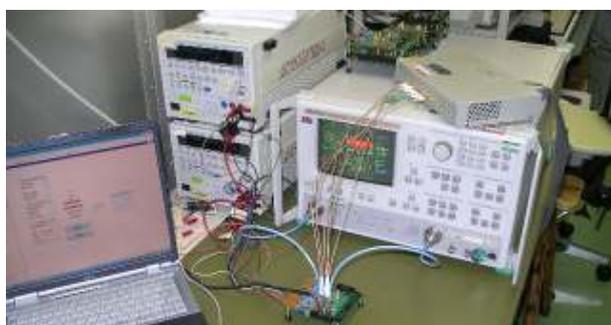
- ・モジュール
RFブロックでは1GHz程度まで信号を評価する必要がある。LSIチップだけではなく、BPF用の外付け部品も含めた評価をするため、高周波信号のロスが小さいボールグリッドアレイ（BGA）を用いてモジュール化した。

- ・評価ボード
評価ボードはモジュール専用を用意した。入力はUHFとVHFの2系統である。LSIチップからの出力は差動信号であるが、測定のために差動をシングルに変換するBufferを用意した。高周波信号用のコネクタはSMAを使用し、高周波信号を伝達する特性インピーダンスは50Ωとした。



図4-1-4 RF用評価ボード

- ・測定環境
測定はシールドルームにて行った。図4-1-5にRFブロックの評価系の一例を示す。図の右側に見えるのがベクトルネットワークアナライザ（Anritsu製）で、高周波信号の回路に対する反射・通過を測定することが出来る。また、これらはPCによって制御され自動測定が可能である。



そのほかにノイズ評価用にNFメータ(Agilent製)、入力信号発生用に信号発生器(Anritsu製) 信号強度観測用にスペクトルアナライザ(Agilent製)を使って評価を行った。

・評価条件

電源電圧：RF部=1.2V、I/O部=1.8V
 温度：25℃(室温)

・評価結果

評価項目と評価結果を表4-1-1に示す。なお、目標にしていた特性を全て達成した。

表4-1-1 評価結果

評価項目	周波数帯域	Condition	Unit	目標値	測定結果
NF	UHF	730MHz	dB	10.5	5.4
		470MHz	dB	10.5	7.2
	VHF	220MHz	dB	10.5	5.7
		170MHz	dB	10.5	5.5
IIP3	UHF	730MHz	dBm	10	16.9
	VHF	220MHz	dBm	10	14.2
周波数可変範囲	UHF	BPF=0	MHz	730	753
		BPF=31	MHz	470	365
	VHF	BPF=0	MHz	220	257
		BPF=31	MHz	170	94
入力反射特性 (入力インピーダンス マッチング)	UHF	BPFcode =0 MaxGain	dB	-10	-15.7
		BPFcode =16 GainMax	dB	-10	-14.7
	VHF	BPFcode =0 GainMax	dB	-10	-16.2
		BPFcode =8 GainMax	dB	-10	-17.6

以下に主な評価結果のグラフを示す。

・ N F 特性

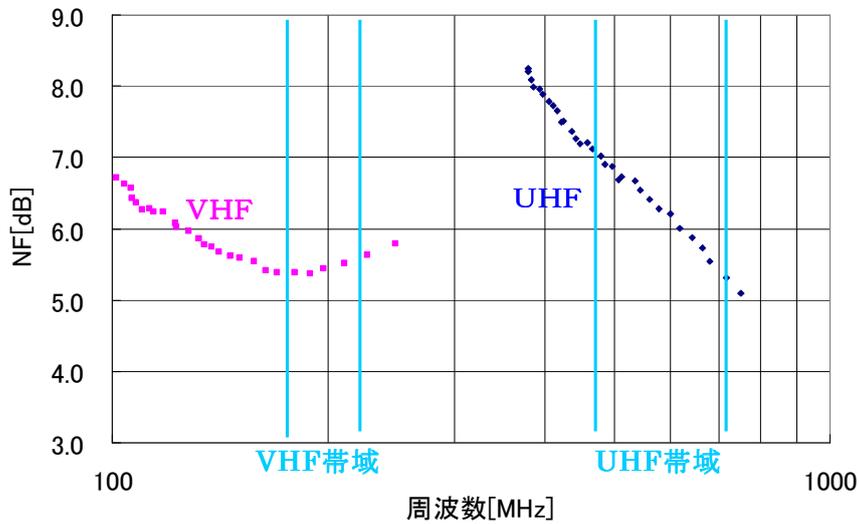


図 4 - 1 - 6 NF 特性

周波数選択コードごとのNF min値とその周波数を示す。青の点線がUHF帯、赤の点線がVHF帯である。どちらも9 dB以下の値を示している。

・ G a i n 特性

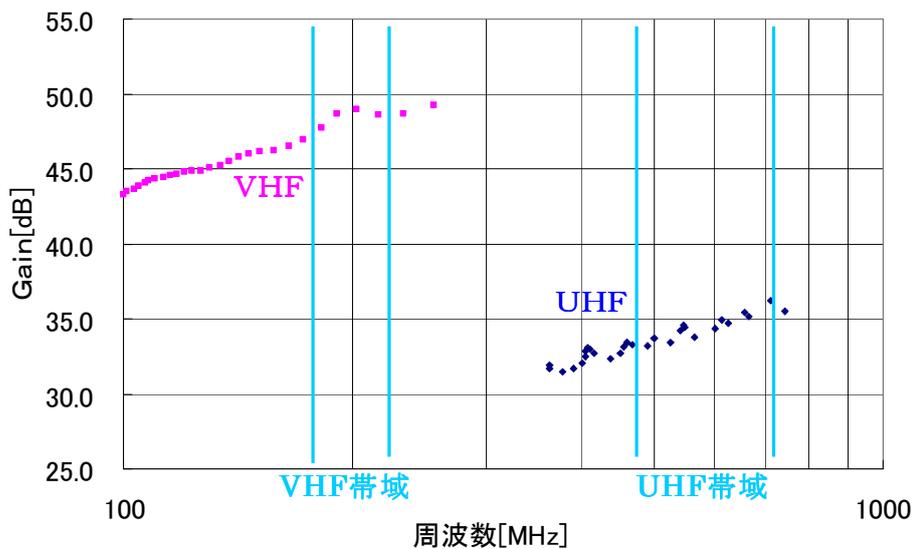


図 4 - 1 - 7 Gain 特性

周波数選択コードごとのG a i n M a xとその周波数を示す。どちらも30 dBを超える十分高いゲインが得られている。

・ I I P 3 特性

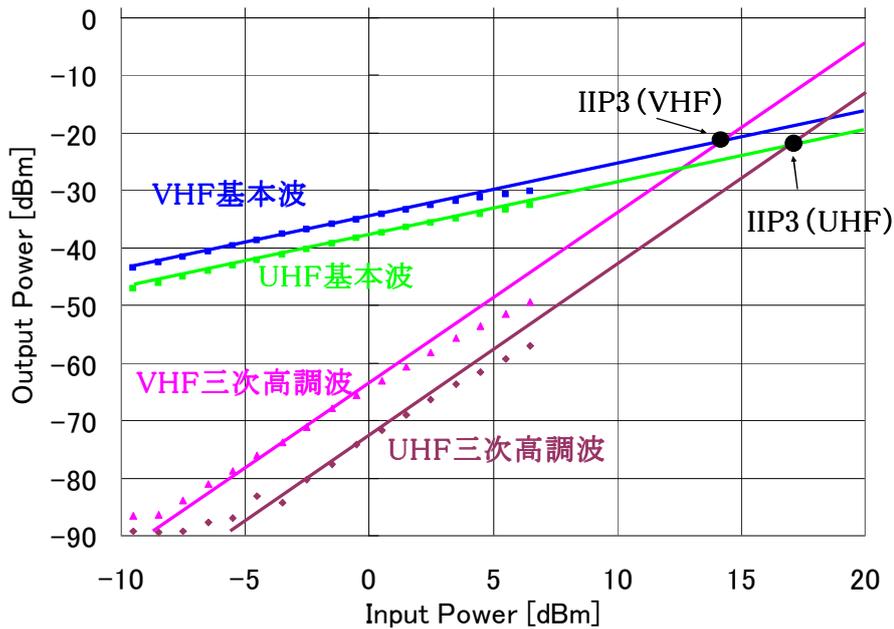


図 4 - 1 - 8 IIP3 特性

UHFおよびVHFの基本波と3次高調波を示す。
 入力信号パワーが0 dBm以上の場合でも信号が歪まないことが示された。

・ 可変ゲイン機能

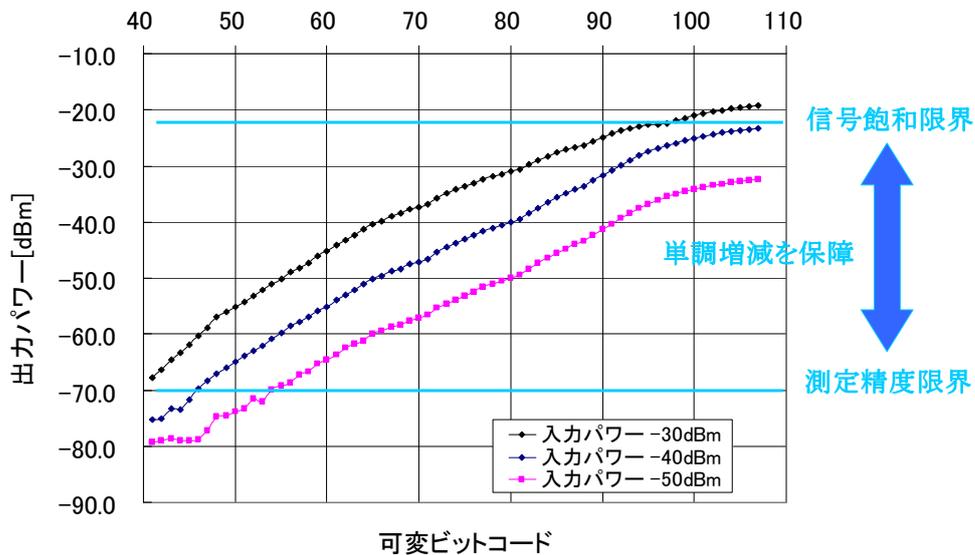


図 4 - 1 - 9 ゲイン可変制御特性

UHFのゲインコードを図4-1-9に示す。規定の出力範囲内で単調増加（減少）が保障されている。VHFの結果についても同様である。

4-1-4 まとめ

デジタルテレビチューナ向けの高周波増幅回路を設計・評価した。
広帯域化・低消費電力化を達成するための回路構成および回路トポロジーについて比較・検討を行い、その最適な回路を設計することが出来た。また、評価の結果チューナの性能に関わる必要な性能・機能を全て達成した。

今後は量産化に向けた機能の追加と性能向上のための改良を行う予定である。

4-2 OSC 1 (周波数発生回路) の研究開発

4-2-1 広帯域 IQ 信号生成方式及び回路

IQ 信号生成部では、デジタルテレビ用電波の広い周波数帯域を考慮し、IQ 発生回路として、RC ポリフェーズフィルタや DLL を用いず 2 分周器により実現している。実際の回路では、図 4-2-1 に示すように受信する信号の帯域に応じて分周比を選択する選択式の分周回路 (Selective DIV) と、常に使用する 2 分周器を 2 段用いた 4 分周器 (IQ) とを用いている。4 分周器は、DUTY が 50 ではない単相の信号からも IQ 生成を行うためである。

低電力化を実現するために、使用する VCO は低い周波数の方が望ましい。図 4-2-2 に示すように、必要な帯域をなるべく狭め、VCO の周波数も低く保ち、上記の 4 分周を含むように 4 分周、14 分周、28 分周を選択するようにした。

位相比較周波数には、UHF 帯のチャンネル間隔である 6MHz を採用している。

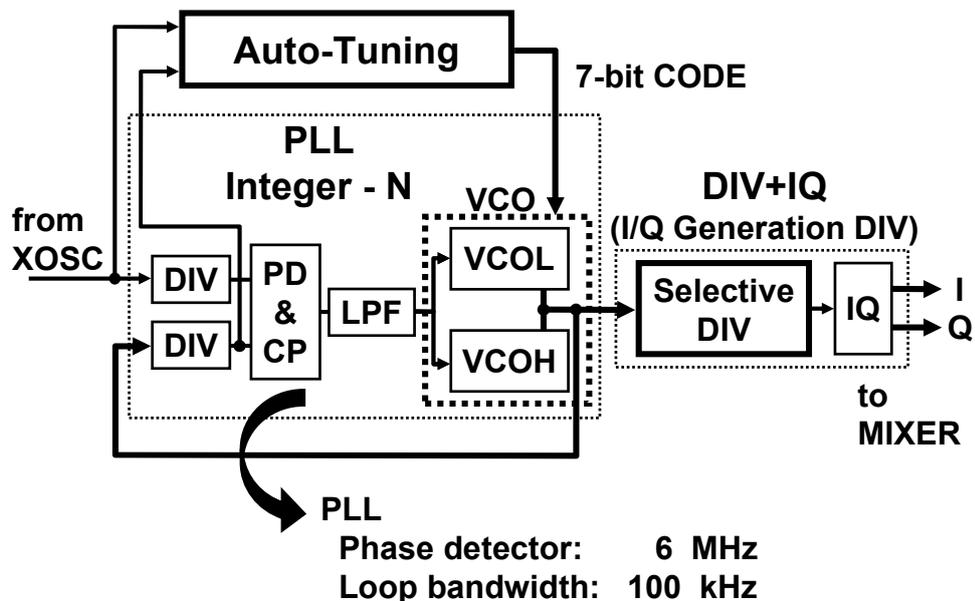


図 4-2-1 OSC 1 部 ブロック構成

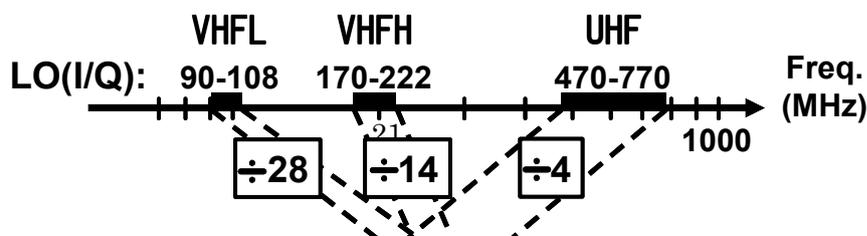


図 4-2-2 OSC1 部 周波数設計

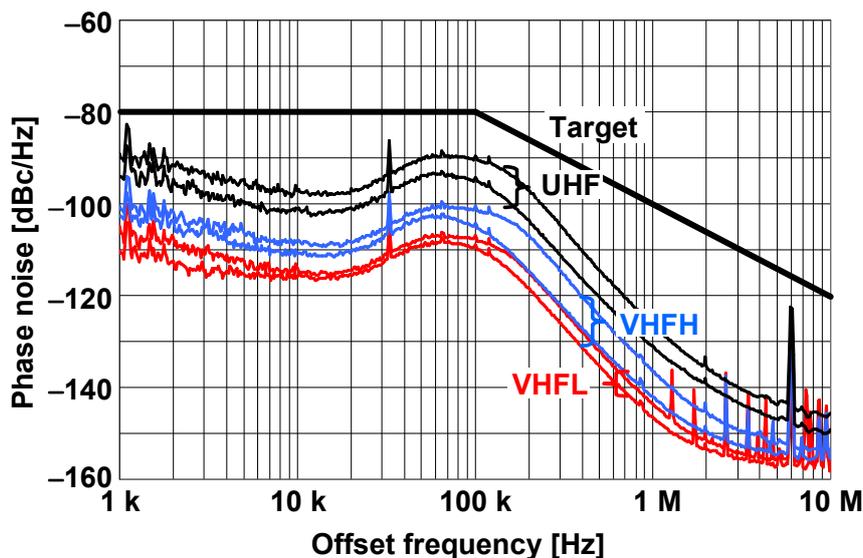
4-2-2 PLL (Phase-Locked-Loop) 回路

PLL 部では、パルススワロウ方式の整数分周 PLL を用いている。受信器の IF 周波数を複数の中から選択できる構成としたことで、基準周波数は 6MHz と高くできる。 $\Sigma \Delta$ フラクショナル PLL とは異なり、6MHz でのスプリアス成分が現れるため、ループフィルタに遮断を追加して抑圧している。また、低電力動作のために、高速分周器（プリスケアラ部）も含めてインバータロジックタイプのセルにより回路を実現している。このため、一般的な電流源を用いるタイプの回路よりも電流を大きく削減できる。

PLL 部のこの他の機能・特徴としては、ロック検出機能を有し、フィルタをチップ内に内蔵化、低電力化のためのセルの配置工夫などがある。

後述の VCO と、後段の IQ 生成部と共に動作することで、所望の LO 周波数の IQ 信号を得る。評価の結果を図 4-2-3 に示す。2 つの図の差は Type-A と Type-B の異なる回路構成での比較である。本 OSC1 の現状の位相雑音は Type-A に相当する。ただし、調査の結果、これは評価において用いた REFCK 用の IO の特性不足に起因することが分かっている。対策を講じることで参考データとして提示した Type-B 程度に改善することを確認済みである。

ターゲットの位相雑音に対して、雑音レベルの高い UHF 帯でも 20dB ほどの余裕を持って特性を達成している。



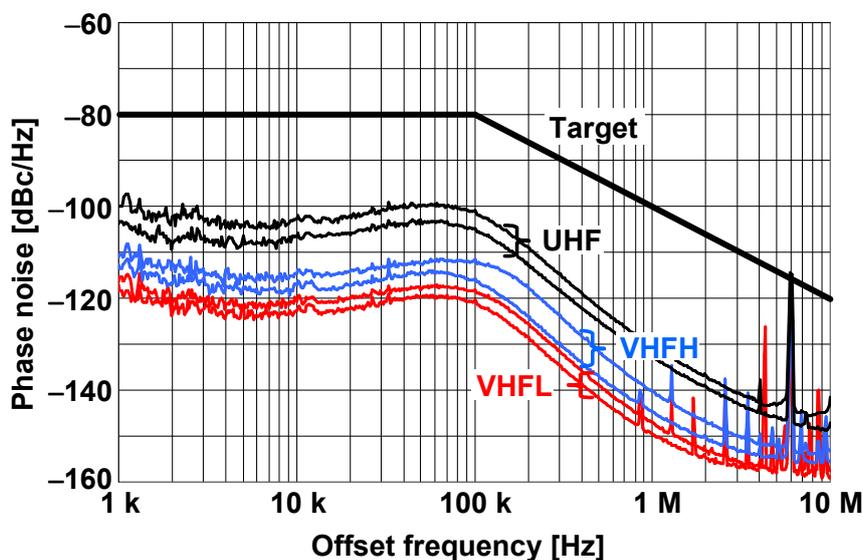


図 4-2-3 IQ 出力での位相雑音特性(上段 : Type-A 下段 : Type-B)

4-2-3 VCO(Voltage-Controlled-Oscillator)回路

シンセサイザでは低雑音化の要求が常に存在する。低電力化と広帯域化が求められる本シンセサイザにおいても、低雑音化が同時に求められている。このため、位相雑音に大きな影響を持つ VCO の構成に、LC 共振器型 VCO を選択した。更に、必要な広い可変幅を実現しつつ、外部からの発振周波数制御端子からの雑音の影響を抑えるために VCO 利得を低く抑えることのできる、「固定容量切替+可変容量」による周波数調整方式を選択した。図 4-2-4 に本 VCO の回路図を示す。VCO は低消費電力化の実現を優先し、P, NMOS のクロスカップルとし、フル振幅動作する構成とした。インダクタやバラクタ、Tr スイッチ付の MIM など別途評価、モデルの取得を行っている。

プロセスばらつきや各種環境変動を考慮した場合、VCO に求められる特性は最も厳しい見積もりで 1600~3800MHz も達する。しかし、LC 共振器の Q 値の特性や、インダクタの特性などを考慮して、単一 VCO での実現ではなく 2 つの VCO により所望の帯域をカバーしている。図 4-2-5 にこのような方針により設計された 2 つの VCO の発振周波数特性を評価した結果を示す。個々の VCO は 6bit のデジタルコードで制御され、それぞれ 64 本の CLK カーブ群を有する。本シンセサイザは、これらの中から最も周波数ターゲットに近いものを選ぶ自動調整回路としてオートチューニング回路を搭載しており、これは次節にて説明する。

VCO の各 CLK カーブは近くのカーブ同士がお互いの周波数に重なり合うように設計されている。即ち、一つの周波数に対して、4~5 本のカーブが異なる VCNTL 電圧で発振できる。これは、オートチューニング終了時に VCNTL が常に電源電圧の中間レベル付近となるようにして、チューニング後の環境変化に対する耐力を増すためである。PLL 自身が VCNTL を自分で調整して環境変化による VCO 特性変化を吸収する。しかし VCO の特性変化が大きすぎて追従できなくなった場合には、PLL はロックはずれ信号を出力し、オートチューニングにより再びその環境下での最適コードを選択できる。

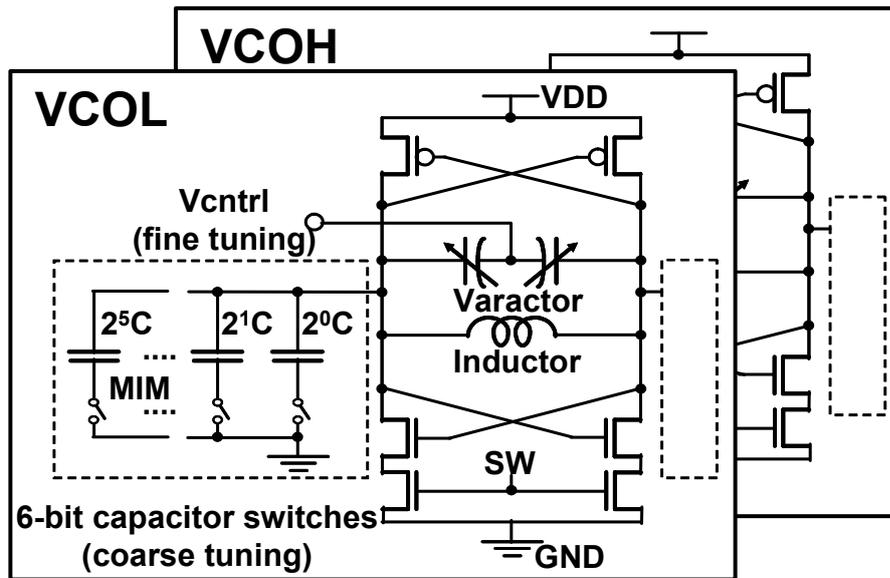


图 4-2-4 LC 共振器型 VCO 回路图 (2 VCO 構成)

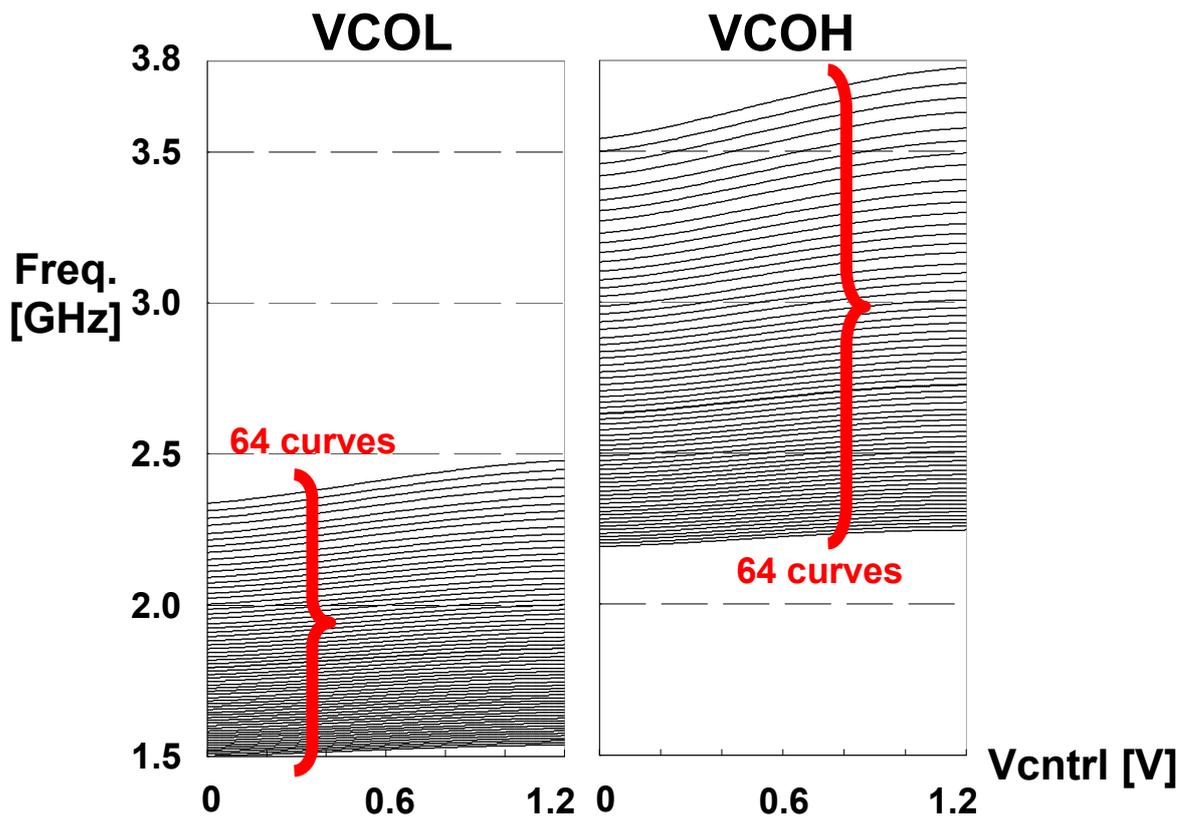


図 4-2-5 2 LC 共振器型 VCO 回路の発振周波数特性

4-2-4 AT(Auto-Tuning)回路

ユーザからのチャンネル変更要求があった際に、本 OSC では所望の周波数に 2 段階で引き込む。図 4-2-6 に示すように、まずステップ状に周波数を変化させて、64 本の CLK カーブの中から最適なものを選ぶ「オートチューニング」の段階と、最適なカーブを選んだ後に VCNTL の電圧の微調整によってターゲットの周波数に到達する「PLL 引込」の段階である。「オートチューニング」、「PLL 引込」に要する時間は、要求されるチャンネル設定に応じて異なり、また同じ設定でも選択が開始される時間によって変わる。

本シンセサイザではこのオートチューニングに工夫をして、高速なチューニングを実現している。図 4-2-7 に従来方式と本方式の差を示す。従来、本方式共に 6bit のコードの中から最適なコードを選択するために、バイナリウェイトシフトでコードを変えながら、最大で 6 回の周波数比較を行う。この際、本 VCO のように CLK カーブ間隔が不均一であるような場合には、従来方式では最長（CLK カーブ間隔が最も狭いもの同士を正しく判定できる時間）の固定した比較時間を用いて、CLK 周波数の高低判定を行っていた。これに対し、本方式では周波数差に応じて比較時間を動的に変えて、判定が完了し次第、以降の時間は省略して次のコードにしふとすることで全体のチューニング時間を短くしている。

回路のブロック図は図 4-2-8 に示すとおりである。周波数比較は、単純にカウンタを 2 つ用意して比較している。PLL 引込する前の周波数比較は非同期な CLK 間での比較であることから、高低判定に必要なカウンタ差は 2 である。そこで、差が 2 以上になった時点で周波数判定を打ち切るように回路制御を行い、周波数差が大きいときには短い時間でカウンタ差 2 を得て次のコード選択を行うようにしている。

チューニング時間を決める要因は、使用している基準 CLK (現在 24MHz)、位相比較周波数

(現在 6MHz)、使用する CLK 中での最小周波数差である。

AT 時間のばらつきについて調査した結果を図 4-2-9 に示す。シンセサイザの設定としては、DTV の全 CH, 全 SEG で 200 通りある。これら全ての設定に対して、同一サンプルで 10 回ずつオートチューニングに要した時間を測定してプロットした。

結果は、先述の通り非同期 CLK 同士の比較であるためにチューニング時間はばらつくこと。また、チューニング時間はばらつくが、設計通りに従来方式の 1 回分(80us)の 2~3 回分に収まるという結果を示している。

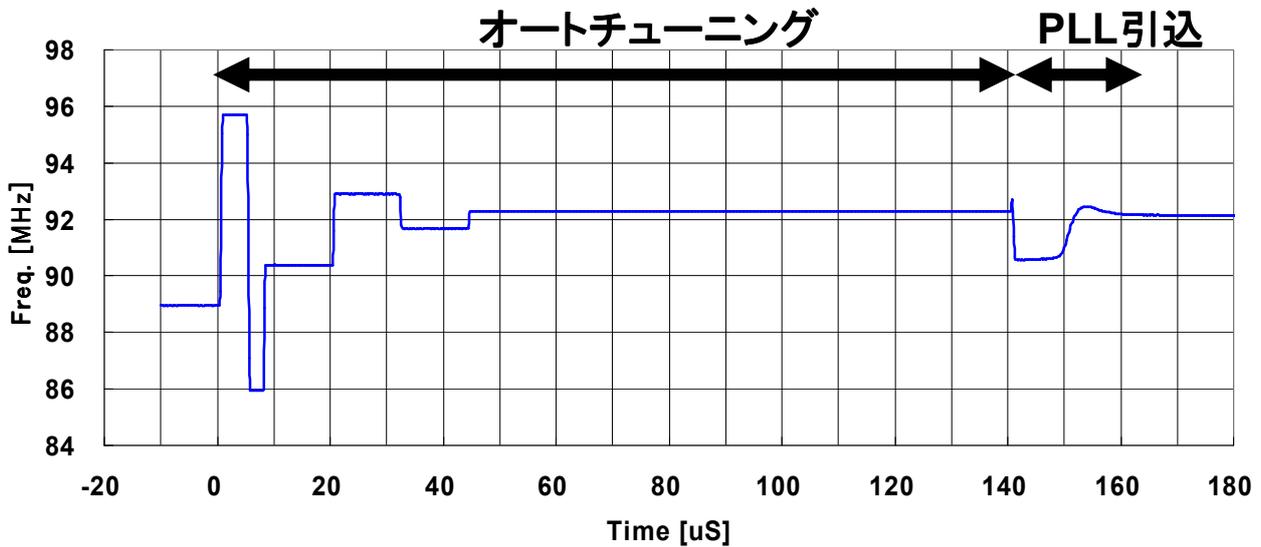
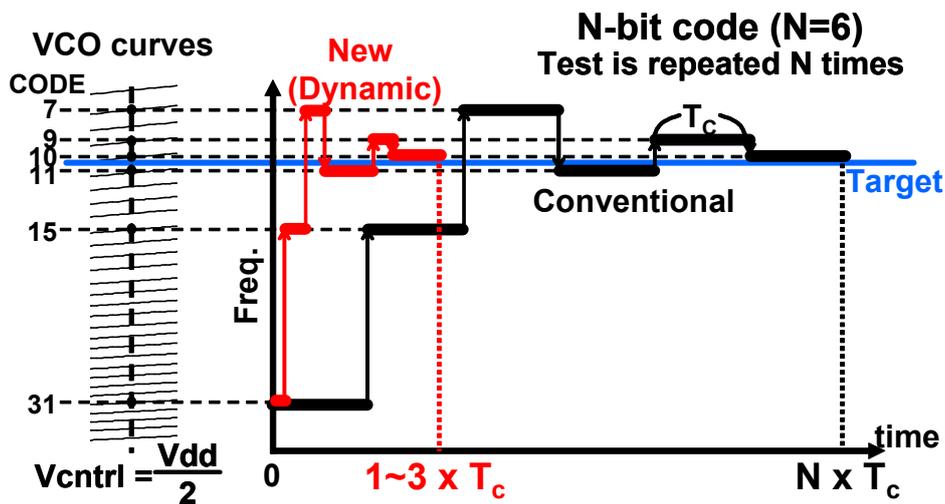


図 4-2-6 オートチューニングのタイムチャートの例
(1 チャンネル 第 2 セグメント用 LO target = 92.1MHz)



◆ The longest period appears only 0~2 times

➤ Shorten each test and reduce total time to $\frac{1}{N} \sim \frac{3}{N}$

図 4-2-7 本方式(ダイナミックサーチ)によるオートチューニング時間の短縮

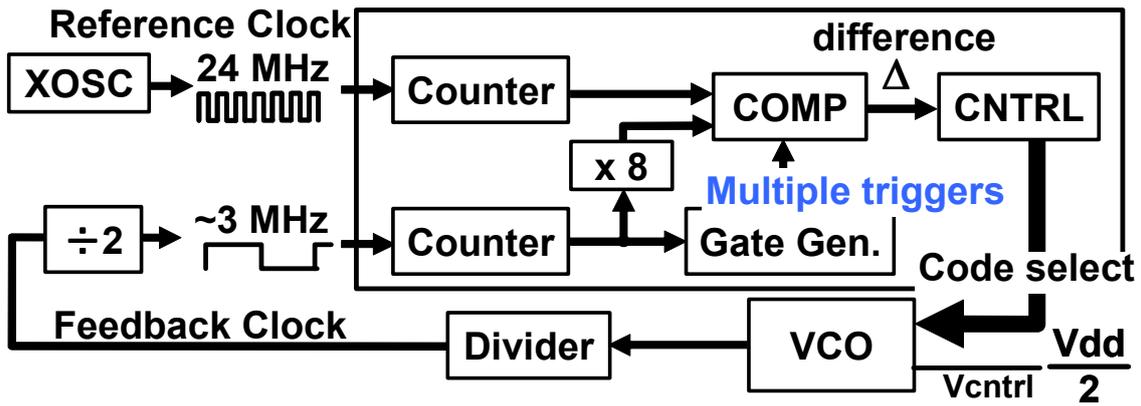


図 4-2-8 ダイナミックサーチを実現するオートチューニング回路の構成

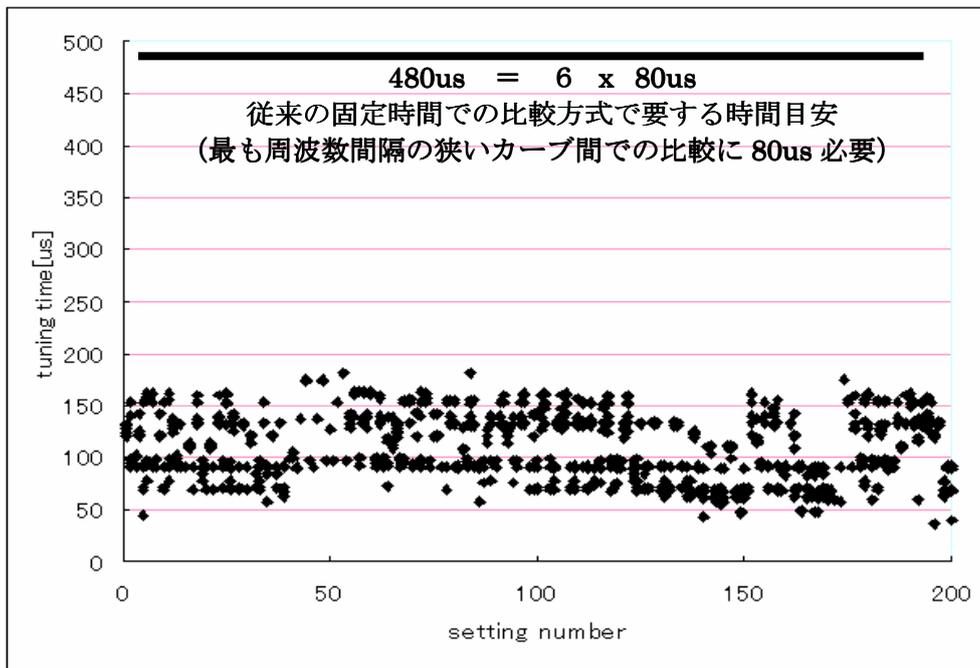


図 4-2-9 全 200 設定に対するオートチューニング時間の評価結果 (10 回ずつ)

4-2-5 3.5 分周器

4-2-1 に記載の通り、本シンセサイザでは、VCO として 3GHz 帯のものを用いることで低消費電力化を可能としている。3GHz の VCO 使用に際して、最もキーとなる回路技術は 3.5 分周器の実用化である。

VHFH 帯の所望のチャンネル間隔を実現する IQ 信号生成には 14 分周が必要である。このためには常時使用する IQ(4 分周器)と 3.5 分周器の組み合わせが必要であるが、通常は分周器に整数の値を用いる。小数分周を実現しようとする、回路が大幅に複雑になることや、分周後クロックのパルス列の周器が交互にずれる (オフセットをもたらす) ことが多い。

本回路は VCO からの差動信号を入力として、2 つのカウンタを交互にリセット動作させる簡易な構成でありながら、低消費電力でかつ高速な 3.5 分周を実現している。本回路の

ブロック構成とタイミングチャートを図 4-2-10 に示す。

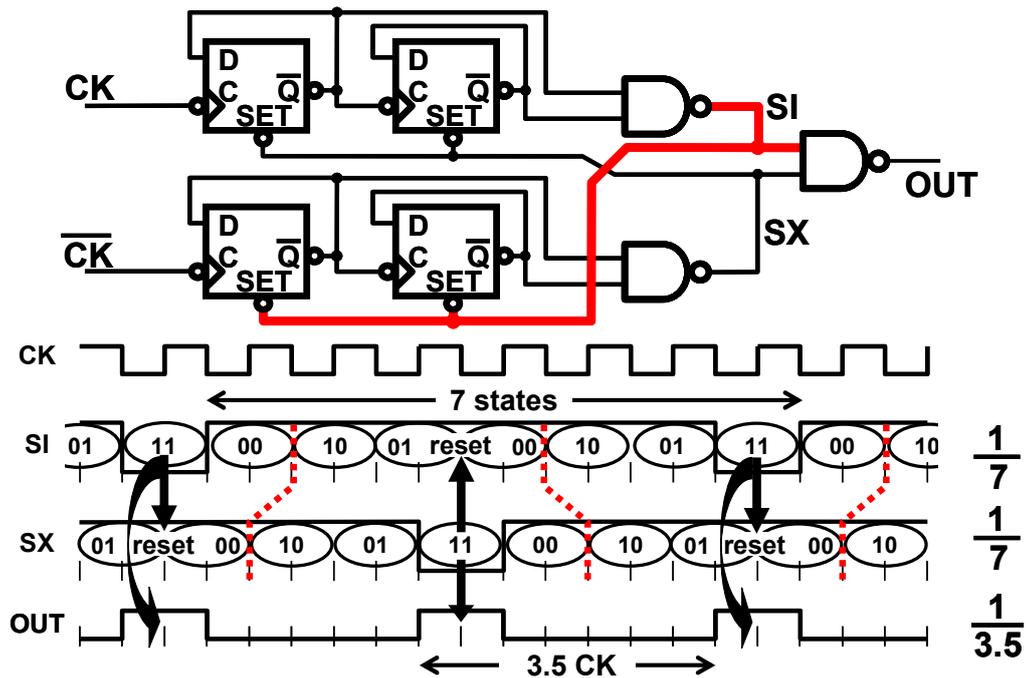


図 4-2-10 3.5 分周器の回路構成とタイミングチャート

4-2-6 まとめ

デジタルテレビチューナ向けに IQ 生成シンセサイザを試作・評価した。低電力化、広帯域化、低雑音化の 3 つの目標を同時に達成するための回路トポロジーを検討し、最適な方式を比較・選択した。また、そのために必要な 6bit コード選択 VCO、インバータロジックによる高速分周器、3.5 分周器といった新規回路の開発を行った。また、上記 VCO の使用のために、高速で最適な CLK カーブを選択するオートチューニング回路も開発・搭載した。

今後は、いくつかの細かいチューニングや修正、コスト低減のための面積削減に向けた検討を加え、更なる性能の改善と低コスト化を達成する。

4-3 IF 部（ミキサ、ADC およびフィルタ）の研究開発

(1) IF 部の課題

IF 部に要求される課題は以下の 3 点である。

- [a] 大きなダイナミックレンジ：AD 変換器 59dB/全体 75dB(1seg. 帯域)
- [b] 低消費電力：AD 変換器およびミキサ合計で 11mW 以下
- [c] 低電圧動作：1.2V 標準 CMOS Tr. を使用

以下それぞれについて詳しく述べる。

[a] 大きなダイナミックレンジ

本研究におけるチューナは、チャンネル選択フィルタをデジタル化することで消費電力を低減する構成となっている。このため、AD 変換器は大きなアナログ隣接妨害波と小さな所望波を、同時に AD 変換できるだけのダイナミックレンジを要求される。1 セグメ

ント帯域について考えた場合、DQPSK1/2 移動受信の規格 (ARIB STD-30) から、具体的に数値は以下ようになる。

$$54\text{dB}(\text{アナログ上隣接 DU 比}) + 5\text{dB}(\text{所要 CN}) = 59\text{dB}(\text{DR 要求値})$$

IF 部全体では、RF 部の AGC 回路を簡素化するために 1 セグ帯域に対して、75dB のダイナミックレンジを割り当てた。

[b]低消費電力

IF ブロックで[a]の課題を達成するために、消費電力を増やしてしまうと、フィルタのデジタル化によって得られた低電力化の効果が相殺されてしまう。チューナ全体としての消費電力の目標を達成するためには、IF 部全体での消費電力を 11mW 以下に抑える必要がある。

[c]低電圧動作

本研究におけるチューナは 1.2V 標準 CMOS テクノロジを用いて設計されている。これは将来的に OFDM 復調回路と 1 チップ化するのに有利なためである。しかし、このような低電圧の微細素子は従来のテクノロジーに比べて素子の固有利得が低いため、高いゲインを達成しにくいという問題がある。

(2) 設計

【IF 部全体構成】

IF 部全体の構成を図 4-3-1 に示す。RF 部から入力された信号をミキサブロックでダウンコンバートする。このチューナは low-IF 方式であるので、直交形式のミキサーが必要になる。これを実現するのに、それぞれ独立した 2 つのミキサーと AD 変換器を並列に並べた構成となっている。

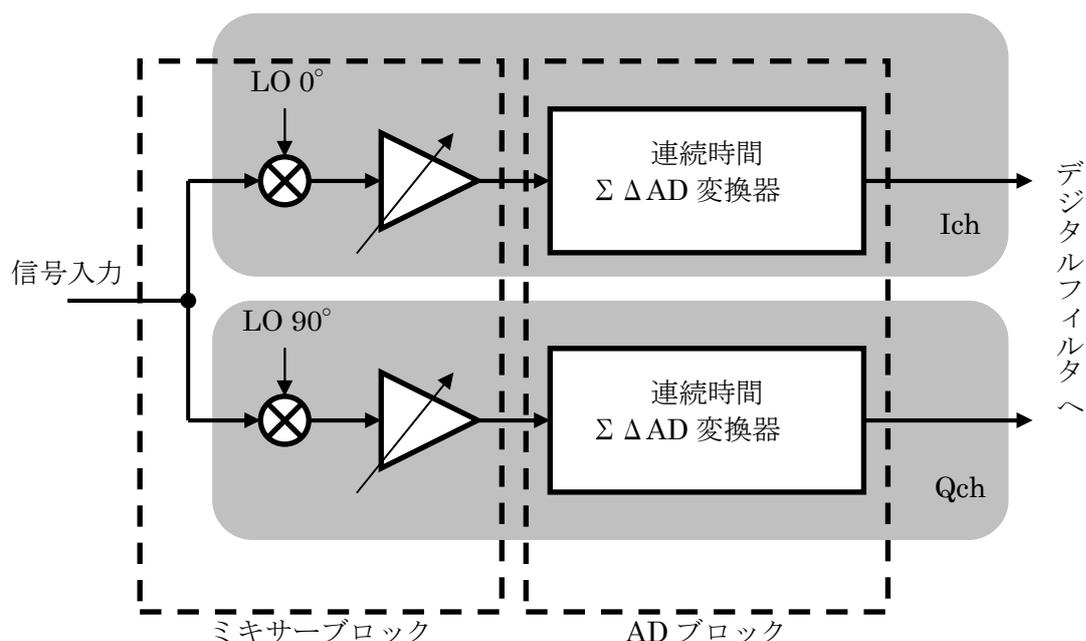


図 4-3-1 IF 部の全体構成

なお、低電力化のために、ミキサーを $\Sigma \Delta$ AD変換器の入力段と融合した構成も検討も行った。¹しかし、この構成にしてしまうと、初段のアンプのゲインが低い場合に、量子化ノイズまでミキシングされてしまうため、ノイズフロアが劣化することが懸念される。一方、後述するように本研究の $\Sigma \Delta$ AD変換器は高速サンプリングを行っているため、入力段のアンプは高速で動作する必要がある。高ゲインのアンプを課題[c]の低電圧動作条件で実現する場合、多段構成にせざるを得ない。しかし、この多段構成のアンプを高速動作させようとすると1段構成に対してバイアス電流のパスが増えるために、消費電力の増大をまねく。

この問題は高ゲインと高速動作を同時に実現しようとしていることによる。アンプを追加してミキサーを $\Sigma \Delta$ AD変換器の入力から分離することで、 $\Sigma \Delta$ AD変換器の初段アンプについてゲインの要求を緩和でき、結果として性能あたりの消費電力を低減することができる。

【ミキサーブロック】

ミキサーブロックの構成図（1 c h）を図4-3-2に示す。図に示すように、アクティブRCフィルタの入力抵抗にスイッチを付加することで受動ミキサーを構成している。1段目をフィルタとすることで、LOのリーク成分やミキシング時に生成される和成分が次段以降に与える影響を低減することができる。

アクティブRCフィルタの後段にはVGA段を設けた。初段も2段目も可変抵抗を備えることで、ミキサーブロックの各段で10dB、全体で20dBゲインを可変することができる。

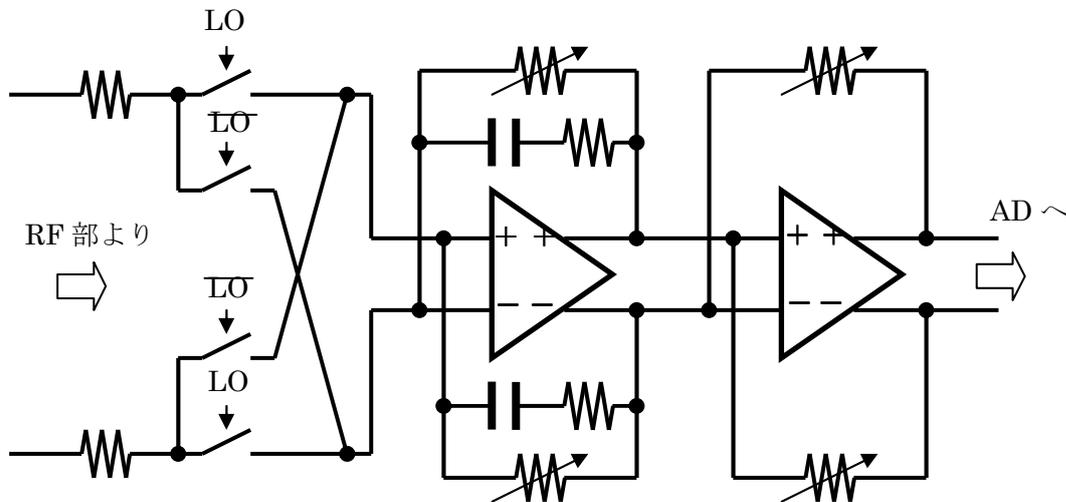


図 4-3-2 ミキサーブロック構成

【連続時間 $\Sigma \Delta$ AD変換器】

課題[a]から、AD変換器にはほぼ60dBのダイナミックレンジが要求される。一方、ISDBT/ISDBT-SBで受信すべき信号帯域幅は、3セグメント受信時でも1.3MHzと比較的狭い帯域である。 $\Sigma \Delta$ AD変換器は、信号帯域は他の方式に比べて狭いが、大きなダイナミックレンジを実現できるという特徴がある。本研究では、この方式を採用するこ

¹ T. Nagai, H. Satou, H. Yamazaki and Y. Watanabe, "A 1.2V 3.5mW $\Delta\Sigma$ modulator with a passive current summing network and a variable gain function", ISSCC Dig. Tech. Papers, pp494 - p612, Feb. 2005

とで AD 変換器の低電力化をめざした。

AD 変換器に入力される信号について考えると、RF 部およびミキサ一部でフィルタリングされているものの、どちらも緩やかな特性のフィルタのため、高い周波数の妨害波の成分を含んでいる。この場合、エイリアシングにより、これらの成分が信号帯域に折り返すことが懸念される。 $\Sigma \Delta$ AD 変換器には 連続時間と離散時間の 2 つのタイプが存在するが、この問題に対しては、連続時間 $\Sigma \Delta$ AD 変換器のほうが、サンプリング周波数を高くしやすいこと、ループフィルタがアンチエイリアスフィルタとしても働くことなどから有利である。

図 4-3-3 に $\Sigma \Delta$ AD 変換器の構成図 (1 c h) を示す。前述のようにサンプリング周波数を高く、すなわちオーバーサンプル比を大きくしたことで、1-loop/1-bit 構成でも 4 次のフィルタを用いれば所望のダイナミックレンジを実現可能である。線形性が良いことから、内部量子化器の bit 数は 1 とした。OFDM 信号を受信する場合、線形性が重要であることは前述のとおりである。

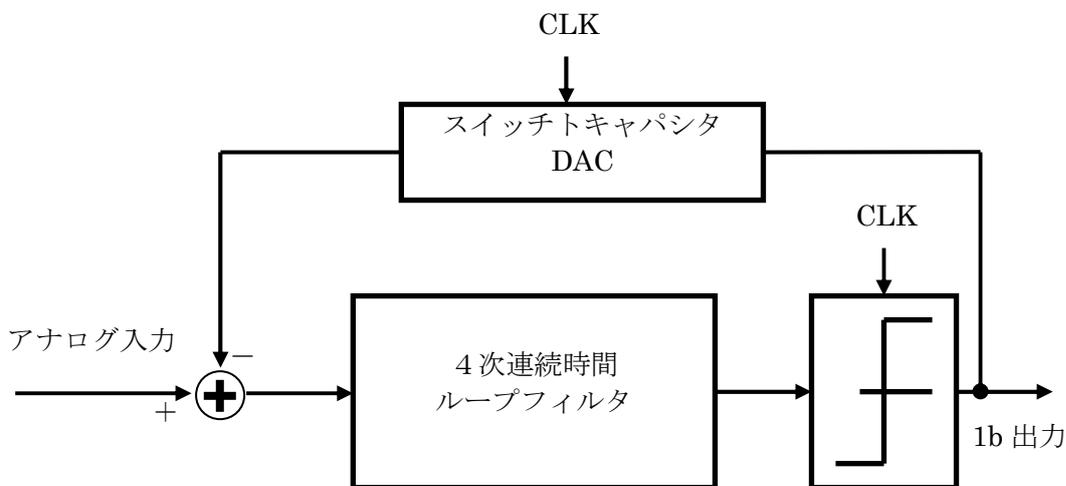


図 4-3-3 連続時間 $\Sigma \Delta$ AD 変換器の構成

4 次の連続時間ループフィルタを図 4-3-4 に示す。従来同じ次数のフィルタを構成する場合計 8 個のアンプを使用していた。ところがこれらのアンプのうち半分は、ループの安定性を保証するために使用されていたものであり、ダイナミックレンジへはほとんど寄与しない。そこで、これらのアンプを抵抗/容量のネットワークに置き換えることで、同じ特性を保ちながら消費電力を削減する設計とした。

クロックジッタの影響を低減するために、フィードバック DAC はスイッチトキャパシタ型の DAC とした。DAC をスイッチトキャパシタ型とすることで、ジッタによってクロックパルス幅が変わることによる帰還電荷量の変動を小さくすることができる。これにより、PLL に対するクロックジッタの要求値が緩和される。これは、AD 変換器を駆動する PLL を低電力化するのに有利である。

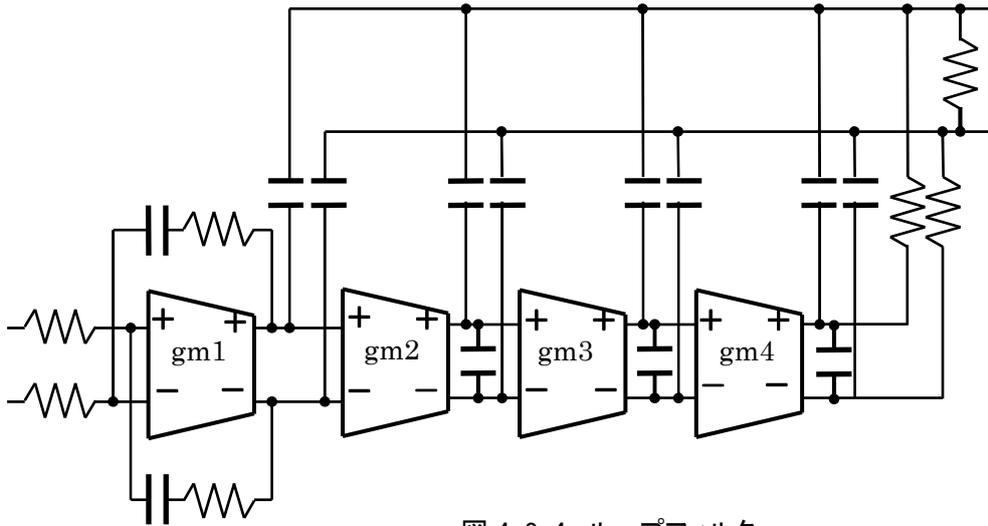


図 4-3-4 ループフィルタ

(3) 評価

【ミキサーブロック】

ミキサーブロックについて、ゲイン設定を変えながら出力されるダウンコンバート後の信号の大きさを評価した。結果を図 4-3-5 に示す。なお、ゲインは最大のをときを 0dB として規格化した値である。

図 4-3-5 からわかるように試作したミキサーブロックは 19.4dB のゲイン可変幅を持っており、ゲイン設定に対して単調増加の特性を示していることがわかる。

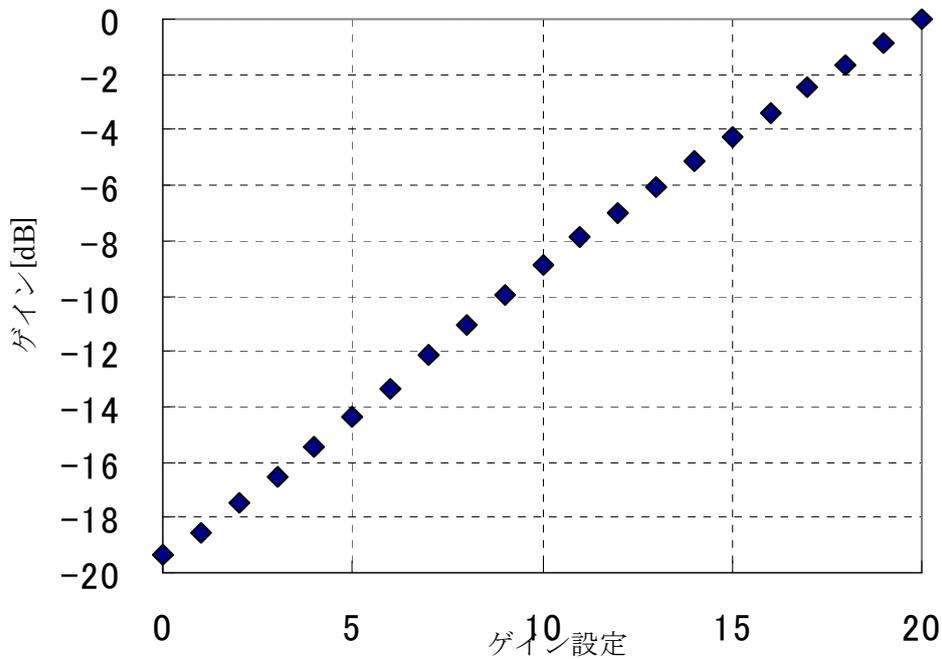


図 4-3-5 ミキサーブロックのゲイン (相対値)

【AD ブロック】

1 チャンネルについて、1 MHz 正弦波入力時の出力スペクトラムを図 4-3-6 に示す。図からノイズスペクトラムは4次のシェーピング特性を示していること、正弦波が正しく出力されていることがわかる。この測定はオンチップ PLL を使用しているが、この場合でも十分に低いノイズフロアが達成されている。

なお、スペクトラム上に大きなひずみ成分が見えるが、測定に用いた信号源に起因するものであり、 $\Sigma \Delta$ AD 変換器によるものではない。

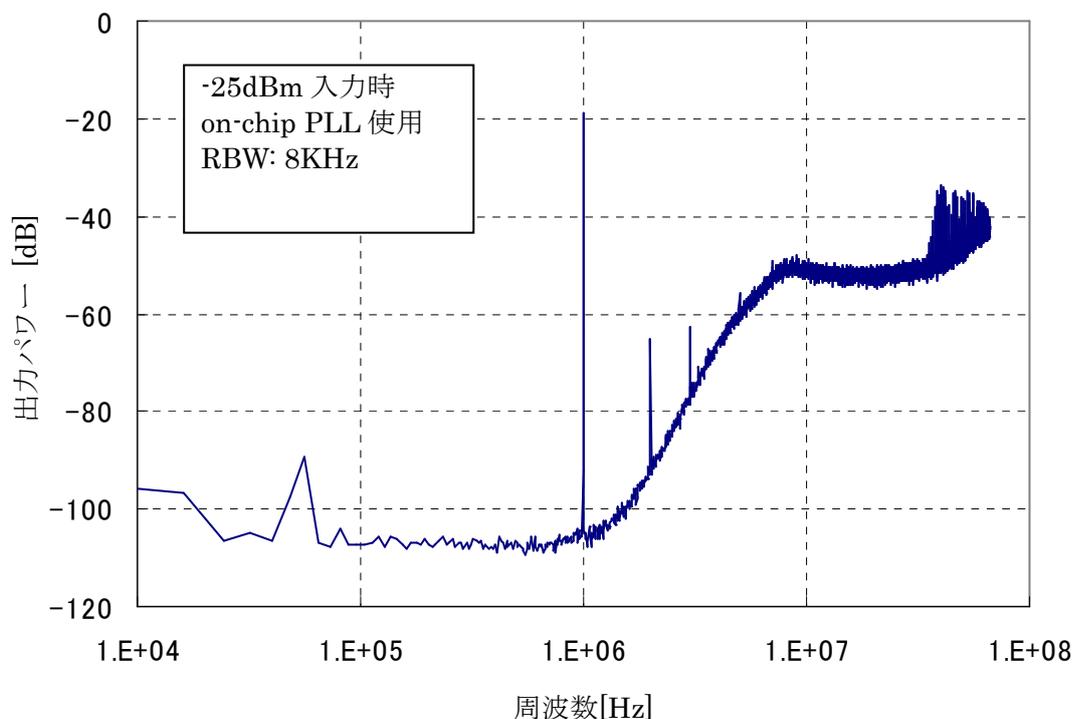


図 4-3-6 正弦波入力時のスペクトラム

1 チャンネルについて、入力信号に対する SNR を測定した結果を図 4-3-7 に示す。1 セグメント帯域についてダイナミックレンジは 71dB、最大 SNR は 66.2dB である。同様にして 3 セグメント帯域について、ダイナミックレンジは 65dB、最大 SNR は 63.5dB である。

【IF 部全体でのダイナミックレンジ】

ミキサブロックのデバイスノイズから、可変範囲 19.4dB のうち約 10dB 程度はダイナミックレンジに寄与しない。よって 1 セグメント帯域でのダイナミックレンジは全体でほぼ 80dB となり、AD 変換器のダイナミックレンジと併せて、課題[a]の要求を満たしていることがわかる。

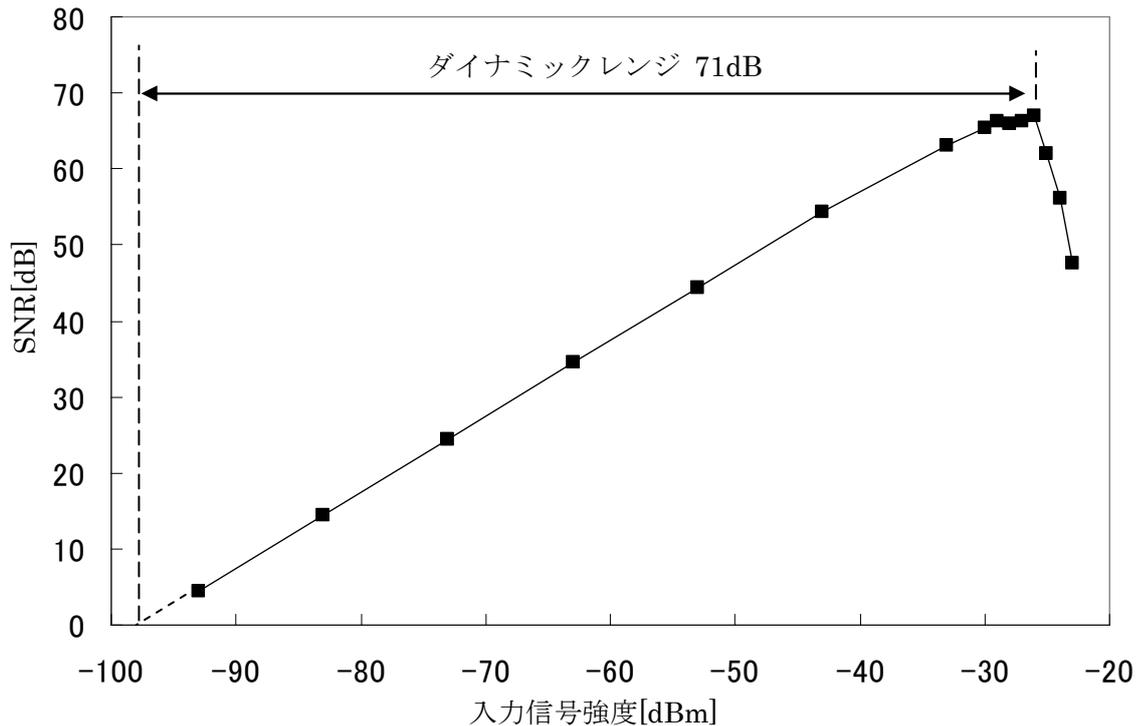


図 4-3-7 入力に対する SNR (1 セグメント帯域)

(4) まとめと今後の展望

今回の試作により、標準的なプロセスにおいては所望のダイナミックレンジおよび消費電力を達成することができた。

今後量産に向けて以下のことが課題となる。

- ・ プロセス変動に対する対応
- ・ 温度変動に対する対応
- ・ 信号帯域外の周波数成分に対するダイナミックレンジの確保
(複数の信号が入った場合、アナログ TV 信号 etc)

とくに連続時間 $\Sigma \Delta$ AD 変換器については、プロセス変動や温度変動によって回路の時定数が変わってしまうところが問題となる。各素子の定数を調整して特性 (SNR, DR, 信号帯域) の時定数に対する感度を低減するとともに、静的・動的な調整回路により保障することを検討する。

これらの対策によりチューナの歩留まりと、隣接妨害耐性の向上を目指す。

4-4 低消費電力デジタルOFDM回路+フィールド試験の研究開発

4-4-1 低消費電力デジタルOFDM回路

RF部とデジタルベースバンド部のインターフェースはLOW-IF方式を採用している。この方式はRF部の低消費電力化や小型化に貢献する一方、

- ・イメージ除去、不要周波数帯域除去
- ・ダウンサンプリング、出力ビット数調整
- ・I/Q直交歪みやゲインバランスの補正

等の機能をデジタル部で実現することになりロジック部が複雑になる。

しかし、アナログ回路でイメージ除去を行うことに比べ、システム全体として低消費電力化が実現できるメリットがある。

アナログ部とデジタル部のインターフェースは図4-4-1に示す構成である。 $\Sigma\Delta$ ADCの出力は高い周波数にノイズ成分を含んでいるため、フィルタ処理で不要な信号を落としながら、所望の周波数までダウンサンプルを繰り返す。今回のチューナに接続できるように、フィルタ/ダウンサンプルから周波数シフトまでを新規に開発した。それ以降の復調回路は富士通の既存OFDM復調回路を用いた。

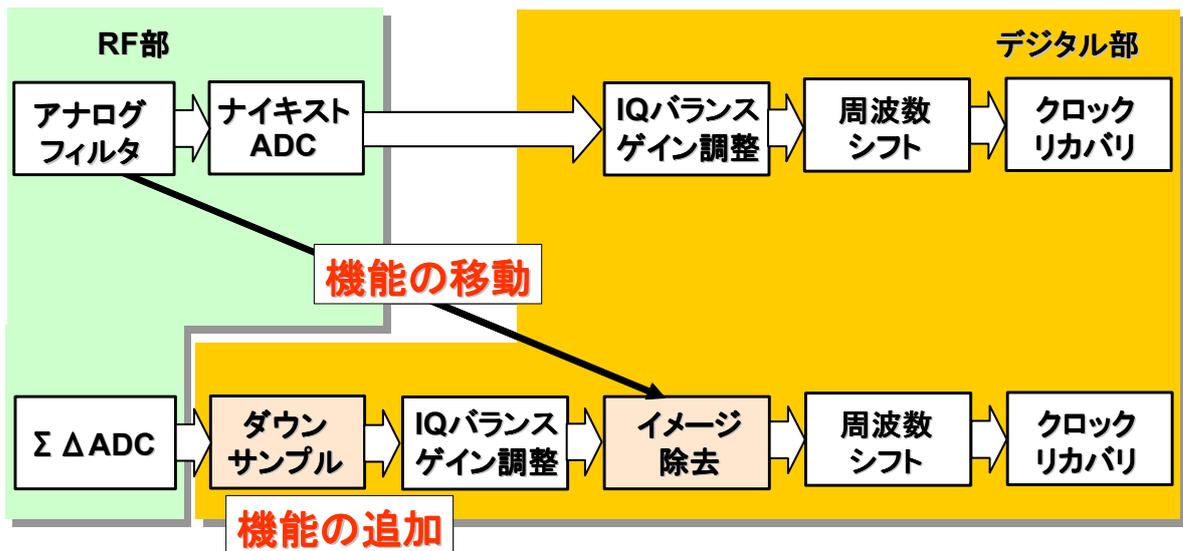


図 4-4-1

また低消費電力化には

- 1) RAMのインヒビット端子の利用
- 2) RAMの分割
- 3) クロックゲーティング
- 4) 動作クロック周波数の低減

などの手法を用いた。

4-4-2 フィールド試験

16年度に試作したLSIを用いてフィールド試験を行った。この時点でのLSIは受信感度特性など、性能を満足していない部分もある。この結果における改良は17年度試作のLSIに反映されている。

1. 実験条件

日時 : 2005年8月25日

場所 : 新宿(固定受信)、東海道線(移動受信)

送信所 : 東京タワー(700W)

受信機 : NiCT 16年度試作チップ + UHF帯ヘリカルアンテナ

2. 受信機構成

受信機システムは図4-4-2に示すように、コントロール及びデータ収集用ノートPCとLSI評価ボードで構成される。

PCと評価ボード間はUSBで接続され、評価ボード上でI2Cに変換しLSIをコントロールする。

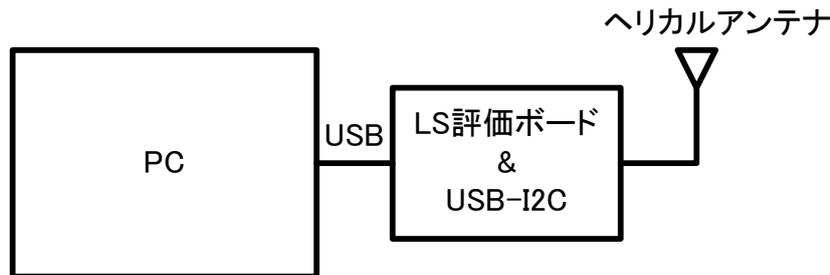


図4-4-2 受信機システム構成

3 実験結果

3-1. 固定受信

場所 : 新宿高島屋14階屋内レストラン。

窓側席。東京タワー見通し。約5km

表4-4-1 受信率

受信チャネル	20	21	22	23	24	25	26	27
受信率[%]	0	100	100	100	0	100	0.8	100

20ch,24chの受信率が0%なのは、この当時13セグ放送のため。アンテナはテーブル上にねかせていたが、26ch以外は受信できた。

受信状況のPC画面を図4-4-3に示す。

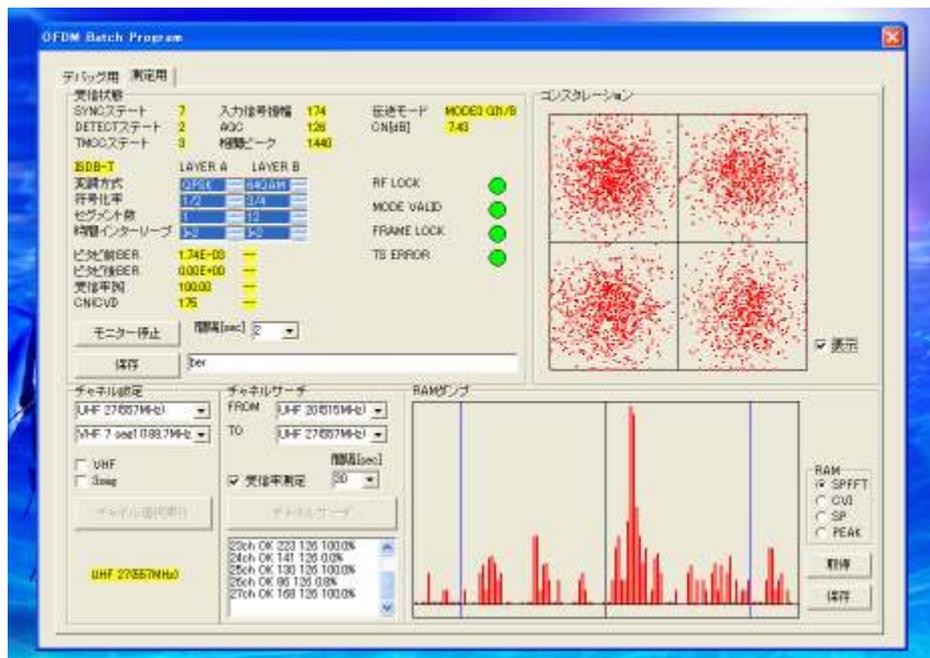


図 4-4-3 固定受信 PC 画面

3-2. 移動受信

場所：東海道線（東京～川崎）
グリーン車2階、東京タワー方面窓側シート
UHF 27ch

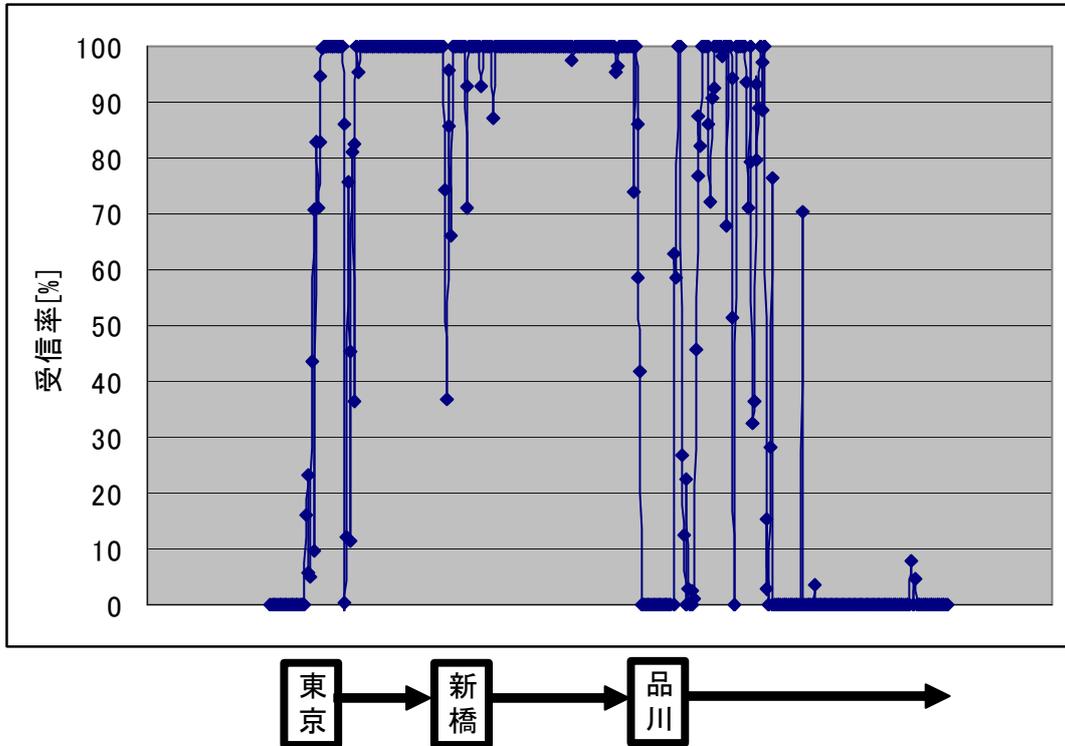


図 4-4-4 移動受信率

東京タワーに最も接近するのは新橋を少し過ぎたあたり。品川を過ぎるまではほぼ100%受信可能。品川を過ぎると同期できない状態が継続したため、蒲田付近で測定を終了した。

4-5 最終試作結果

4-5-1 Tuner 主要性能

試作した Tuner LSI の主要性能に関して評価を行った。その結果を下記一覧にまとめた。詳細は次章以降で説明をする。ただし最小入力リターンロス は LNA ブロックの評価結果、チャンネル設定時間はシンセブロックの評価結果より引用した。

表 4-5-1 主要性能評価結果一覧

電源電圧 : VDD=1.2, VDE=1.8V

No.	仕様項目	測定値
1	消費電流	33.1mW
2	最小受信感度	27ch : -89dBm
3	I1CP	7ch : 11.1dBm 27ch : 10.6dBm
4	隣接妨害波耐性	下隣接 : -25dB 上隣接 : -31dB
5	Gain 可変性能	7ch : 92.9dB (step : 0.5~2.5dB) 27ch : 83.4dB (step : 0.5~1.7dB)
6	最小入力リターンロス	7ch : 19dB 27ch : 20dB
7	Image Leak	7ch : -43.7dB 27ch : -50.2dB
8	チャンネル設定時間	390us

4-5-2 測定環境

試作した Tuner LSI を評価するために、バンドパスフィルタ及び水晶発振子を実装したモジュールを作成し、更にモジュールを実装する評価ボードを作成した。

4-5-2-1 Tuner LSI

試作した Tuner LSI のチップ写真を下図に示す。主なブロックの配置を記入した。周辺には I/O 回路が並び、その上に Bump が 2 列並んでいる。最も外側に並んでいる長方形の PAD は試験用の PAD である。

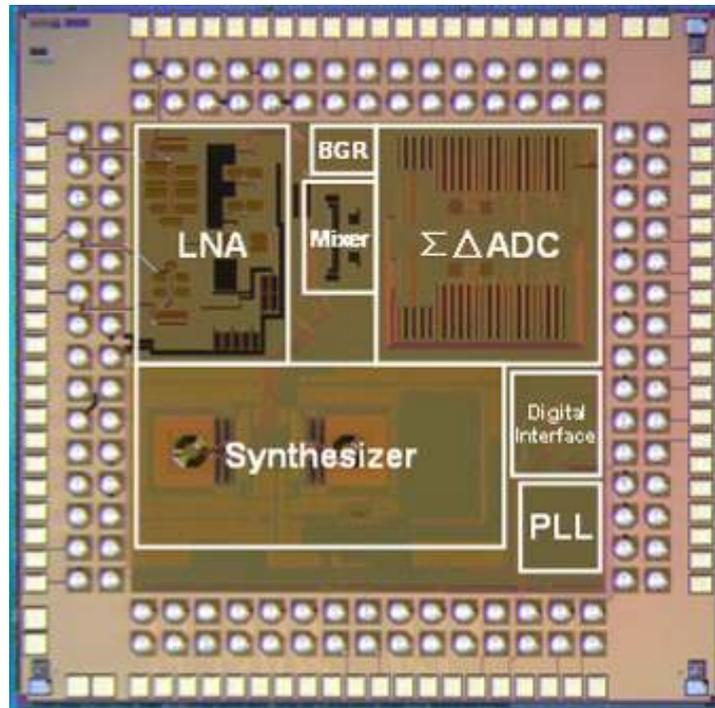
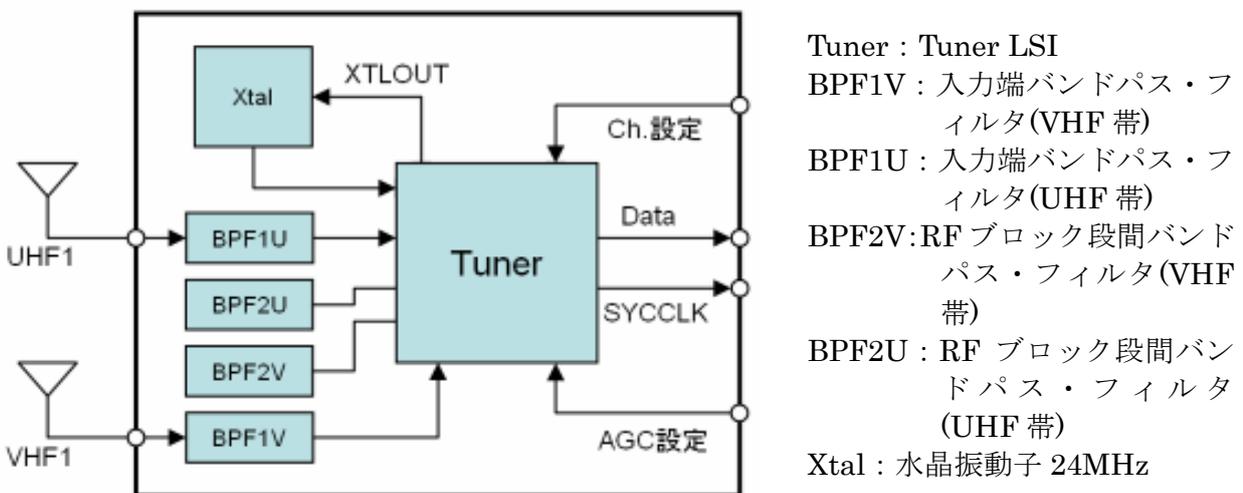


図 4-5-1 チップ写真

4-5-2-2 Tuner モジュール

Tuner 単体モジュールのブロック図を下に示す。Tuner LSI 以外にフィルタと水晶振動子を搭載する。モジュールは新光電気工業(株)製である。



- Tuner : Tuner LSI
- BPF1V : 入力端バンドパス・フィルタ(VHF 帯)
- BPF1U : 入力端バンドパス・フィルタ(UHF 帯)
- BPF2V:RFブロック段間バンドパス・フィルタ(VHF 帯)
- BPF2U : RF ブロック段間バンドパス・フィルタ(UHF 帯)
- Xtal : 水晶振動子 24MHz

図 4-5-2 モジュール構成図

4-5-2-3 評価系

Tuner LSI の評価系を下に示す。左から信号発生器(2 種)、電圧・電流発生器(2 台)、パターンジェネレータ、ロジックアナライザの順に並んでいる。評価ボードは CLIMB 製のチューナ評価ボードで、モジュールが実装されている。

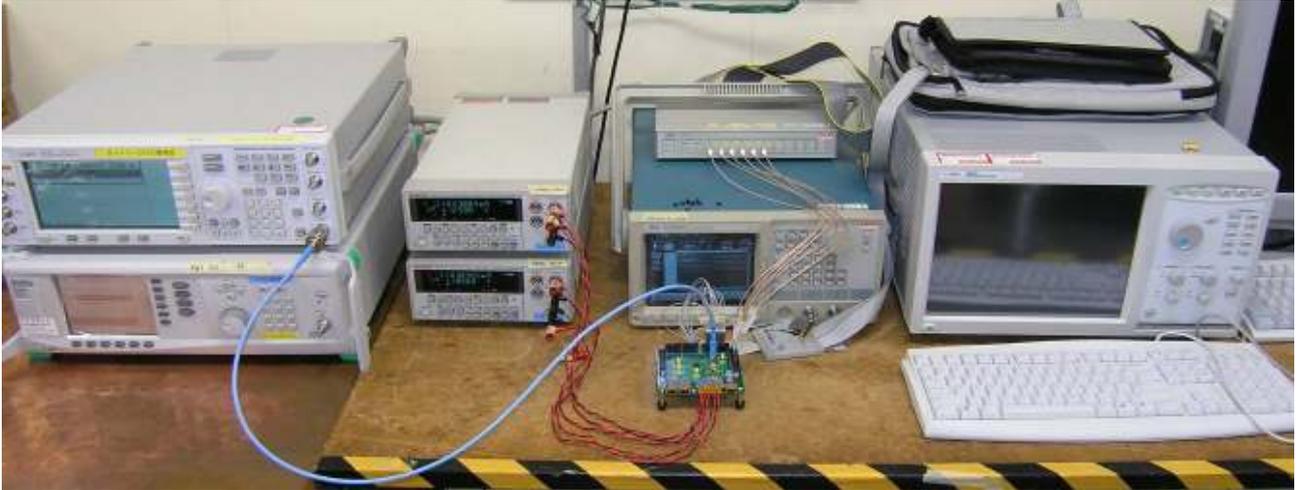


図 4-5-3 評価系の写真

各装置の型名と役割を下表にまとめた。信号発生器は 2 種類記載したが、ほとんどの評価項目で両方とも使用可能である。2 トーン試験だけは E4438C の機能を使用した。

表 4-5-2 測定器一覧

測定器	メーカー	型名	役割
信号発生器	Anritsu	MG3694A	RF 信号発生
信号発生器	Agilent	E4438C	RF 信号発生
電圧・電流発生器/モニタ	ADVANTEST	R6240A	電圧源
パターン発生器	Tektronix	DG2020A	3 線 Logic 信号発生
ロジックアナライザ	Agilent	16903A	Tuner デジタル出力取込

4-5-3 各特性評価結果

4-5-3-1 Gain 制御機能

Gain 制御と Tuner の Gain との関係を下図に示す。受信チャンネルは 7ch 7seg と 27ch である。

Gain 制御コードは、Low Gain モードの L00~L63 と High Gain モードの H00~H63 と 128 コードあり、本章では”H”=+64、”L”=+0 として、コードを 0~127 で示す。

実際に使用しているのはコード41~127であり、コードの0~40はGainの割当がなく、最小Gainのまま変化しない仕様になっている。

Gain制御コード48~127では、Gainステップは0.5dB~1.5dBであるが、コード41~47で、Gainステップの最大値が2.5dB(7ch 7seg)である。これはLNAの減衰機能で、強入力時に使用する目的のためである。

7ch 7segの方が10dB程度Gainが高く、LNAブロックの周波数特性が現われている。

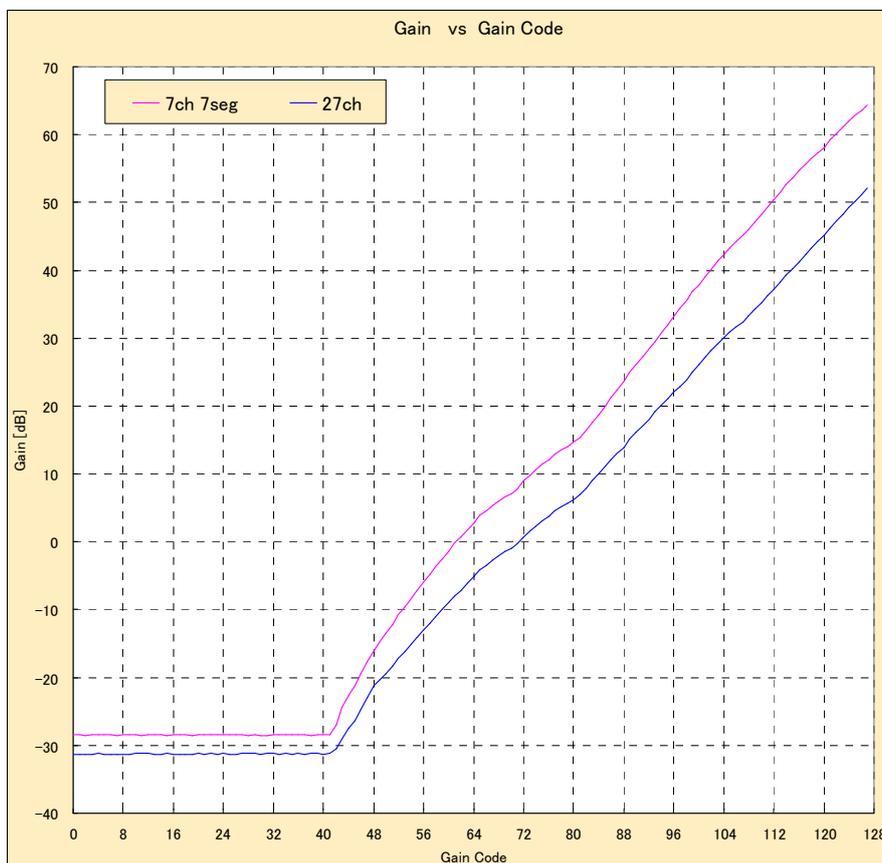


図4-5-4 Gain制御コードとGainの関係

表4-5-3 Gain可変性能

チャンネル	Gain 可変範囲 [dB]	Gain ステップ [dB]	
		Min.	Max.
UHF:27ch	80.5	0.5	1.7
VHF:7ch 7seg	90.8	0.5	2.5

4-5-3-2 Tunable BPF

Tunable BPF の周波数特性は、Tuner モジュールで直接観測できないため、LNA ブロック TEG 評価ボードを測定して動作を確認した。

LNA ブロック TEG は、Tuner LSI 内で使用されている LNA ブロックと同じであり、モジュール、実装部品、評価ボードに関しても、LNA 出力端子が追加された以外は同じであるため、LNA ブロック TEG 評価ボードの Tunable BPF の周波数特性は Tuner モジュールと同じと考えられる。

LNA ブロック評価ボードの S-Parameter (S21) を測定し、BPF 中心周波数と BPF コードの関係を示したのが次の図である。測定時の Gain 制御コードは最大 Gain 設定である。

BPF の通過帯域は幅を持つことから、VHF 帯の 1ch~12ch 及び UHF 帯の 13ch~62ch の全て受信可能である。

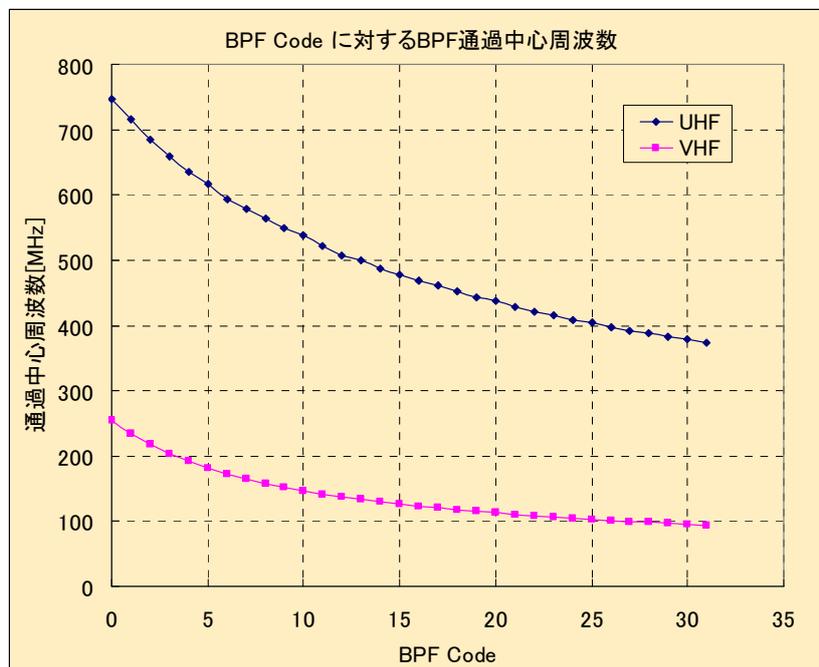


図 4-5-5 BPF 通過中心周波数 vs. BPF コード

4-5-3-3 最小受信感度

最小受信感度は、Tuner LSI と OFDM 復調 LSI を搭載したモジュールを使って、ビットエラーレート(BER)の測定を行った。伝送パラメータとして QPSK、畳み込み符号 1/2 を使用して、ビタビ復号後に BER=2.0E-4 になる ISDB-T 信号(13 セグメント) の最小入力パワーより求めた。

詳細に調査した結果、 $\Sigma \Delta$ ADC のデジタル動作により発生した電源ノイズが、モジュールを介して LNA の電源に伝わるために Tuner LSI 本来の性能より劣化していることが分かった。LNA ブロック TEG の NF の結果より、Tuner LSI の最小受信感度は、UHF:27ch で-95dBm となる見込みである。

表 4-5-4 最小受信感度

DUT: Tuner LSI+OFDM LSI モジュール

特性	条件	単位	測定値
最小受信感度	UHF:27ch	dBm	-89

4-5-3-4 最大入力レベル

BER 測定の代わりに、アナログ的な指標である I1CP(入力 P1dB)の評価を行った。結果を下記に示す。

I1CP は 10dBm 以上であり、実用に耐えうる性能である。

表 4-5-5 I1CP

特性	条件	単位	測定値
I1CP	VHF7ch7seg Min. Gain	dBm	11.1
	UHF27ch Min. Gain		10.6

4-5-3-5 隣接妨害波耐性

最上受信感度と同じ伝送パラメータで BER 測定を行って求めた結果を下の表に示す。

アナログテレビ放送波のスペクトラムには映像キャリアの 2 つピークと、音声キャリアの 1 つのピークが存在するが、それらの相互変調歪み及び複合 3 次歪み成分が IF 帯に現われるため、受信性能が劣化する。この結果から検討した結果、オートゲインコントロール (AGC) の制御に関して変更を加えることにより、性能改善することが分かった。

表 4-5-6 隣接妨害波耐性

DUT: Tuner LSI+OFDM LSI モジュール

特性	条件	単位	測定値	備考
隣接妨害波耐性(D/U)	アナログ 下隣接	dB	-25	D:ISDB-T, -60dBm UHF 27ch UD:NTSC カラーバー
	アナログ 上隣接	dB	-31	

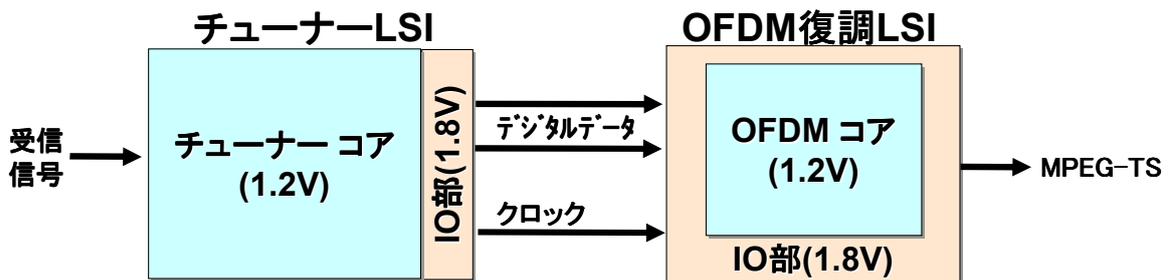
4-5-4 消費電力

最終試作でのチューナーLSIおよびOFDM復調LSIの消費電流実測値を表4-5-7に示す。

チューナー部での消費電力は33.0mW、デジタルベースバンド部の消費電力は16.7mW、全体で49.7mWとなり当初目標の50mWを達成した。

表4-5-7 最終試作での消費電力

		電圧 (V)	消費電力 (W)
チューナー LSI	コア	1.2	27.2
	IO部	1.8	5.8
	小計		33.0
OFDM 復調LSI	コア	1.2	15.6
	IO部	1.8	1.1
	小計		16.7
合計			49.7



最終試作では2つのLSI（チューナーLSIとOFDM復調LSI）に分けて試作・評価を行ったが、一つのLSIにすれば、2つのLSI間を繋いでいるIO部が不要となり、消費電力を更にあと数mW削減できる可能性もある。

4-6 総括

研究開発の常ではあるが、当初に計画したとおりに技術が進むわけではなく、日々迫るマイルストーンの締め切りに絞り出されるように少しずつ技術が積みあがってきた。当初立てた 50mW の消費電力は、ワンセグという言葉が流行り言葉になってきた今、チャレンジングではあったが、適切な研究ターゲットであったことが明らかとなってきた。

研究の初期には、放送開始時期も明確ではなかったものの、低電力化のための技術選択として CMOS による回路開発を検討し、このデバイスを使うための基礎技術、低電力化のためのアーキテクチャの検討を行い、研究方針を固めた。その後、コンポーネント設計、試作を経て、消費電力削減のための回路技術を蓄積し、OFDM 変調信号受信のための基本回路を確立した。最終段階に迫っては、基本回路を集積化して LSI を試作、実際にテスト放送電波を受信して機能の確認を行うことに成功した。この際に、実機に必須となるセンサーサイズのオートチューニング技術を新開発し、半導体集積回路の学会としては世界で最も権威の高い International Solid-State Circuits Conference(ISSCC)に昨年引き続いて論文が採択され、新聞でも報道されるなど、高い評価を得た。

具体的な研究成果として、上記の論文を含め、学会発表 3 件(内国際会議 2 件)、特許 11 件を提出しており、産業、技術の発展に寄与することができたものとする。研究最終日の翌日が、奇しくもワンセグ放送開始日となったのも、一つの必然かもしれない。

3 年半にわたるこの研究により、実現できたこれらの成果は、技術的側面においても産業的な側面においても、日本のエレクトロニクスを進展させる大きな力となりうるものとする。この研究開発を支えていただいた様々な立場の皆様へ感謝したい。また、研究の主旨と価値を深く理解し、多くのご指導をいただきました独立行政法人情報通信研究機構の関係各位に衷心より感謝の意を表す。

5 参考資料・参考文献

5-1 研究発表・講演等一覧

研究発表論文 3件

- (1) 機関：ISSCC 2005 (IEEE International Solid State Circuit Conference)
発表日：2005年2月9日
題名：SESSION 27.2 "A 1.2V 3.5mW $\Delta\Sigma$ Modulator with a Passive Current Summing Network and a Variable Gain Function"
Author：T.Nagai, et al.
査読有無：有
- (2) 機関：電子情報通信学会 集積回路研究会(ICD)
発表日：2005年5月26日
題名：「可変利得および受動素子による位相補償を用いた1.2V電源3.5mW動作 $\Delta\Sigma$ AD変換器」
Author：長井利明、他
査読有無：無
- (3) 機関：ISSCC 2006 (IEEE International Solid State Circuit Conference)
発表日：2006年2月7日
題名：SESSION 11.1 "An 18mW 90-to-770MHz Synthesizer with Agile Auto-Tuning for Digital TV Tuners"
Author：M.Marutani, et al.
査読有無：有