

平成18年度
研究開発成果報告書

情報通信装置の漏洩電磁波盗用防止技術
に関する研究開発

委託先： 日本電気(株)

平成19年4月

情報通信研究機構

平成18年度 研究開発成果報告書 (一般型)

「情報通信装置の漏洩電磁波盗用防止技術の研究開発」

目 次

1	研究開発課題の背景	2
2	研究開発の全体計画	
2-1	研究開発課題の概要	8
2-2	研究開発目標	8
2-2-1	最終目標	8
2-2-2	中間目標	8
2-3	研究開発の年度別計画	9
3	研究開発体制	10
3-1	研究開発実施体制	10
4	研究開発実施状況	
4-1	情報通信装置漏洩電磁波盗用防止技術に関する研究開発	11
4-1-1	検証試作と可能性検証	11
4-1-2	要素技術の研究開発	31
4-1-3	組み合わせ効果	34
4-1-4	まとめ	43
4-2	総括	44
5	参考資料・参考文献	
5-1	研究発表・講演等一覧	

1 研究開発課題の背景

1-1 情報通信装置からの漏洩電磁波による情報盗用脅威の現状

ネットワーク・サーバやネットワーク端末（パーソナルコンピュータ）などの情報通信装置は、個人的な情報（プライバシーに関するものなど）や組織情報など重要な情報を扱う。情報の改竄、破壊、漏洩は、組織あるいは個人にとって、大変危惧すべき問題である。通信ネットワークにおける安全性確保は、近代通信事業で必要不可欠なテーマであり、我が国においては、主に暗号化技術を中心に国を挙げて対策のための研究開発が為されてきた。高度化されてきた暗号化技術は、装置間での通信のための信号授受は正常に行われることを保証しつつ、通信を傍受する場合には正常な信号授受を行わせない技術である。

「漏洩電磁波盗用」は、装置本体から直接放射する、あるいは、装置に接続されたケーブルなどを伝って、装置外部へ漏洩した電磁波を受信し、その漏洩電磁波に含まれる情報を抽出する盗用行為である。「漏洩電磁波盗用」は、暗号化が困難な情報通信装置内部で扱われる「平文の情報」、あるいは「安易なプロトコルで表現された情報」を対象としているが、軍事関係で注目されてきた以外は、一般での認識度が低く漏洩電磁波盗用防止技術の開発は大きく立ち後れている。しかし、重要情報がモバイル機器を介して交信され、また住宅環境で多くの情報通信装置が使用される機会は、ますます増えると考えられており、情報通信装置からの漏洩電磁波に含まれる情報盗用の危険性は高まりつつある。我が国の情報化社会発展のためには、モバイル機器に適用可能であって、情報通信装置の今後の小型高性能化傾向にも貢献できる漏洩電磁波盗用防止技術の研究開発が必要となっている。

「漏洩電磁波盗用」は、「ネットワーク侵入」と同様に、「情報（通信）セキュリティ」（情報通信装置及び、それらが扱う情報を守ることの意）に対する脅威の一つに分類される。表 1-1 に、「情報（通信）セキュリティ」に対する想定脅威の分類をまとめた。

表 1-1 情報（通信）セキュリティに対する脅威の分類

想定脅威（事例）		対策
漏洩電磁波	情報が重畳した電磁波の漏洩 (画面, キー入力など)	部屋の電磁シールド, 通信線の光ケーブル化, TEMPEST 対応機器の採用
物理的侵入	部屋への侵入 情報機器ごと持ち出し	監視 (TV カメラ, 振動センサ, 赤外線, マイクロ波, ミリ波, 光ケーブル等) 入退場管理 (指紋, 網膜, 虹彩, RFID, 車両)
音声盗聴	肉声盗聴 (マイク, レーザ光線等) 電話盗聴, 盗聴器	防音, 雑音放送など建物対策 秘話秘匿装置など、電話設備への対策 電波監視による盗聴器の発見
ネットワーク侵入	クラッキング (破壊, 改竄) ウイルス (ワーム)	ファイヤーウォール, VPN, デジタル署名, 暗号化, コンピュータウイルス対策
破壊工作	EMP, 電磁エネルギー照射 (誤動作, 破壊) ウイルス	機器の保護, 強化 コンピュータウイルス対策

「漏洩電磁波盗用画面再生実験」の一例（画面盗用）を図 1-1 に示す。情報通信装置の表示画面（図 1-1. a）から放射された漏洩電磁波を離れた場所で受信し、これから抽出した信号を利用して、画面を再生した（図 1-1. b）。再生は、図 1-2. に示す手順で行った。画面情報 (RGB 信号) が重畳する周波数スペクトルを探し (図 1-2. a)、画面同期信号 (図 1-2. b) を確認、その後、検波後の RGB 信号 (図 1-2. c) を表示装置に入力し、適当な水平垂直同

期信号を与えるだけで比較的容易に盗用が可能である。



図 1-1. 漏洩電磁波盗用画面再生実験の一例

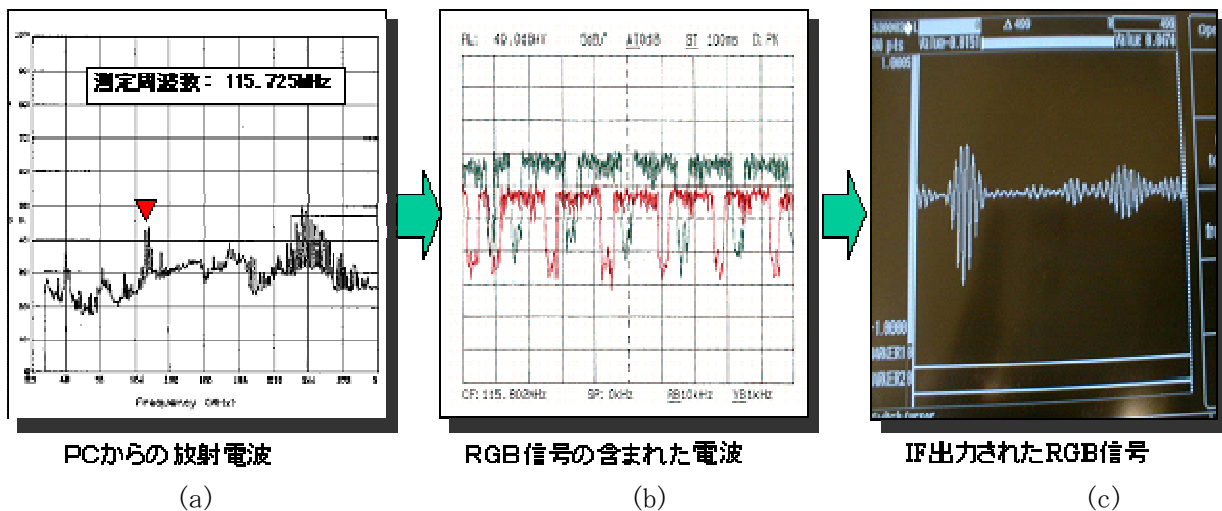


図 1-2. 画面再生の説明

1-2 漏洩電磁波に対する「脅威」の受信能力

表示画面のみならず、キー入力やプリンタ出力、FAX 出力も同様に漏洩電磁波盗用が可能と考えられる。

このように画面やキー入力などの情報が重畳した漏洩電磁波を傍受し、情報（画面やキー入力など）を復元、盗用する人及び機材を「脅威」と、ここでは定義する。「脅威」の程度は、資料 1～3 で記述される復元（盗用）側機材の能力に、技術的な可能性を考慮し、漏洩電磁波の検出モデル（図 1-3）を想定した。

資料 1: 瀬戸 信二「情報処理機器からの電磁波漏洩に対する情報保全対策」, EMC, No. 27, pp. 7-17, 1990. 7. 5

資料 2: 瀬戸 信二「TEMPEST 対策について」, EMC, No. 97, pp. 97-114, 1996. 5. 5

資料 3: 岡田 正「読み取られるパソコンの電磁波輻射」, HAM Journal, No. 73, pp. 82-86, 1991

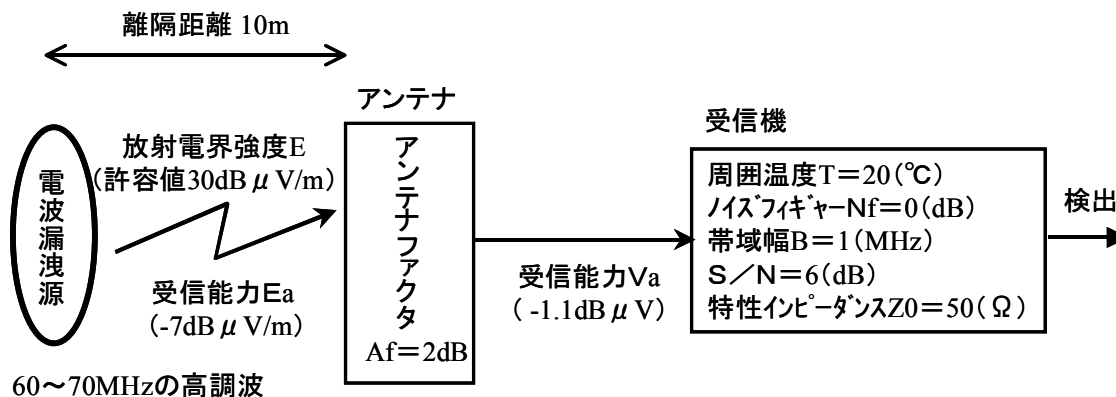


図 1-3 漏洩電波の検出モデル

次に、想定条件と受信可能な電界強度について検討する。

想定条件は以下の通りである。

- ・ 解像度 XGA (1024 × 768) 程度の表示画面
 - 各色 (R, G, B) の帯域幅：60MHz～70MHz (ドットクロックとしては、180～210MHz 程度)
 - ・ 脅威の離隔距離：10m (隣室や隣家)
 - ・ 発生源 (情報機器) の放射電磁波：VCCI*許容値レベル
- VCCI クラス B の許容値 (距離 10m) は、30 dB μV/m (30～230MHz), 37dB μV/m (230MHz～1GHz)。受信機 RBW (共振帯域幅)：120kHz
- *VCCI: 情報処理装置等電波障害自主規制協議会 (Voluntary Control Council Interference by Information Technology Equipment)
- ・ 脅威の受信設備：高度な技術レベル
 - 周囲温度：20°C
 - ノイズフィギュア Nf：0 dB
 - S/N：6 dB
 - 特性インピーダンス：50 Ω
 - アンテナ：多エレメント八木宇田アンテナ (指向性 20dB)
 - アンテナファクタ Af：2 dB
 - ・ 画面の復元認識に必要な帯域幅：1MHz

上記の想定条件を基に漏洩電磁波に対する「脅威」の受信能力を算出する。

受信機の内部雑音 Pnn が受信能力を決定する要素である。前項条件から、受信機の RBW は、3MHz として、次式(1-1)から内部雑音を算出する。なお、ノイズフィギュア Nf は、最高レベルの増幅器を考え 1 (=0dB) とする。周囲温度は、27°C。受信機の S/N は、2 と仮定する。

$$P_{nn} = k \cdot T \cdot B \cdot N_f \quad \dots\dots\dots (1-1)$$

- ただし、
- k：ボルツマン定数 1.34 × 10⁻²³ (T/K)
 - T：周囲温度 293 (K) {= 273 + 20 (°C)}
 - B：帯域幅 1MHz
 - Nf：ノイズフィギュア 1

式(1-1)に、各値を代入して、計算すると、次式となる。

$$P_{nn} = 3.93 \times 10^{-15} \quad (\text{W}) \quad \dots\dots\dots (1-2)$$

受信系の特性インピーダンスを 50Ω として、電圧に換算する。

$$V_{nn} = 4.43 \times 10^{-7} \quad (\text{V}) = 0.443 \quad (\mu\text{V}) \quad \dots\dots\dots (1-3)$$

資料 3 によれば、画像処理により、ノイズ混じりの画像を整形できるので、 S/N ($2=6\text{dB}$) と考える。受信能力 V_a は次式となる。

$$V_a = 0.886 \quad (\mu\text{V}) \quad \dots\dots\dots (1-4)$$

デシベルに変換する。

$$V_a = -1.1 \quad (\text{dB}\mu\text{V}) \quad \dots\dots\dots (1-5)$$

100~200MHz 用の多エレメント八木宇田アンテナは、絶対利得（無指向性アンテナに対する利得）は 14dB（電圧で 4 倍）程度ある。さらに、その多エレメント八木宇田アンテナを複数個スタックすることで、およそ 20dB（電圧で 10 倍）程度となる。

資料 4「アンテナ・電波伝搬」（虫明 康人，コロナ社，p. 33，1961）の式(3・41)を引用すれば、受信可能電界強度 E_a は次式で表される。

$$(1-6)$$

ただし、 $|E_a| \approx \frac{|V_a|}{2.90 \times 10^{-2} \lambda \sqrt{R G_a}}$

G_a : アンテナの絶対利得
 R : アンテナの入力インピーダンス
 V_a : 受信能力
 λ : 波長

式(1-6)に、 V_a に $0.886 \mu\text{V}$ （式(1-4)より）、 R に 50Ω 、 G_a に 10 倍、 λ に 3m (@100MHz) を代入する。

$$|E_a| \approx \frac{0.886}{2.90 \times 10^{-2} \times 3 \times \sqrt{50 \times 10}} = 0.445 \quad (\mu\text{V/m}) = -7.0(\text{dB}\mu\text{V/m}) \quad (1-7)$$

以上から、脅威の受信能力は、電界強度で - 7.0 dB $\mu\text{V/m}$ である。

「漏洩電磁波盗用」の「脅威」に対する対策は、情報通信装置単体からの漏洩電磁波強度を抑制するしかない。したがって、図 1-3 の電波漏洩源の放射電界強度 E を、検出不可能な程度（受信能力 E_a 以下）としなければならない。すなわち、電波漏洩源（情報通信装置）の放射電界強度を許容値(クラス B)より、約 40dB 下げる必要がある。

1-3 情報通信装置からの電磁波漏洩の現状

情報通信装置からの漏洩電磁波を、電波暗室（図 1-4）で測定した。対象である情報通信装置、この場合ネットワーク端末としてノートパソコン、を木製テーブルに置き、3 m 離隔したアンテナで受信する電界強度値で評価する。結果を図 1-5 に示す。なお、本測定の目的は、現状のノート PC の実力を把握するものであり、EMI (放射妨害波：Electro-Magnetic Interference) 規格確認のための測定でないので、測定は当社中央研究所にある 6 面電波暗室で 3m 法にて測定した。

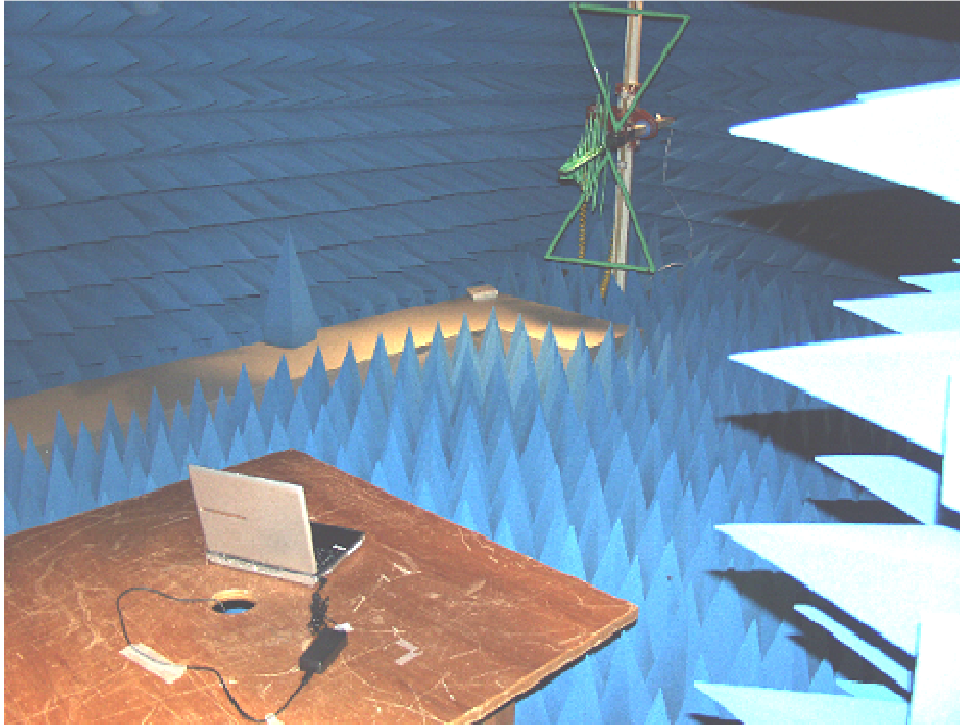


図 1-4 測定風景（電波暗室）

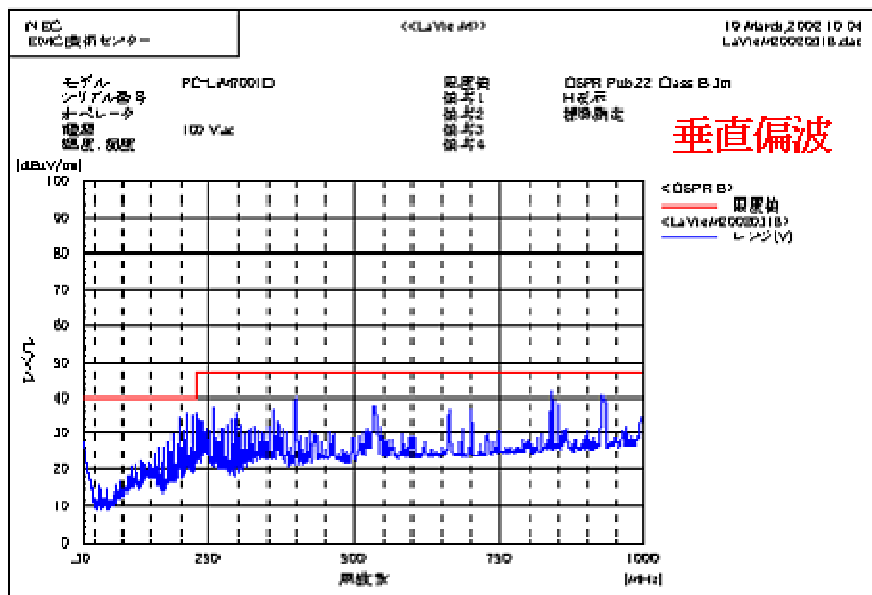
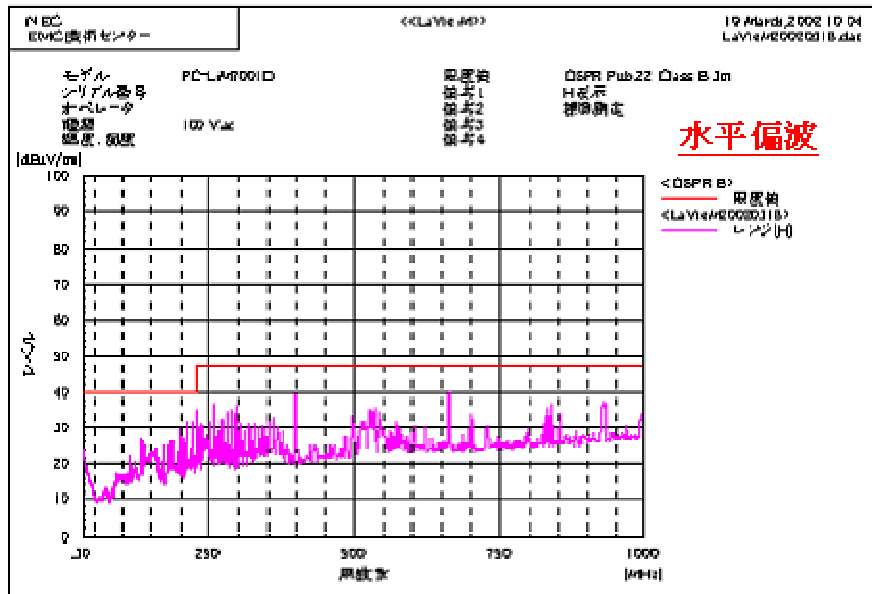


図 1-5 ノートパソコンの漏洩電磁波測定結果

測定結果から、現状のノートパソコンからは VCCI のクラス B 規制値レベルに近い値のスペクトラムもみられる。どのスペクトラムに情報が含まれるか不確なため、全てのスペクトラムに情報が重畳するものと考え、現状のノートパソコンは VCCI のクラス B 規制値 (47dB μ V/m, @3m) 程度で情報を放射していると見なす。また、一般の情報通信装置は、VCCI 規制値を満たす程度の漏洩電磁波防止対策が為されるが、それ以上の対策は通常行わない。したがって、重要な情報を「漏洩電磁波盗用」の「脅威」から防護するためには、更なる「漏洩電磁波盗用防止技術」による対策が不可欠である。

2 研究開発の全体計画

2-1 研究開発課題の概要

情報通信装置本体からの直接放射、あるいは接続されたケーブルなどを伝わって外部へ漏洩した電磁波を受信し、その漏洩電磁波に含まれる情報を抽出する「漏洩電磁波盗用」は危惧すべき問題である。重要情報がモバイル機器を介して交信され、また住宅環境で多くの情報通信装置が使用される機会は増加の傾向にあり、モバイル機器に適用可能な漏洩電磁波盗用防止技術の研究開発が必要となっている。

上記課題解決に関し、回路技術の観点から以下の斬新な電源分配回路技術を用いた情報処理装置を試作し、装置本体からの電磁放射を顕著に抑制することを目標とする（電磁放射電界強度規格値に対し、中間目標 20dB 抑制、最終目標 40dB 抑制）。

【新たな電源分配回路技術】

従来のデカップリングコンデンサに置き代わる高性能の低インピーダンス線路素子 (LILC: Low Impedance Line structure Component) 技術を用いて、回路設計基準を構築し、実機での試作評価を行う。LILC の効果として、電源分配回路への電磁波漏洩を阻止が可能で、装置からの情報盗用が防止される。既開発済みのボード搭載形 LILC に加え、①内蔵形、②オンチップ形を開発検討する。

2-2 研究開発目標

2-2-1 最終目標（平成19年3月末）

最終目標として、内蔵形（ボードまたはパッケージ）LILC および（半導体）オンチップ形 LILC TEG の試作評価を行い、これらの試作過程で得られる各種パラメータを抽出する。以上のパラメータを用いて、情報通信機器（サーバ及びノート PC）に適用した場合を想定した放射電磁界解析を実施し、これらの想定情報通信装置からの放射電界強度が、VCCI のクラス B 規制値レベルに対して 40dB 以下であることをシミュレーションによって確認する。

2-2-2 中間目標（平成17年1月末）

中期目標として、TEG 試作によって得られるパラメータを使用して新しい電源分配回路技術を適用した場合を想定した情報通信機器（サーバ及びノート PC）についてシミュレーションして VCCI クラス B に対して 20dB 以下になることを確認するとともに、これらの装置を試作して、試作装置からの放射電界強度が、VCCI のクラス B に対して概ね 20dB 以下であることを検証する。

2-3 研究開発の年度別計画

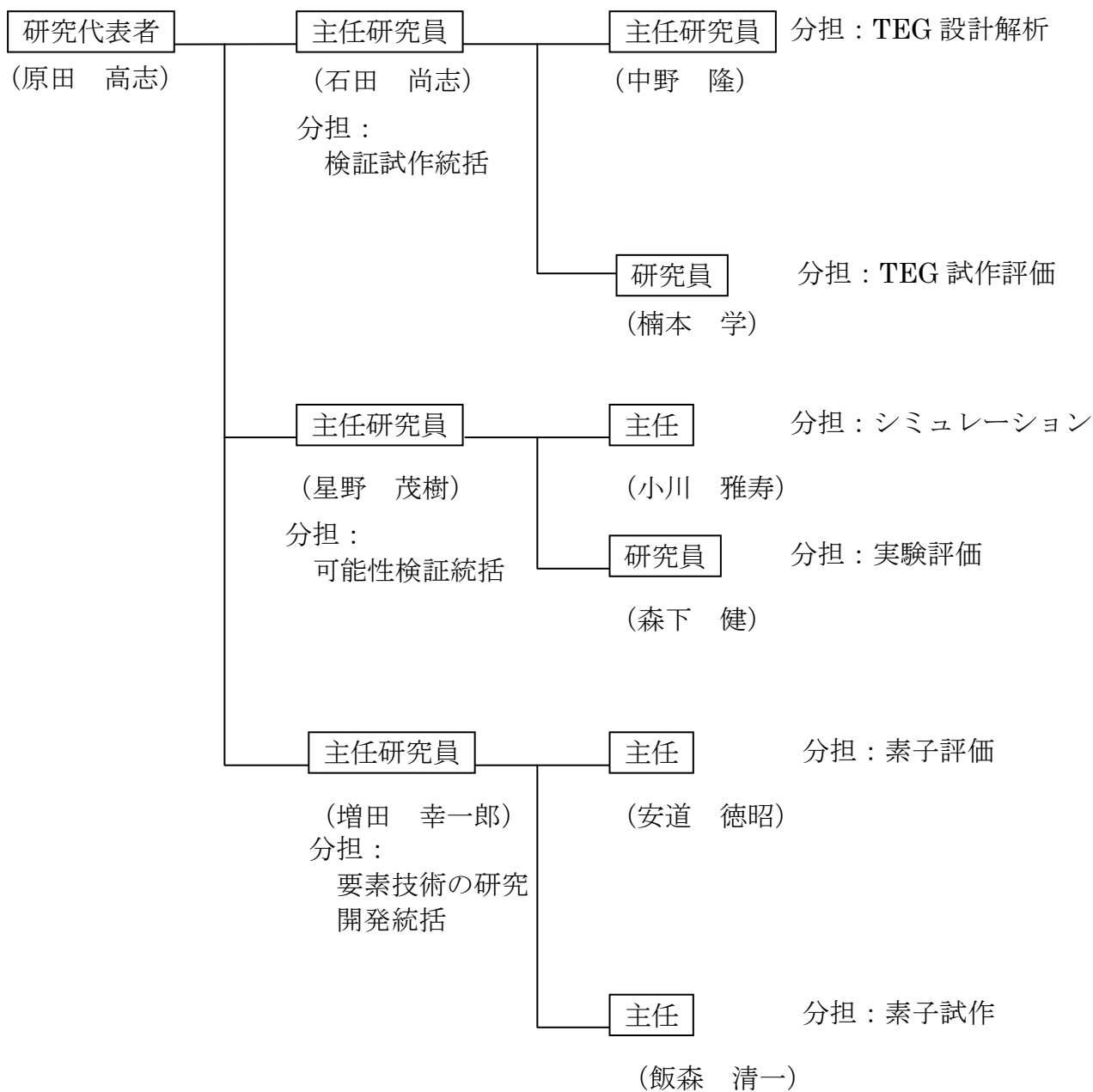
金額は非公表

研究開発項目	15年度	16年度	17年度	18年度	計	備考
<p>情報通信装置の漏洩電磁波盗用防止技術に関する研究開発</p> <p>1) 検証試作と可能性検証 (情報通信機器試作評価またはTEGの試作評価及び放射電磁界解析による検証)</p> <p>2) 要素技術の研究開発 (新しい電源分配回路技術に関する研究開発)</p> <p>ア. 内蔵形 LILC 研究開発</p> <p>イ. オンチップ型 LILC 研究開発</p>	<p>装置一次試作</p> <p>TEG 設計</p>	<p>装置二次試作 (20dB 抑制検証)</p> <p>TEG 試作</p> <p>TEG 設計検討</p>	<p>TEG 試作評価</p> <p>TEG 試作</p> <p>TEG 試作</p>	<p>可能性検証 (40dB 抑制)</p> <p>TEG 改良</p>		
<p>間接経費 (H15=23.9%) (H16=29.1%) (H17=30.0%)</p>						
<p>合計</p>						

- 注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%を上限として計上(消費税を含む)。
 2 備考欄に再委託先機関名を記載
 3 年度の欄は研究開発期間の当初年度から記載。

3 研究開発体制

3-1 研究開発実施体制



4 研究開発実施状況

4-1 情報通信装置の漏洩電磁波盗用防止技術に関する研究開発

新しい電源分配回路技術を適用し、情報通信装置からの漏洩電磁波をVCCI規制値から40dB低減できることを検証した。

4-1-1 検証試作と可能性検証

情報通信装置を試作し、放射電磁界の評価を実施した。また、テスト基板を試作し、評価するのと並行して、テスト基板の設計情報を使用してシミュレーションによる解析を行った。得られたデータを基に、各要素技術の対策効果を算出した。

新しい電源分配配線技術として、低インピーダンス線路素子(LILC)による電源デカップリングの効果を評価し、効果的な電源デカップリングが実現できるプリント配線基板の構造を検討した。また、筐体に対する漏洩電磁波低減対策技術を検討した。

図4-1に漏洩電磁波を低減する技術のイメージを示す。漏洩電磁波を低減するためには、発生源の近くで小さくするのが効果的である。発生源から近さの順に、「電源デカップリング」、「基板設計」、「筐体」と分類した。

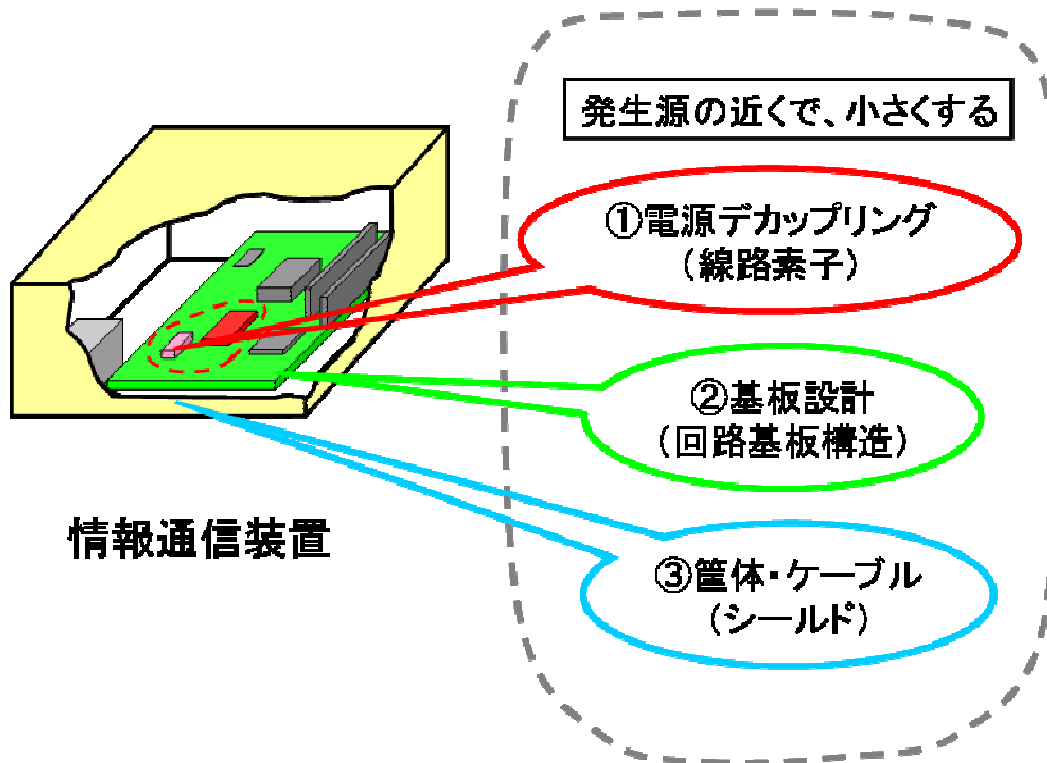


図4-1 漏洩電磁波を低減する技術

4-1-1-1 電源デカップリング

LSIなどの動作にともなって発生する高周波電力が、プリント配線基板の電源配線を伝搬し、基板端部や接続されるケーブル、筐体をアンテナとして放射する電磁波が、漏洩電磁波の一因である。図4-2にLSIが実装されたプリント配線基板の斜視図を示す。図4-3に電源層ーグラウンド層の励振による放射を説明する図4-2の断面図を示す。

LSIが動作し、内部の回路に電流が流れると、それと等しい電流が電源配線から供給される。この高周波電流は、電源プレーン、グラウンドプレーンを伝搬しプリント配線基板に広がる。プリント配線基板の端部で伝搬経路が開放となり電磁波となって放射される。また、プリント配線基板の寸法、形状で決まる固有周波数では共振が生じ、強く放射してしまう。

図4-4に線路型素子を実装したプリント配線基板の斜視図を示す。図4-5は図4-4の断面図である。対象のLSIの近くに線路型素子を配置することで、LSIで発生する高周波電流の大部分を線路型素子が吸収あるいは反射させ、プリント配線基板の電源配線には僅かな高周波電力のみが伝搬する。その結果、プリント基板端部から放射する漏洩電磁波は線路型素子の抑制効果に応じて低減される。

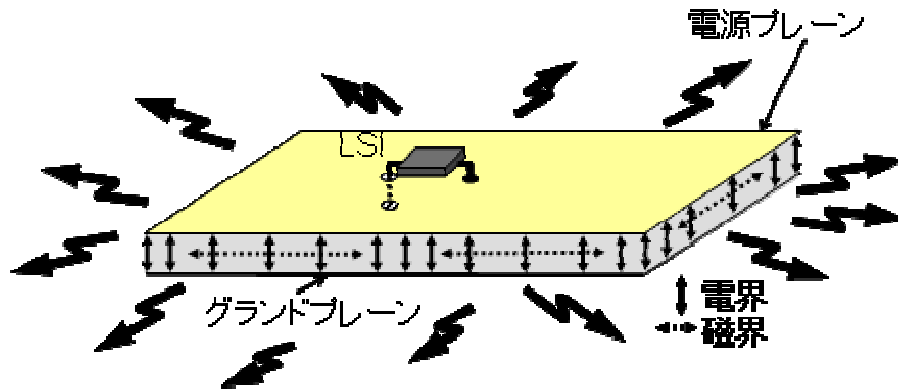


図4-2 LSIが実装されたプリント配線基板の斜視図

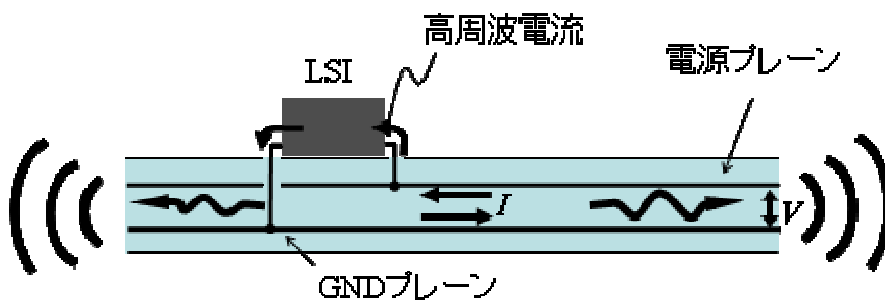


図4-3 電源層ーグラウンド層の励振による放射

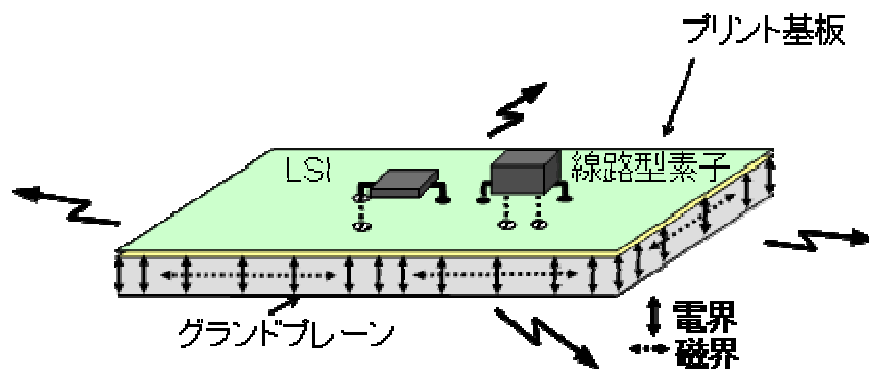


図 4-4 線路型素子実装したプリント配線基板

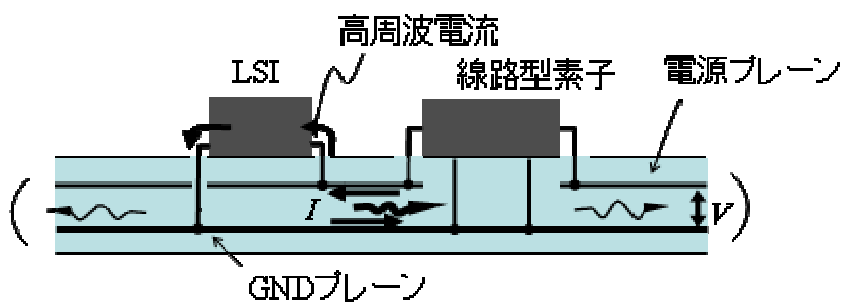
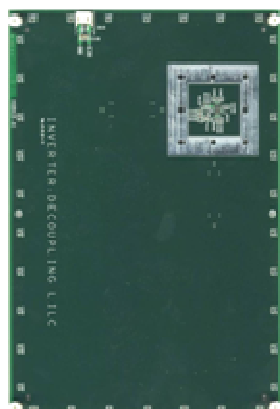


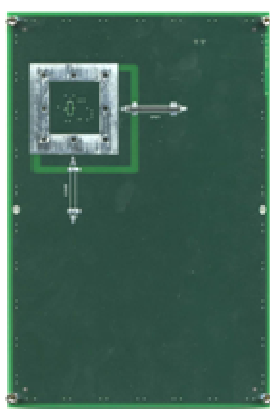
図 4-5 線路型素子を実装し電源層ーグラウンド層の励振を抑制

電源供給系評価 TEG (テスト基板) を試作し、漏洩電磁波を比較し効果を検証した。図 4-6 に試作 TEG の外観を示す。図 4-7 に漏洩電磁波測定の状態 (写真) を示す。図 4-8 に測定結果の一例を示す。図 4-9 に、弊社開発の解析ツールにて電源供給系評価 TEG をシミュレーション解析した結果を示す。

電源供給系評価 TEG は高周波電力を発生させる LSI を実装する 4 層 (SVGS) のテスト基板である。従来形 2 端子コンデンサ (デカップリングコンデンサ) を実装した基板と、LILC を実装した基板について、漏洩電磁波を実測し比較したのが図 4-8 である。10dB 以上の効果が確認された。



(表面)



(裏面、LILC 実装)



図 4-7 漏洩電磁波測定の状態

図 4-6 電源供給系評価 TEG の外観

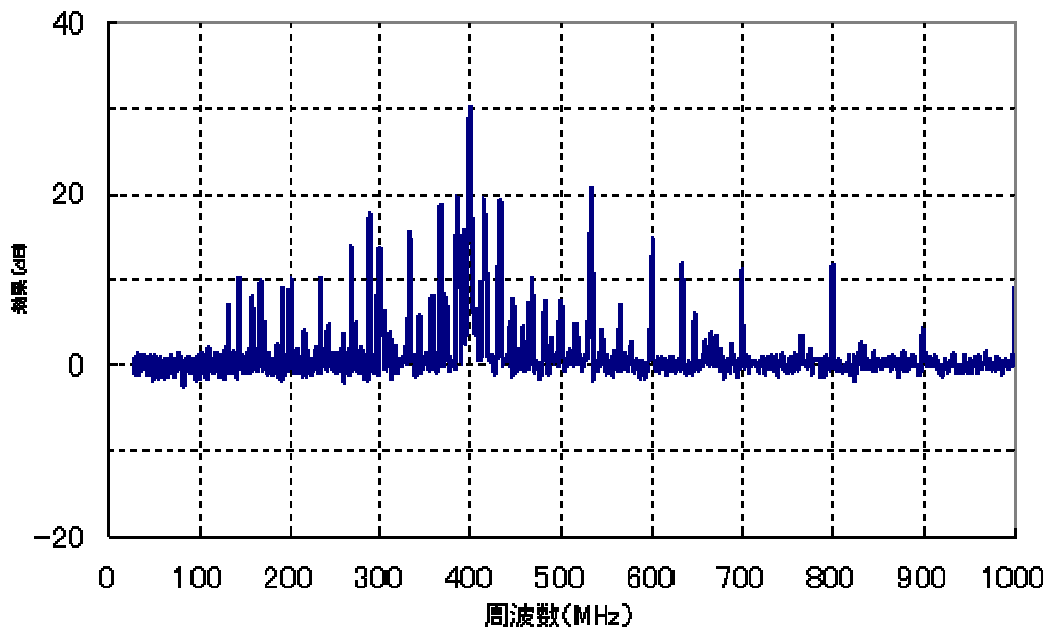


図 4-8 電源供給系評価 TEG の漏洩電磁波測定結果 (LILC の効果)

弊社の解析ツールでシミュレーションでも、500MHz 以下で約 10dB の効果が確認された。

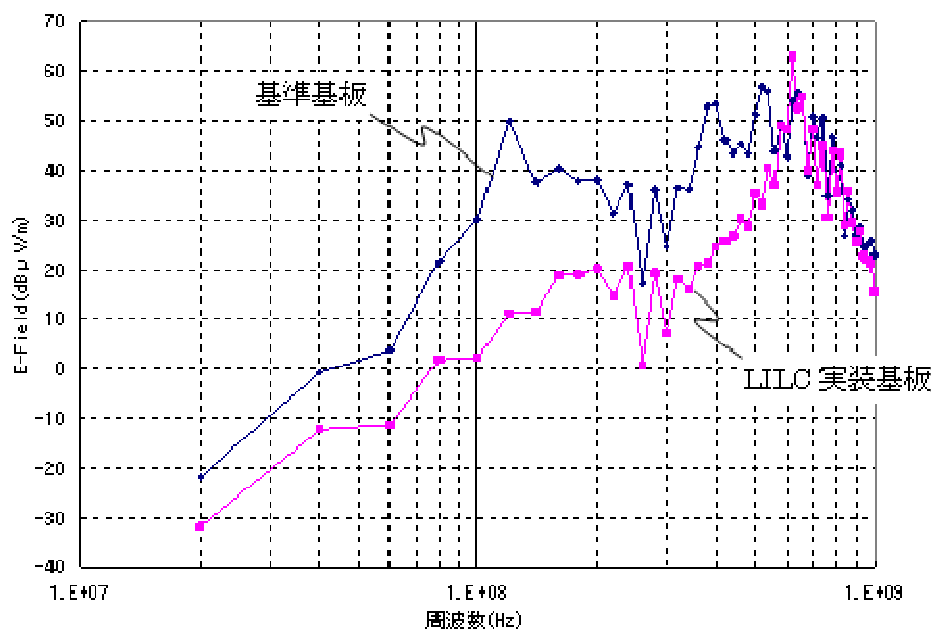


図 4-9 電源供給系評価 TEG の漏洩電磁波解析結果 (LILC の効果)

4-1-1-2 基板設計

漏洩電磁波を低減させるためには、プリント配線基板を適切に設計する必要がある。プリント配線基板端部から放射を低減するため、「対称構造」と「シールド構造」とする。また、4-1-1-1 で述べたように電源配線が励振され、共振すると漏洩電磁波が大きくなる。共振を防止するために、電源励振を加味して、部品を配置する必要がある。

図4-10にプリント配線基板の斜視図を示す。高周波電力の発生源であるLSIが実装され、基板の周辺部にシールド用のビアを配置する。

4-1-1-2-1 部品最適配置

実装部品は、弊社開発の設計支援ツール DEMITASNX を用いてチェックし、共振が発生しない位置に配置する。

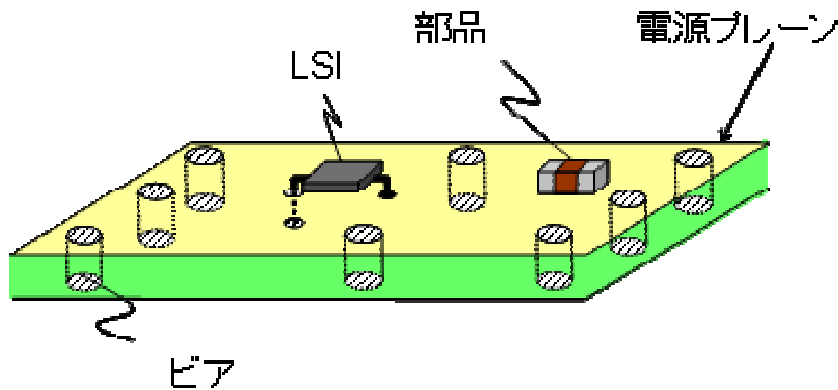


図 4-10 プリント配線基板の斜視図

4-1-1-2-2 対称構造

図 4-11 に対称構造を説明するための図 4-10 の断面図を示す。図 4-3 では電源プレーンとグラウンド(GND)プレーンが上下に一对であり、基板端部での電界は一方向であった。図 4-11 では GND プレーンが電源プレーンを挟むように配置される。2つ GND プレーンが電源プレーンに対し対称であれば、LSI で発生する高周波電流は均等に 2 分される。電源プレーンから対称な位置に GND プレーンを配置することで、基板端部には方向が逆で同じ大きさの電圧が出現するので打ち消し合い、合成される電界は零となる。

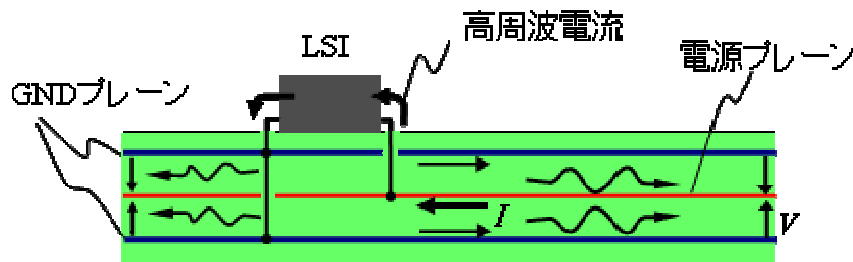


図 4-11 対称構造の説明図

4-1-1-2-3 シールド構造

図 4-13 にシールド構造を説明する断面図を示す。理想的な対称構造であれば、基板端部からの放射は皆無であるが、製造上のバラツキや、回路配置上の制限により完全な対称構造はとできない。そこで、対象回路を囲うようにビアを配置し、シールドする。図 4-10 に示すようにビアで囲う。可能であれば上下に GND プレーンを配置して、GND プレーンをビアで接続し、籠を構成する。ビアの間隔は対象の上限周波数の波長を考慮して決める。

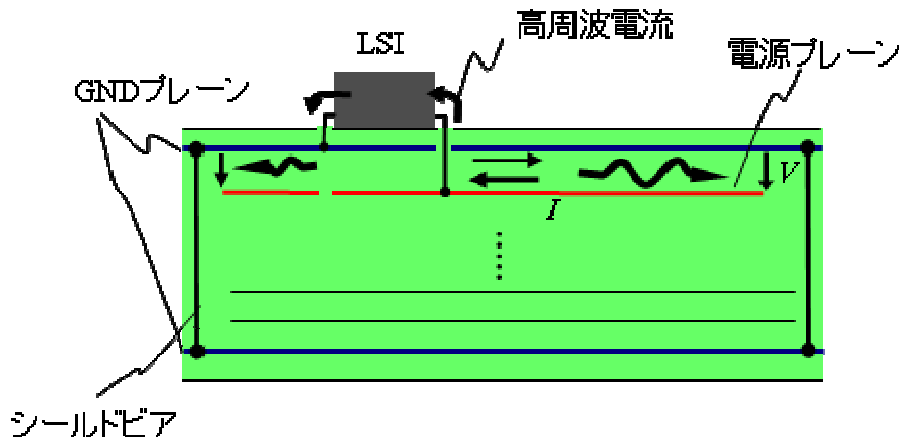


図 4-13 シールド構造の説明図

4-1-1-2-4 電源供給系評価 TEG の評価

種々のテスト基板を試作し、電源分配配線が原因である漏洩電磁波を測定評価、解析を実施した。本成果報告書では「電源供給系評価 TEG」「大規模 TEG」について結果を記載する。電源供給系評価 TEG は、電源分配配線の基本設計における効果を確認するためのテスト基板である。

4-1-1-2-4-1 電源供給系評価 TEG の仕様

電源供給系評価 TEG の仕様を表 4-1 に示す。4 層板を基準として、5 層板に「部品の最適配置」「対称構造」「シールド構造」等の対策を実施した。図 4-14 に電源供給系評価 TEG の斜視図を示す。5 層板は電源層の上下を GND が挟む構造である。なお、外周部のコンデンサは今回の測定では未実装とした。

表 4-1 電源供給系評価 TEG の仕様

電源供給系評価 TEG (DC) 4 層板				
層	種類	Material	Thickness (mm)	仕上がり (mm)
		Resist	0.02	0.03
1	Signal		0.042	0.042
		P.P.	0.2	0.21
2	GND		0.032	0.032
		Core	1	0.93
3	VCC		0.032	0.032
		P.P.	0.2	0.21
4	Signal		0.042	0.042
		Resist	0.02	0.03
Total :				1.558

電源供給系評価 TEG (DC) 5 層板				
層	種類	Material	Thickness (mm)	仕上がり (mm)
		Resist	0.02	0.03
1	Signal		0.042	0.042
		P.P.	0.2	0.2
2	GND		0.032	0.032
		Core	0.5	0.5
3	VCC		0.032	0.032
		P.P.	0.5	0.47
4	GND		0.032	0.032
		Core	0.1	0.21
Dummy	Dummy		0	
		P.P.	0.1	
5	Signal		0.042	0.042
		Resist		0.03
Total :				1.630

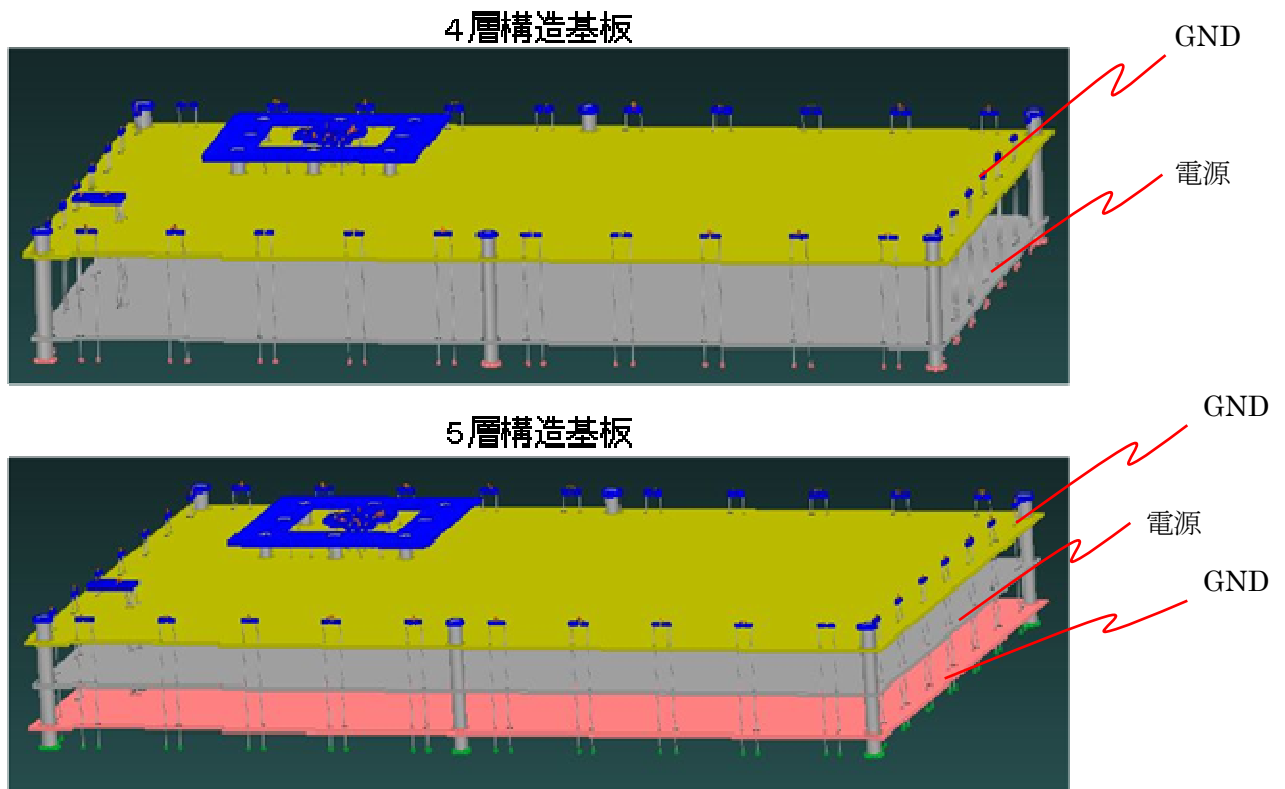


図 4-14 電源供給系評価 TEG の斜視図

表 4-2 に電源供給系評価 TEG の評価結果を示す。対策効果は後述の各評価、解析結果から定めた。

表 4-2 電源供給系評価 TEG の評価結果

	対策効果 (dB)
実験結果 (漏洩電磁)	2.0
自社ツール	4.0
Speed 2000	2.0
ApsimRADIA	2.5
MW-STUDIO	3.0

4-1-1-2-4-2 電源供給系評価 TEG の測定評価

図 4-15 に電源供給系評価 TEG の測定状態（写真）を示す。弊社所有の六面電波暗室にて放射電界強度を測定した。木製机の上（床面から高さ 0.8m）に縦または横に置き、3m 離して設置したアンテナにて電界強度を測定した。

図 4-16 に 5 層基板と 4 層基板の放射電磁界強度測定結果を示す。LSI としてインバータ IC を搭載し、電源層とグラウンド層をベタで構成し、IC 近傍にデカップリングコンデンサとして 2 端子型チップセラミックコンデンサを実装している。5 層基板は電源層とグラウンド層を対象構造とし、各隅と辺の中央にシールドビアを配置したシールド構造としている。700MHz を超える周波数では漏洩電磁波が大きい 4 層板でも放射が観測されなかった。図 4-17 に 5 層板と 4 層板の放射電界強度の差を示す。図 4-16 の結果から 600MHz 以下の周波数で吟味すると、基板構成を変更することで約 20 dB の漏洩電磁波低減が期待できることが判った。

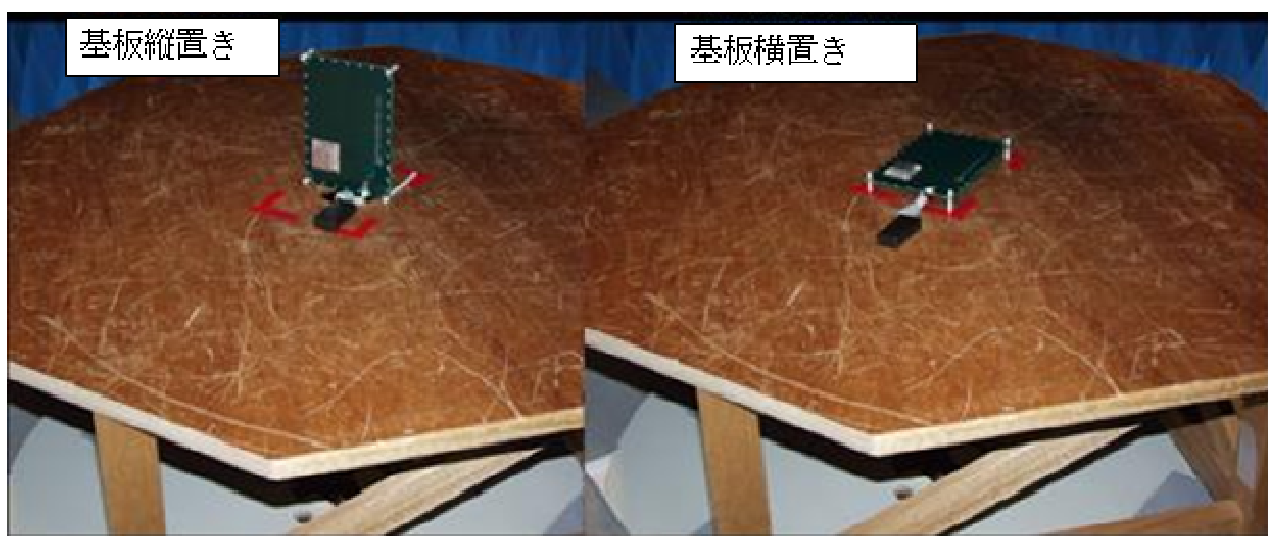


図 4-15 測定状態（写真） 電源供給系評価 TEG

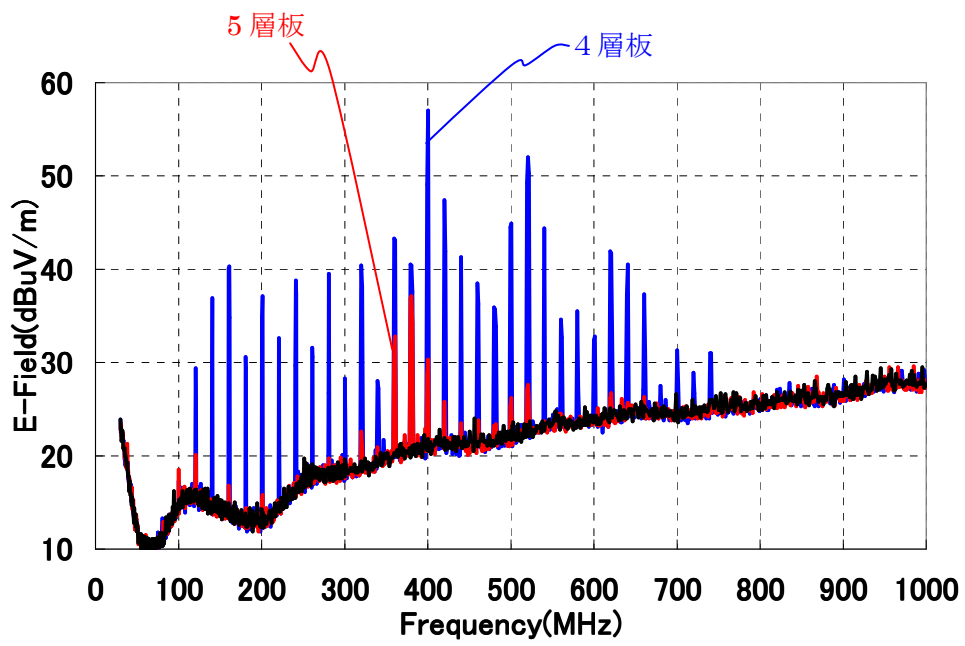


図 4-16 電源供給系評価 TEG の放射電界強度測定結果

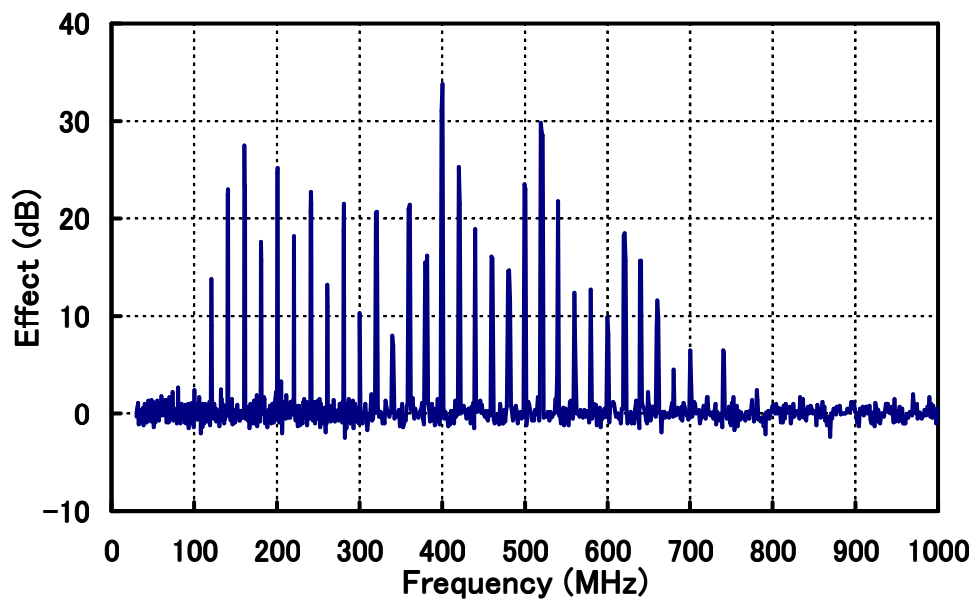


図 4-17 評価結果 電源供給系評価 TEG
(5層板) - (4層板) の差分

4-1-1-2-4-3 電源供給系評価 TEG のシミュレーション解析

電源供給系評価 TEG の設計データをもとに、各種解析シミュレータを使って、放射電磁界を解析し、テスト基板の対策効果（基準基板と対比）を評価した。測定評価をまず弊社所有の六面電波暗室で実施し、最終的に VCCI に準拠した評価サイト（五面電波暗室）で実施した。なお、測定距離は 3 m で統一した。それゆえ、シミュレーションの解析条件も、六面電波暗室と五面電波暗室が混在しているが、基準基板の解析結果にそれらの差異が含まれるので、対策効果を論じるうえで障害とならない。図 4-18 に解析条件の一例を示す。五面電波暗室は床面を金属とし反射を考慮する。図 4-19 に弊社ツールによる解析結果を示す。図 4-20 に Speed2000 の解析結果を示す。図 4-21 に ApsimRADIA の解析結果を示す。図 4-22 に MW-STUDIO の解析結果を示す。各結果から見積もった対策効果を表 4-2 に示した。

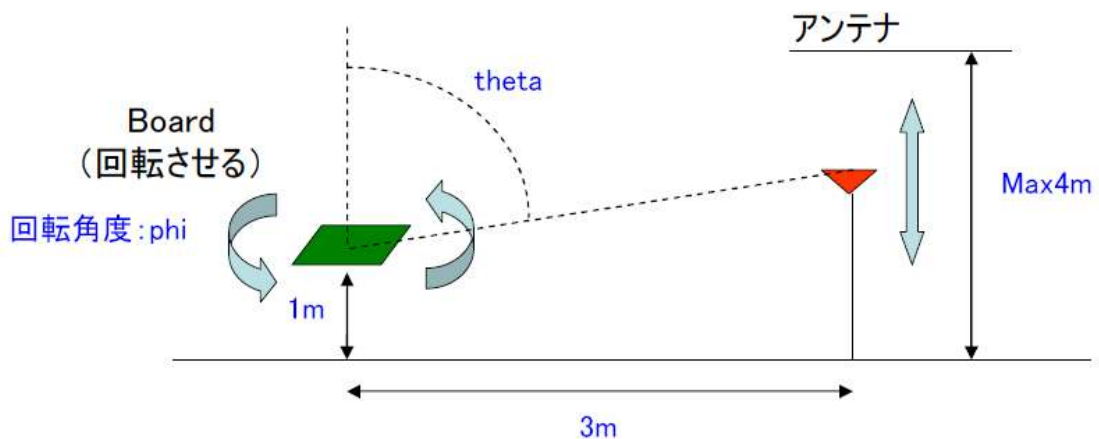


図 4-18 解析条件の一例

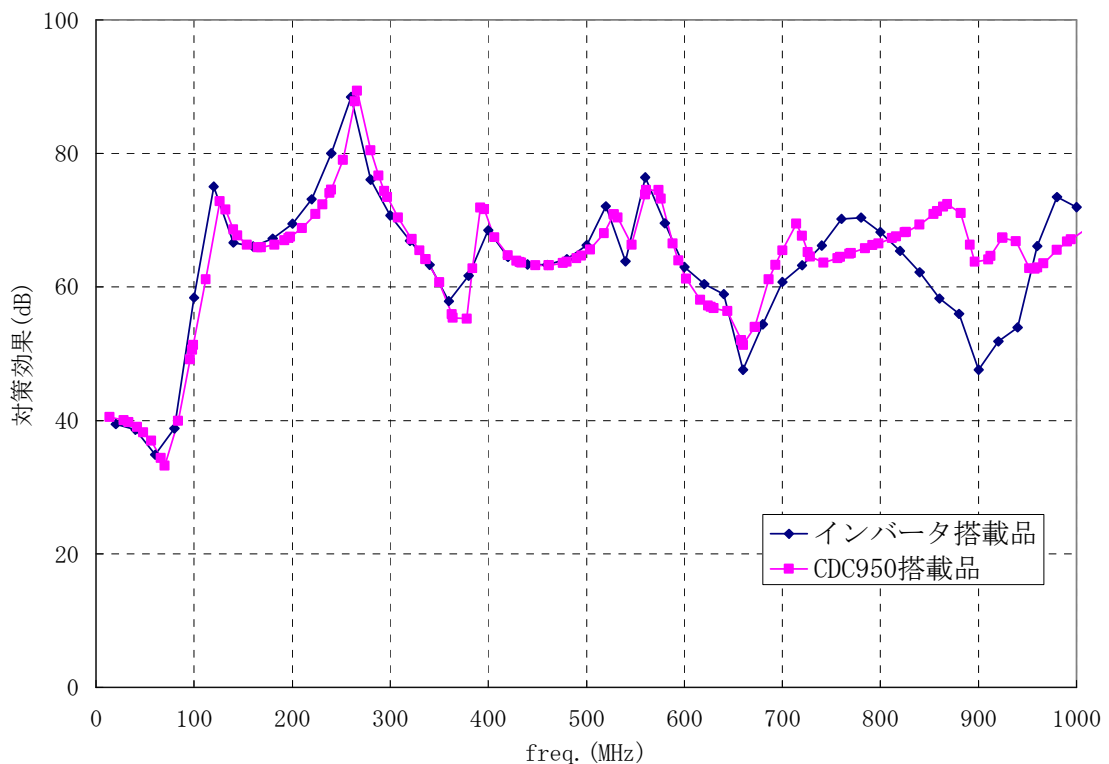


図 4-19 弊社ツールによるシミュレーション解析結果

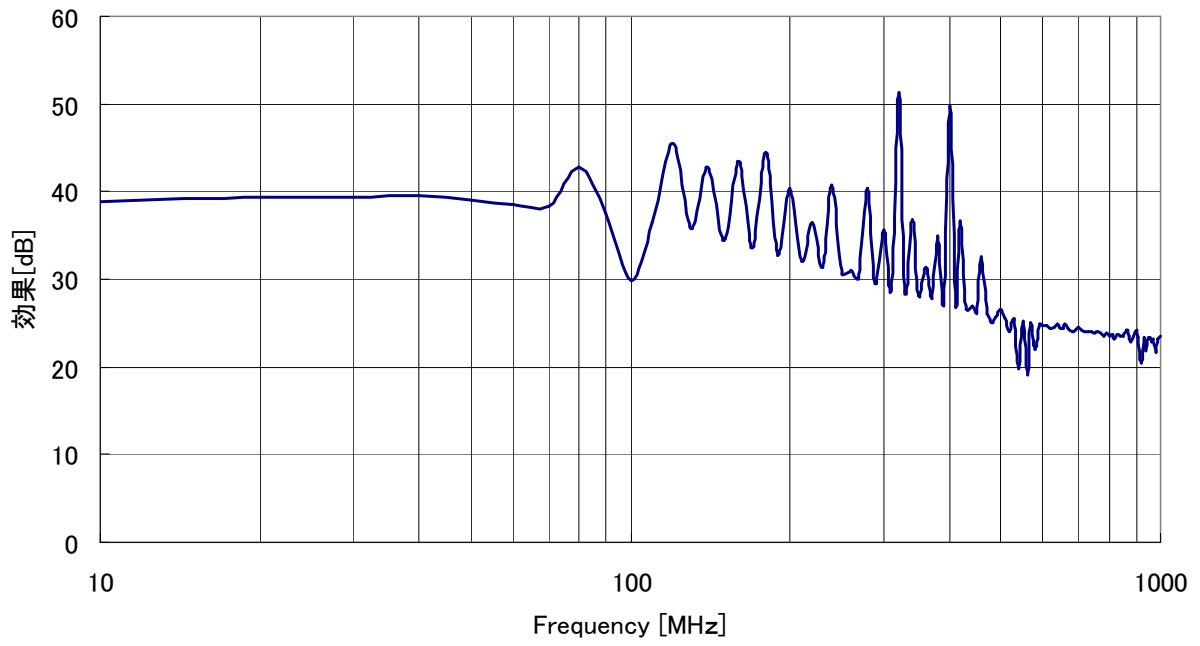


図 4-20 Speed2000 による解析結果

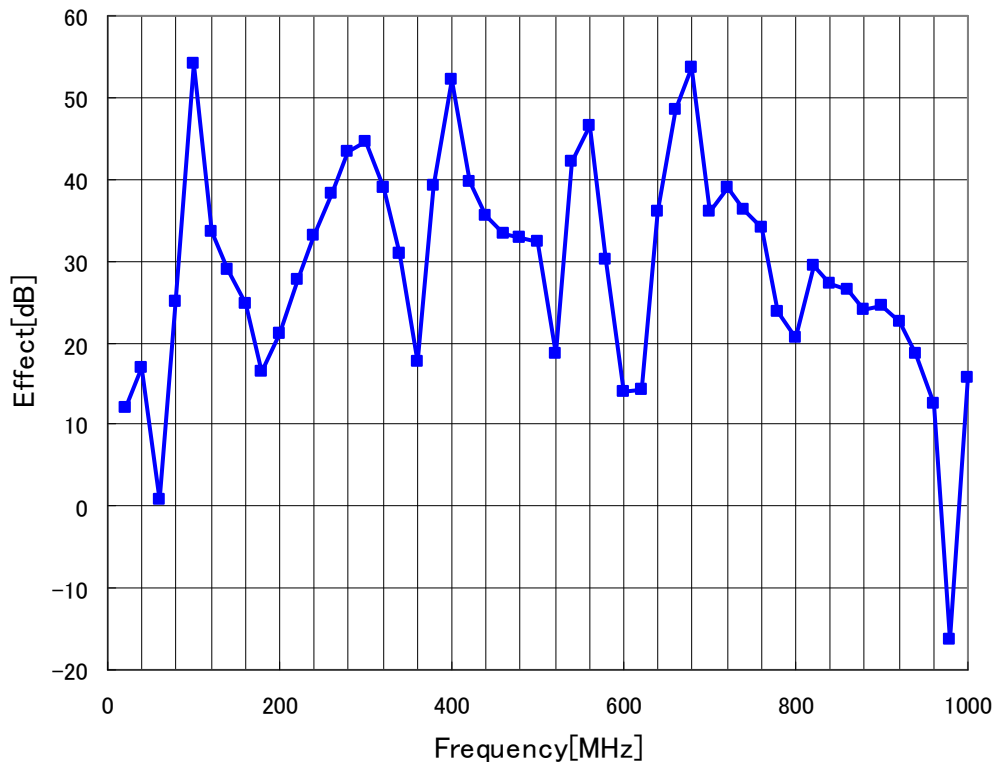


図 4-21 ApsimRADIO による解析結果

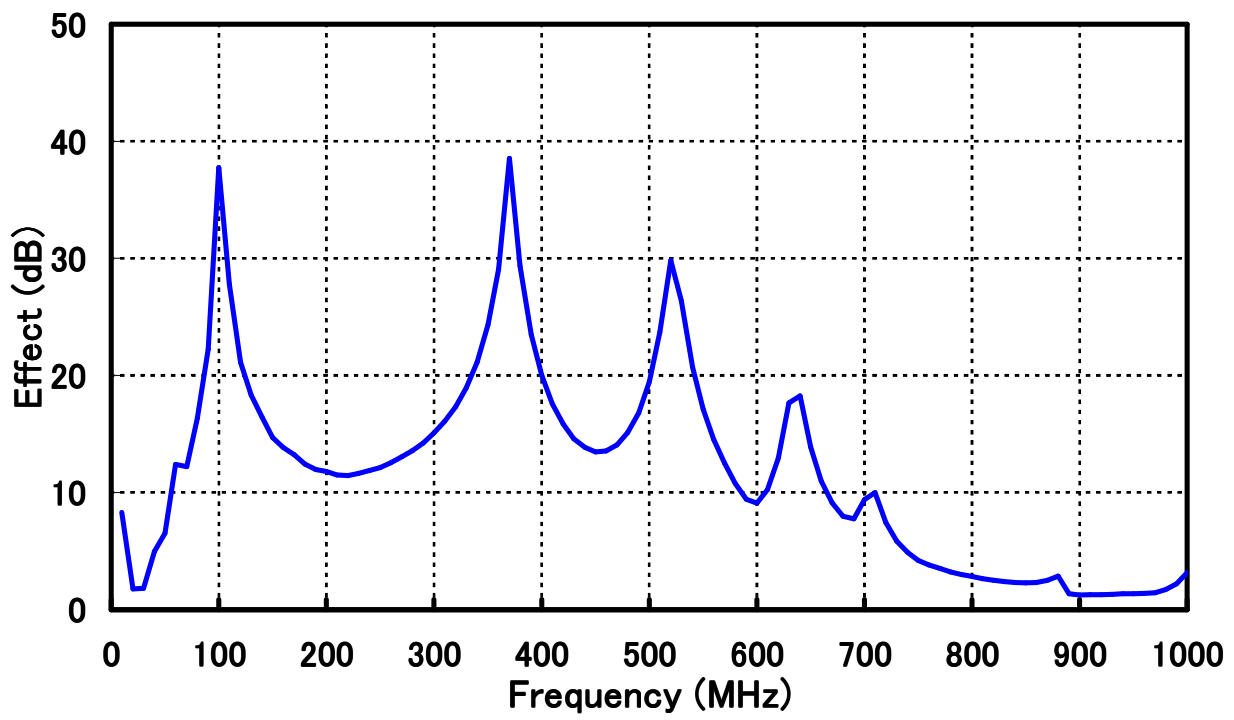


図 4-22 MW STUDIO による解析結果

4-1-1-2-5 大規模 TEG の評価

電源分配配線の漏洩電磁波抑制効果を検証し、さらに信号配線の影響を検討する目的で、情報通信装置のマザーボードを想定したテスト基板「大規模 TEG」を試作した。

4-1-1-2-5-1 大規模 TEG の仕様

大規模 TEG は、マザーボードを構成する CPU (Central Processing Unit)、NB (North Bridge)、SB (South Bridge) を FPGA (Field Programmable Gate Array) で代用しマザーボードを模擬する TEG である。通常のマザーボードでは CPU、NB、SB を専用 LSI とするが、FPGA を使うことで、I/O 信号の on/off や CPU の負荷動作を簡単に制御でき、任意の回路ブロックのみを動作させて様々な条件で、漏洩電磁波を評価することが可能となる。

大規模 TEG は、6 層構成で未対策の基板をリファレンスとし、対策実施の基板（6 層が 1 種類、8 層が 2 種類）を試作した。図 4-23 に層構成、図 4-24 にレイアウトを示す。図 4-24 に試作した TEG の外観（写真）を示す。(a) はリファレンス基板、(b) は対策基板である。

絶縁層:FR4、導体層:Cu
Er=4.2、Tan δ=0.025

		材料種類	Finish
		resist	0.020
L1	SIGNAL	12u	0.042
		prepreg	0.120
L2	GND	35u	0.030
		core	0.100
L3	SIGNAL	35u	0.030
		prepreg	0.280
		擬似core	0.400
		prepreg	0.280
L4	SIGNAL	35u	0.030
		core	0.100
L5	POW	35u	0.030
		prepreg	0.120
L6	SIGNAL	12u	0.042
		resist	0.020

Total Thickness 1.644

絶縁層:FR4、導体層:Cu
Er=4.2、Tan δ=0.025

		材料種類	仕上がり予想値
		resist	0.020
L1	SIGNAL	12u	0.042
		prepreg	0.120
L2	GND	35u	0.030
		core	0.100
L3	SIGNAL	35u	0.030
		prepreg	0.370
L4	SIGNAL	35u	0.030
		core	0.100
L5	GND	35u	0.030
		prepreg	0.370
L6	POW	35u	0.030
		core	0.100
L7	GND	35u	0.030
		prepreg	0.120
L8	SIGNAL	12u	0.042
		resist	0.020

Total Thickness 1.584

図 4-23 大規模 TEG の層構成

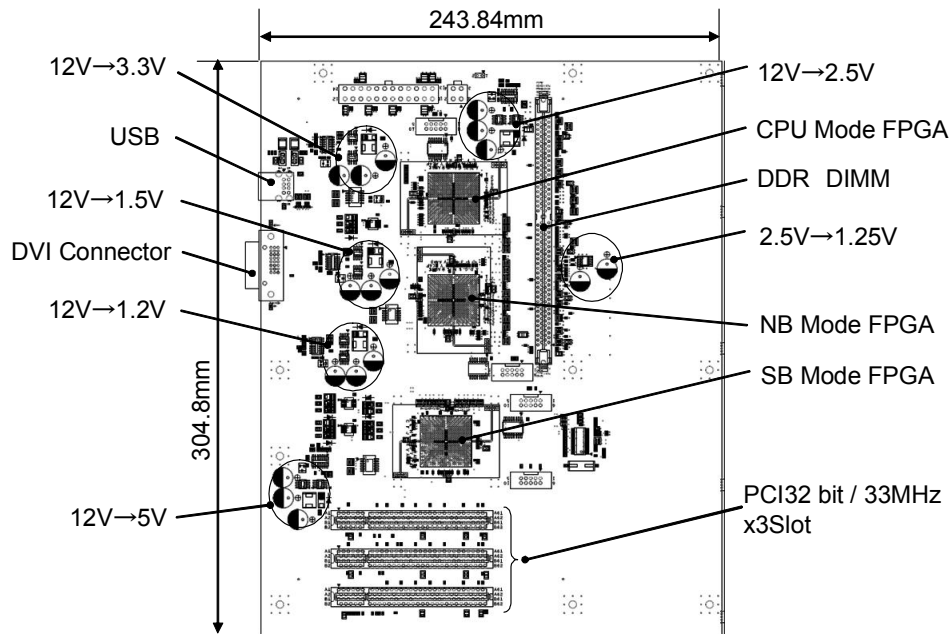


図 4-24 大規模 TEG のレイアウト



(a) リファレンス基板 (6層)



(b) 対策基板 (8層)

図 4-25 大規模 TEG の外観

4-1-1-2-5-2 大規模 TEG の測定評価

大規模 TEG の動作条件を変えて、放射電界強度を測定した。主に弊社所有の六面電波暗室で測定を実施し、最終的に V C C I 準拠の五面電波暗室で評価した。測定距離は 3 m とした。図 4-26 に五面電波暗室での測定状態 (写真) を示す。写真左奥が測定アンテナで 30MHz から 2GHz の範囲を受信できる。写真右手前に回転台上の木製机 (床から高さ 0.8m) に大規模 TEG を載せた。測定アンテナの高さを 1 m から 4 m と走査し、回転台を回して電界強度を測定した。

図 4-27 に大規模 TEG (基準基板) の測定結果を示す。700MHz を超える周波数では、基準基板の放射電界強度が測定システムノイズとのマージンが 20dB に満たない。このため、対策基板の効果が 20dB 以上あっても、測定システムノイズに埋もれてしまうので、注意が必要である。図 4-28 は評価結果である。対策基板の放射電界強度測定値が基準基板から変動した値を ΔE (dB) とする。概ね 20 dB とみなせる。



図 4-26 測定風景 (写真)

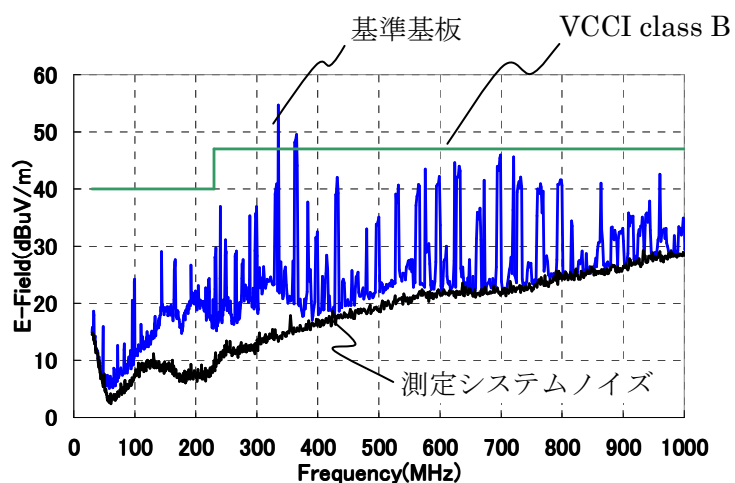


図 4-27 大規模 TEG (基準基板) の測定結果

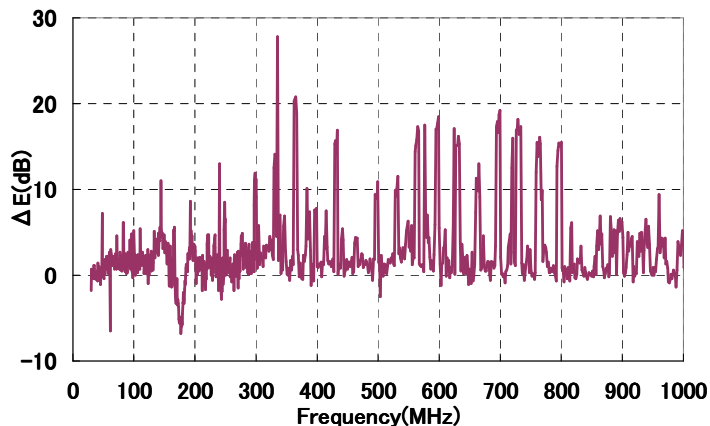


図 4-28 評価結果 大規模 TEG (対策基板) - (基準基板)

4-1-1-2-5-3 大規模 TEG のシミュレーション解析

大規模 TEG の設計データを使用して、シミュレーション解析を実施した。電源供給系評価 TEG に比べ回路規模が大きいので、自社ツールおよび Speed2000 を使用した。

図 4-29 に自社ツールによる解析結果（放射電界強度）を示す。図 4-30 自社ツールで得た解析値の差分（対策効果）である。基準基板の放射電界強度の谷にあたる周波数では、対策効果が小さくなっている。ピークの周波数に注目すると対策効果は 20dB から 30dB とみなせる。

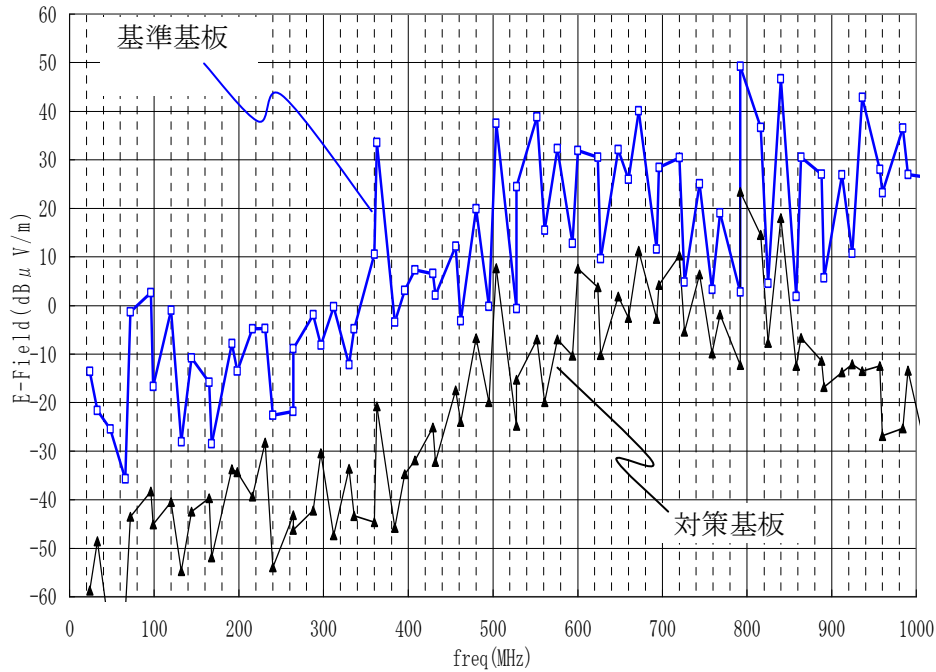


図 4-29 自社ツールによる解析結果（放射電界強度）

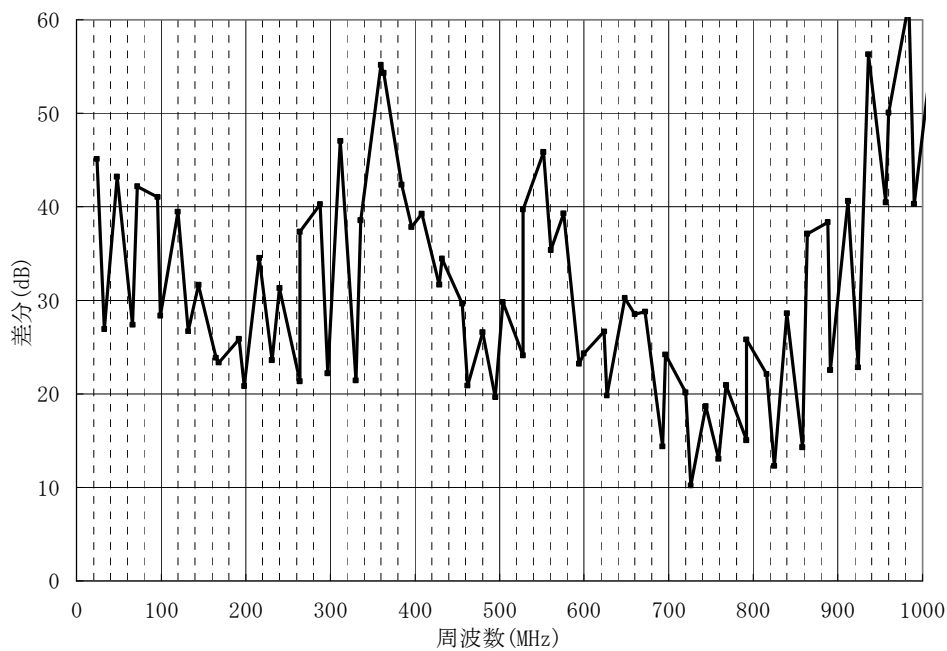


図 4-30 自社ツールによる解析結果

図 4-31 に Speed2000 による解析結果（放射電界強度）を示す。基準基板、対策基板とも共振現象と思われるピークが観測された。特に対策基板の 500MHz は基準基板に無く、層数増加が原因と考えられる。この解析結果をもとに、対策効果を計算した。結果を図 4-32 に示す。500MHz の共振を除外すると、対策効果は概ね 5dB から 20dB とみなせる。

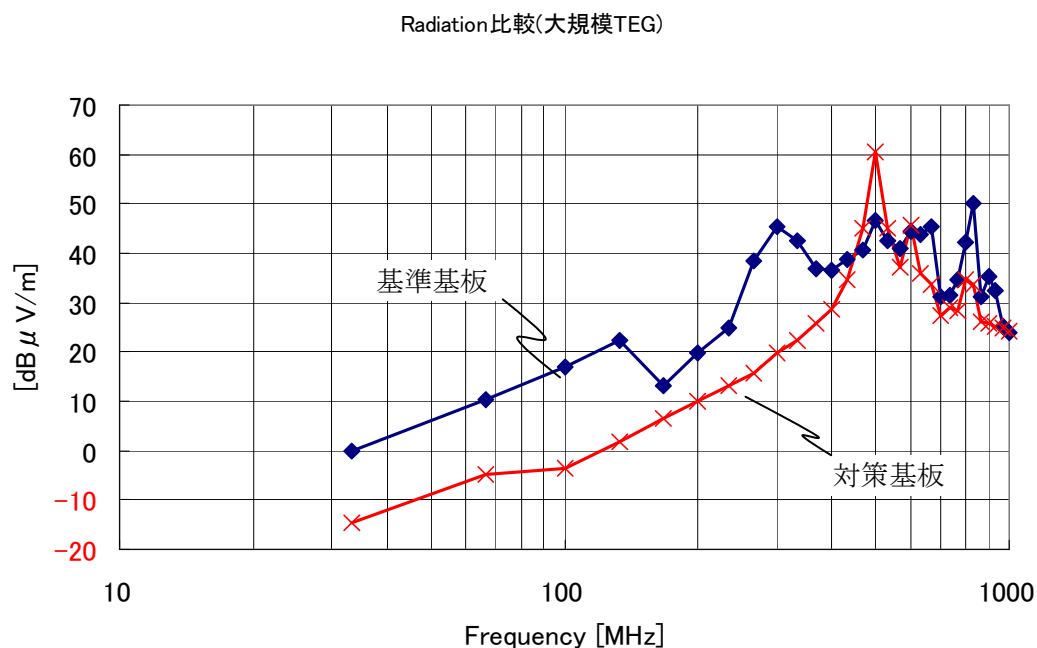


図 4-31 Speed2000 による解析結果（放射電界強度）

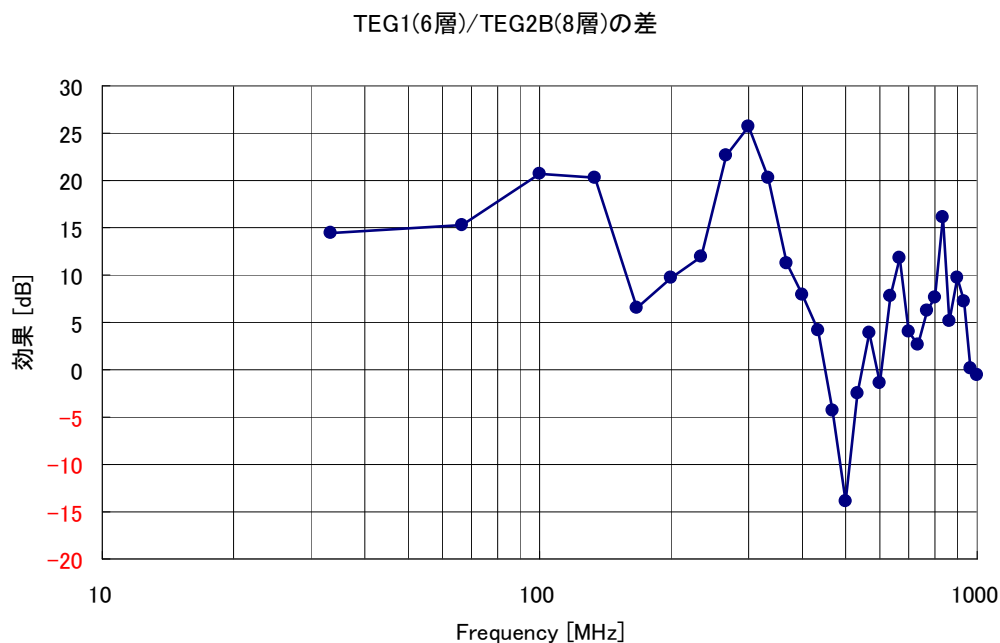


図 4-32 Speed2000 による解析結果

4-1-1-2-5-4 信号配線の影響

漏洩電磁波の発生源を特定するため、近傍磁界の解析を実施した。図 4-33 に放射電界強度の測定結果（対策前後の大規模 TEG）を示す。点線が囲んだ周波数について、近傍磁界分布から発生源を特定した。図 4-34 に対策基板の漏洩電磁波発生源（近傍磁界分布図）を示す。500MHz 付近は DC/DC コンバータ回路、900MHz 付近はメモリとノースブリッジ間の信号配線に強い磁界分布を観測した。このほかクロック信号配線など基板表層の配線に強い磁界分布が観測され、漏洩電磁波原因となっている。

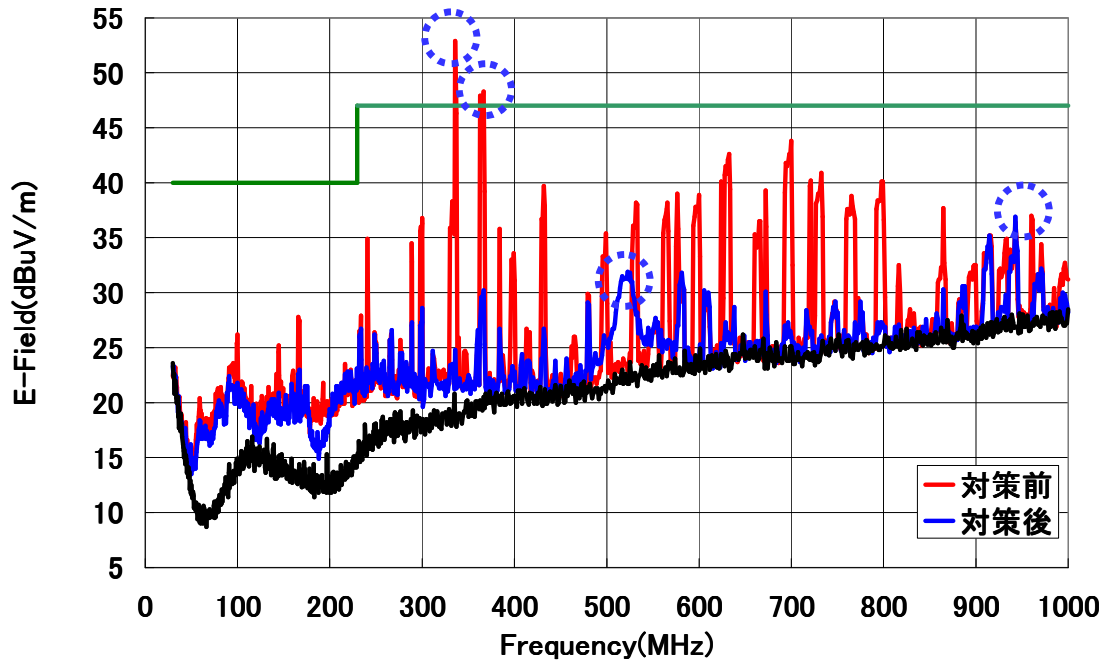


図 4-33 放射電界強度の測定結果（対策前後の大規模 TEG）

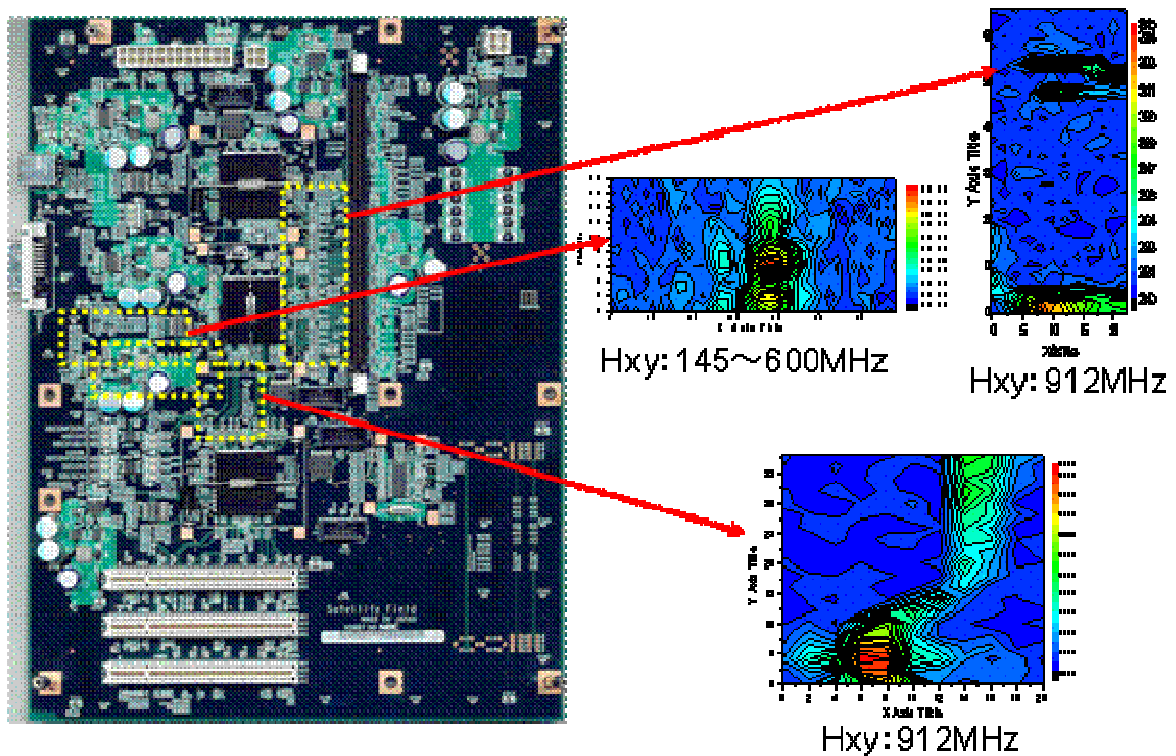


図 4-34 対策基板の漏洩電磁波発生源（近傍磁界分布）

4-1-1-3 筐体

情報通信装置の筐体について、遮へい性能を調べた。図 4-35 に一般的な筐体の遮へい性能を評価した結果を示す。図 4-36 は測定状態（写真）である。「筐体に TEG 基板を実装した状態の放射電界強度」から「TEG 基板のみからの放射電界強度」を引いて比較した。市販の一般的な筐体は約 15 dB の遮へい性能を有している。

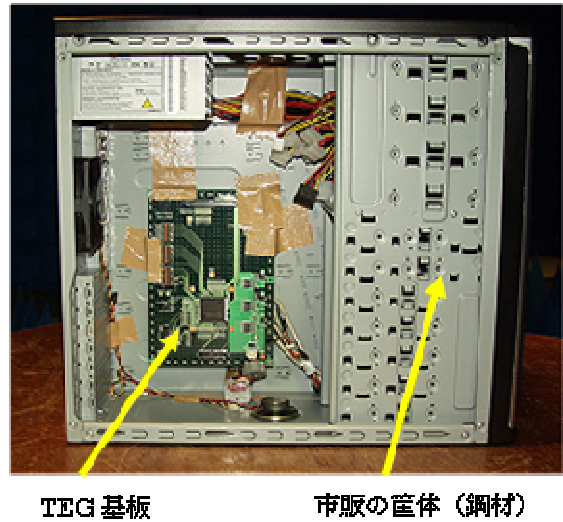
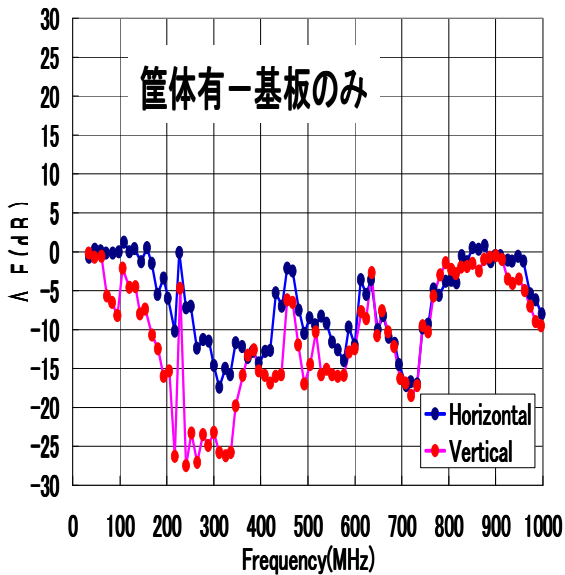


図 4-35 筐体の遮へい性能評価結果一例

図 4-36 測定状態（写真）

図 4-37 に筐体・ケーブル処理の説明図を示す。筐体の遮へい性能を低下させる原因は、開口部や勘合部からの漏洩電磁波、接続されるケーブルに流れる高周波電流である。したがって、勘合部、開口部を電氣的にふさぎ、フェライトコアなどでケーブルに流れる高周波電流を低減する。LAN ケーブルは光ファイバが有効である。これらの処理を丁寧に実施して、遮へい性能を高める。

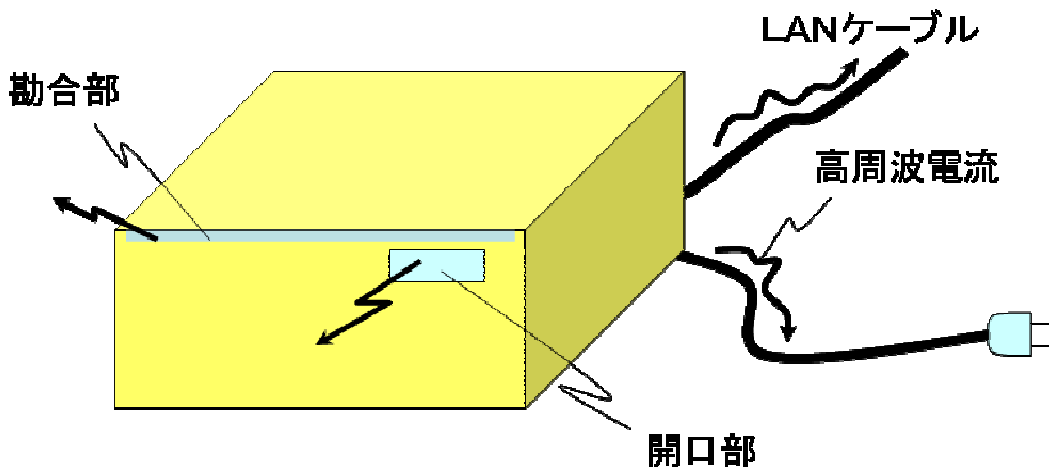


図 4-37 筐体・ケーブル処理の説明図

図 4-38 に遮へい性能差を測定した結果の一例を示す。横軸は周波数、縦軸は遮へい性能差 (dB) である。H16 年度に試作したサーバ装置の筐体について、遮へい性能を強化した前後を比較した。

筐体・ケーブル処理により、この結果から漏洩電磁波を約 15 dB 低減可能と考えられる。

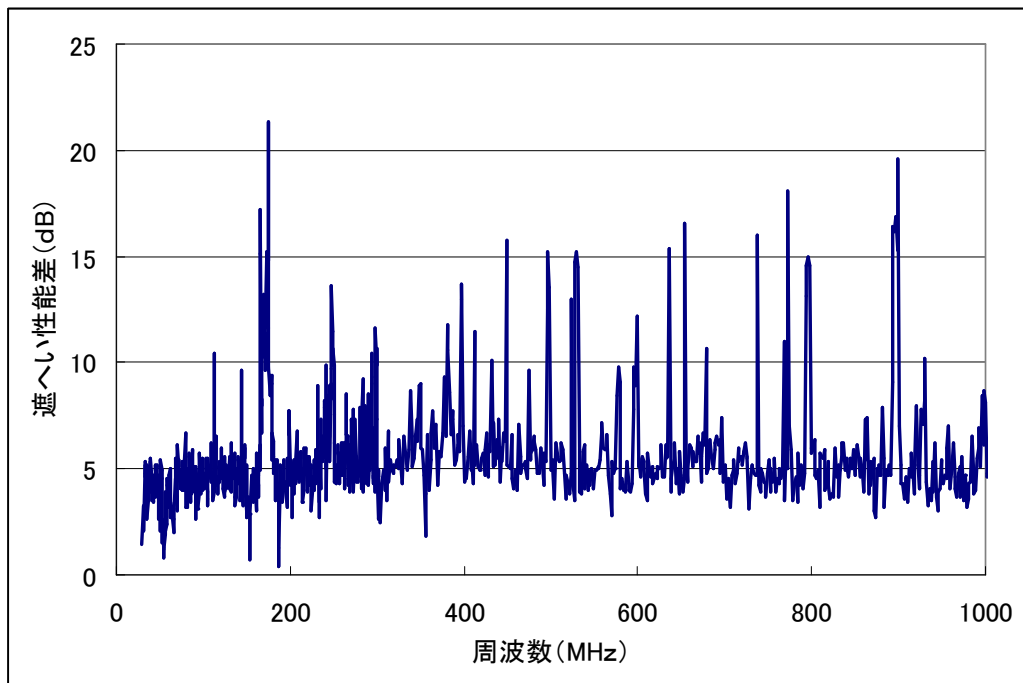


図 4-38 遮へい性能差 (標準筐体と強化筐体の比較)

4-1-2 要素技術の研究開発

電源デカップリング用素子として、プリント基板実装用部品での課題を検討し、さらなる高周波対応を実現すべく、内蔵形、オンチップ形の電源デカップリング用素子を検討した。

4-1-2-1 内蔵形の検討

プリント配線基板に部品型デカップリング素子を実装する場合、必ずリード端子のインピーダンスが特性に悪影響を与える。図 4-39 に L I L C 実装効果のシミュレーション結果の一例を示す。電源供給系評価 T E G (発生源 Inverter) の 4 層基板 (層構成: S V G S) への L I L C 適用有無で放射電磁界(EMI)を比較した。青線 (■) が適用無し、緑線 (▲) が適用有りである。部品型 L I L C では、800 MHz 以上で効果に差が無くなる。

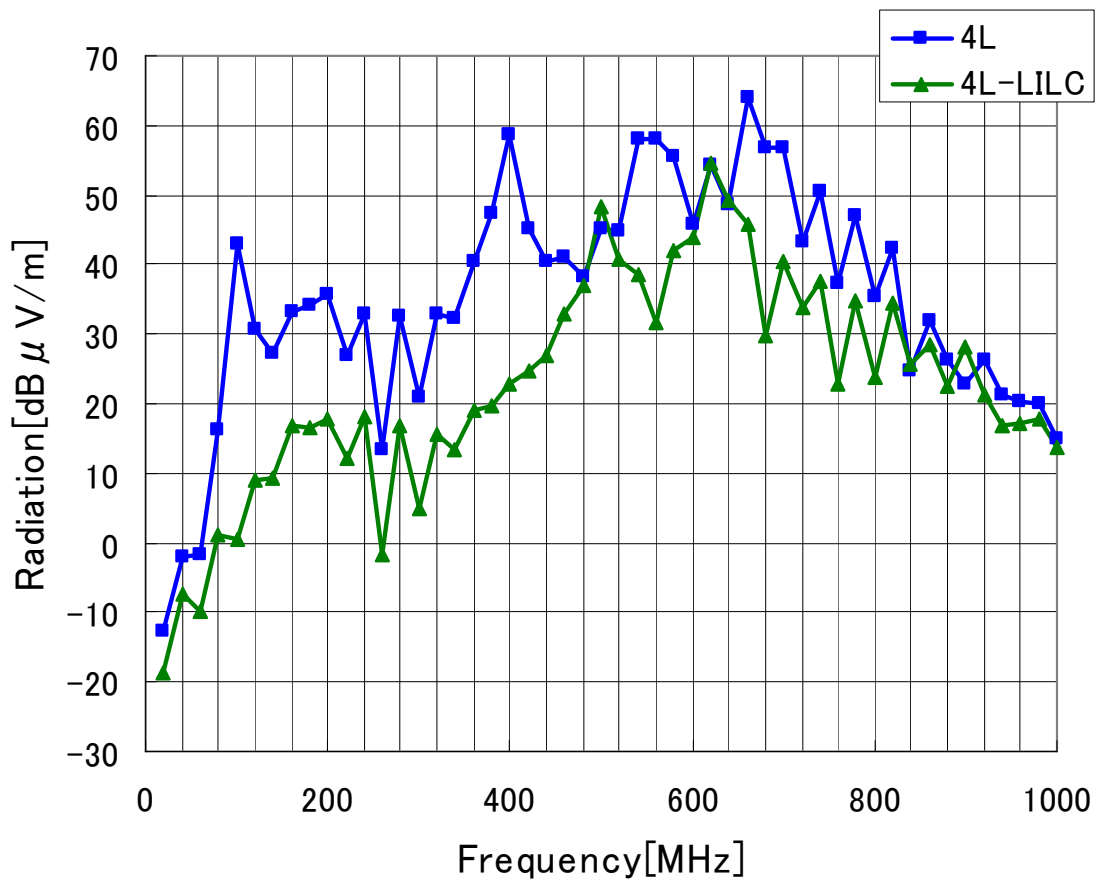


図 4-39 L I L C 実装効果のシミュレーション結果

そこで、プリント基板に L I L C を内蔵することで、リード端子による性能低下を避ける方法を検討する。その概略構造図を図 4-40 に示す。L I L C の正極電極を電源層に、負極電極をグラウンド層(GND)に接続する。これにより、リード端子影響を除外できる。

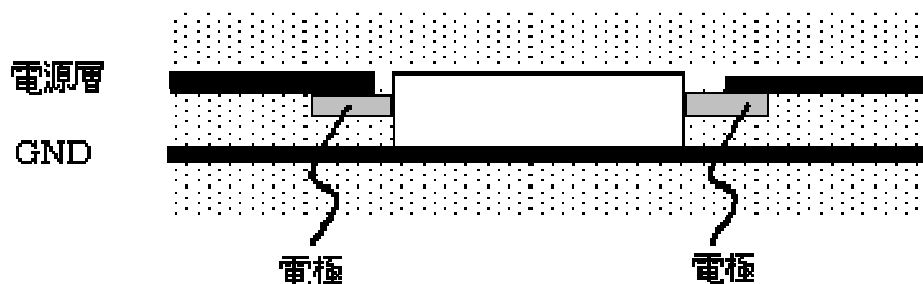


図 4-40 内蔵型 LILC の構造

図 4-41 に実測の電力透過特性から求めた抑制特性 (Suppression) を示す。従来形 2 端子セラミックコンデンサ、部品型 LILC (Sample16A)、内蔵型 LILC (Sample16B) の特性で、大きいほど抑制効果が高いことを表す。部品型 LILC では数百 MHz でリード端子の影響が出てしまい効果が低下するが、プリント配線基板に内蔵し、素子の外周を高周波電磁波が伝搬しない構造とすることで数百 MHz においても高い性能が期待できる。

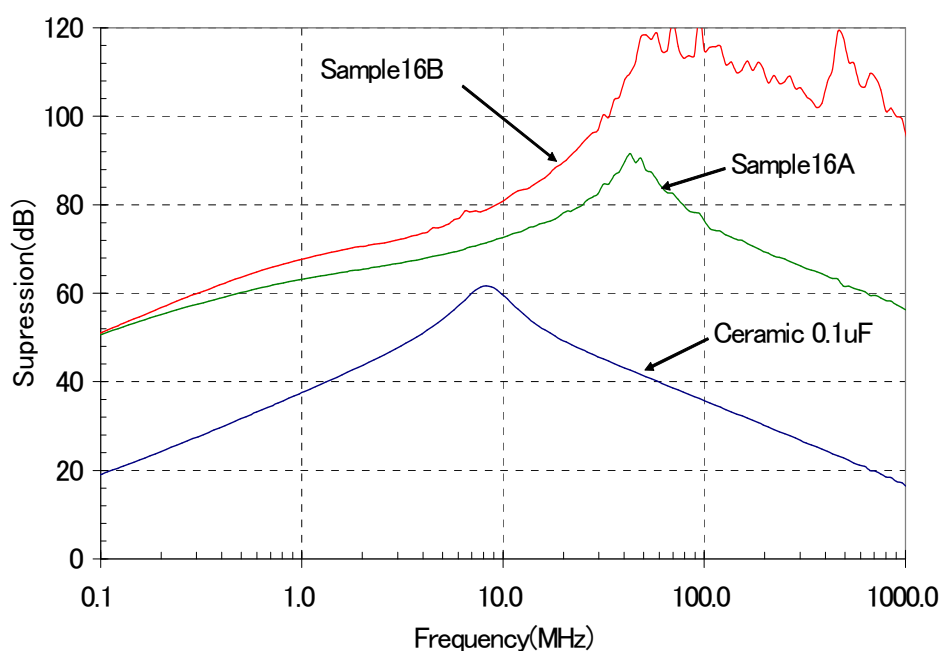


図 4-41 抑制特性 (実測値)

さらに、対象 LSI や回路からの高周波電力を効果的に抑制する構造を検討し、「容量素子、プリント配線基板、半導体パッケージ及び半導体回路」(特願 2007-058915) を 2007 年 3 月 8 日に出願した。図 4-42 に抑制効果 (Suppression) の特性を示す。図中符号について説明する。503 は従来形 2 端子コンデンサの特性カーブ、502 は内蔵形 LILC の特性カーブ、501 は特願 2007-058915 の構造のデカップリング用素子の特性カーブである。特性カーブ 501 は 502 に比べ高周波における特性低下が軽微である。

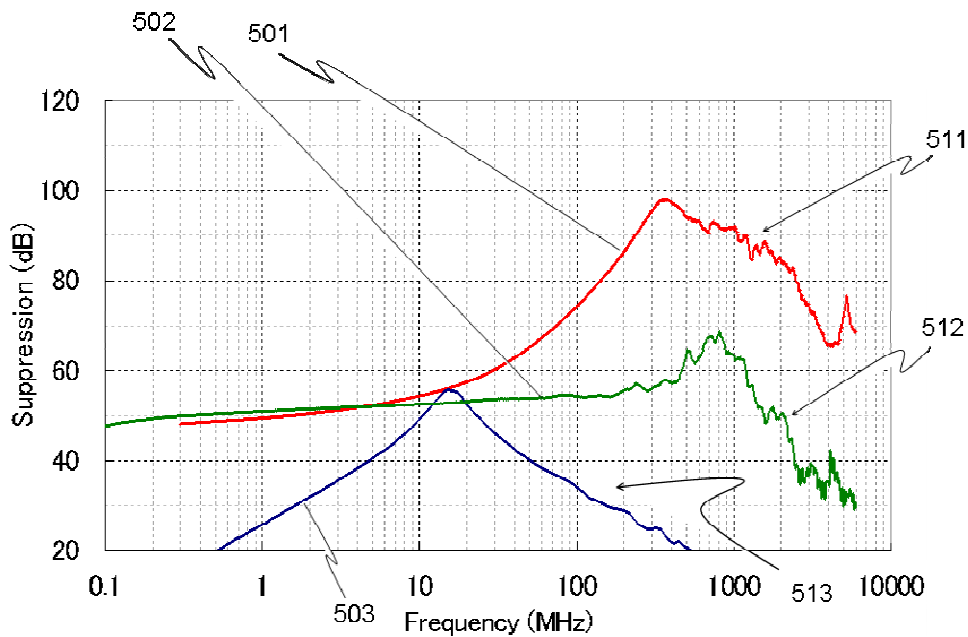


図 4-42 抑制効果 (Suppression)

4-1-2-2 オンチップ形の検討

数 GHz を超える高周波電力を低減するためには、更に発生源近くにデカップリング用素子を配置する必要がある。そのためのオンチップ形 LILC の構造を図 4-43 に示す。

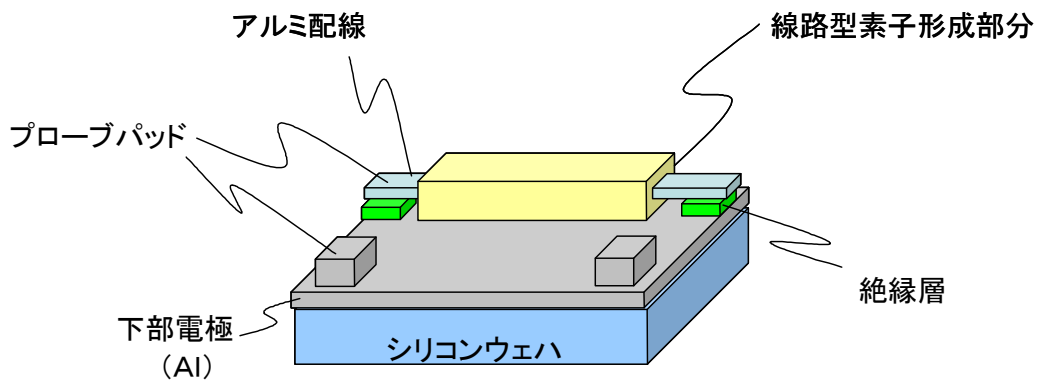


図 4-43 オンチップ形 LILC の構造

シリコンウェハ上の配線に LILC を形成する場合、部品型 LILC、内蔵形 LILC を大きく異なる点は、電極表面への拡面処理が 1 桁以上小さく、面積も大きくできず、結果として静電容量は内蔵形 LILC に比べ格段に小さくなる。10 GHz 以上の高周波電力が対象となる。対象の半導体回路へ効果的に適用する構造を検討し、「容量素子、プリント配線基板、半導体パッケージ及び半導体回路」(特願 2007-058915) を 2007 年 3 月 8 日に出願した。

4-1-3 組み合わせ効果

4-1-3-1 装置による検証（中間評価）

情報通信装置のマザーボードに低インピーダンス線路素子(LILC:Low Impedance Line structure Component)を適用する電源デカップリング対策を実施し、筐体対策と組み合わせ、漏洩電磁波を評価した。

4-1-3-1-1 マザーボードへLILC適用

マザーボードのコンデンサをLILCに置き換えた。一例としてCPU周辺について実施した改造について説明する。図4-44に置き換え前、図4-45に置き換え後のCPU電源回路図を示す。図4-46、図4-47に置き換え後のCPU周辺部(写真) Top View、Bottom Viewを示す。この場合、78個のコンデンサを45個のLILCで置き換えた。

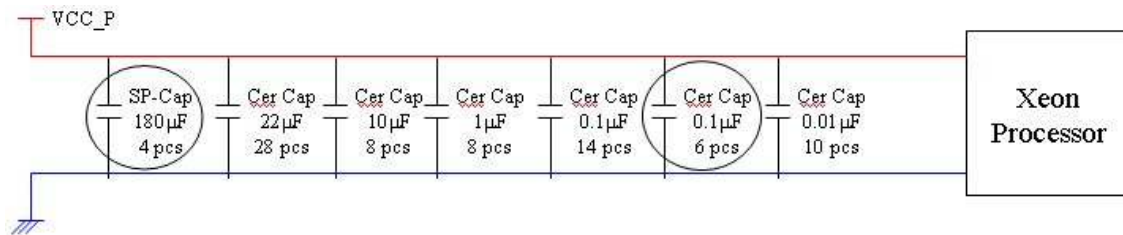


図 4-44 置き換え前の CPU 電源回路図

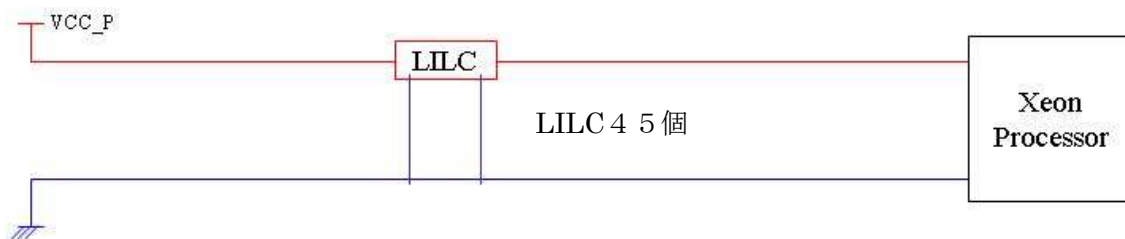


図 4-45 置き換え後の CPU 電源回路図



図 4-46 LILC 適用後の CPU 周辺
(Top View)



図 4-47 LILC 適用後の CPU 周辺
(Bottom View)

他の電源回路にも LILC を適用した。試作したマザーボードのレイアウトと外観を示す。図 4-48 はレイアウト (Top View)、図 4-49 は外観 (Top View 写真)、図 4-50 はレイアウト (Bottom View)、図 4-51 は外観 (Bottom View 写真) である。レイアウト図において、LILC を寸法ごとに色分けしている。

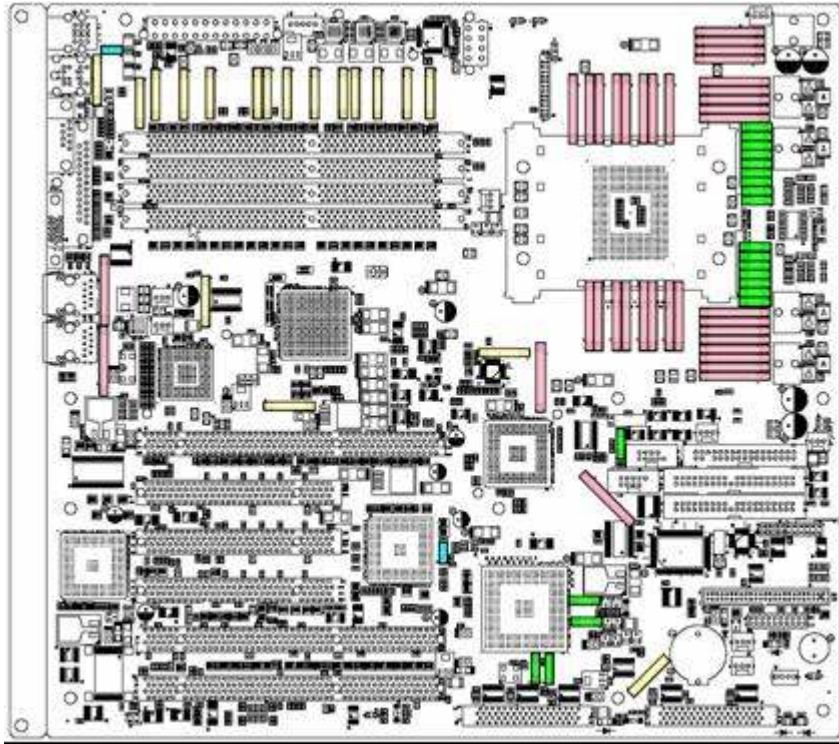


図 4-48 レイアウト (Top View)

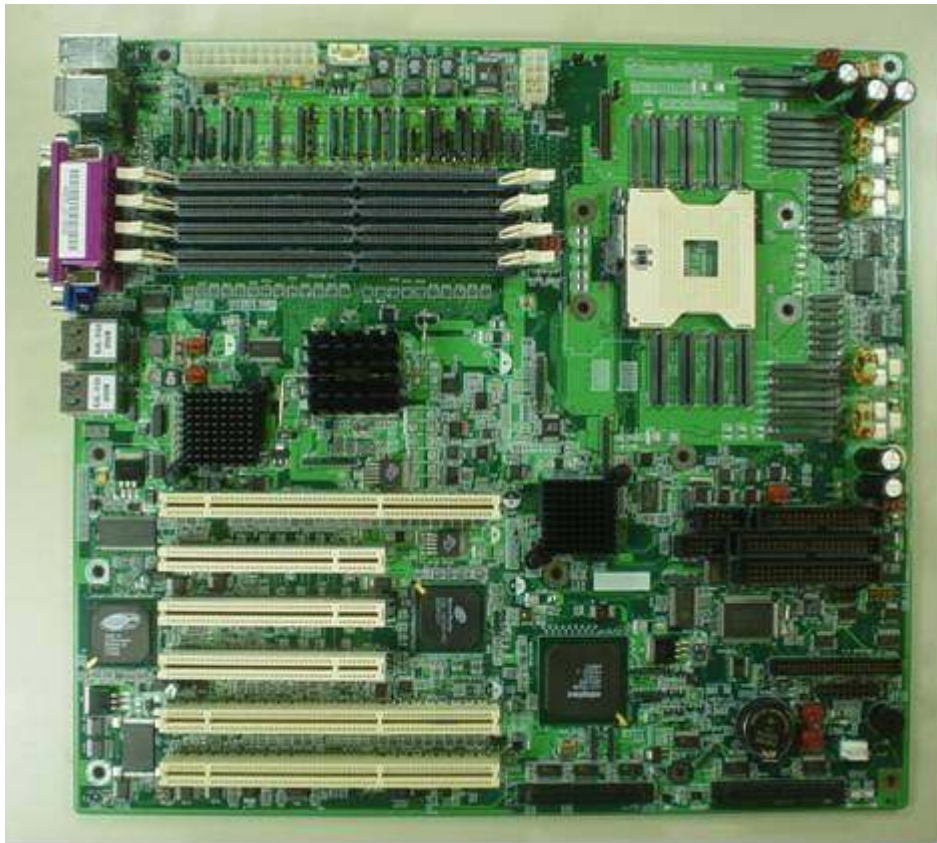


図 4-49 外観 (Top View)

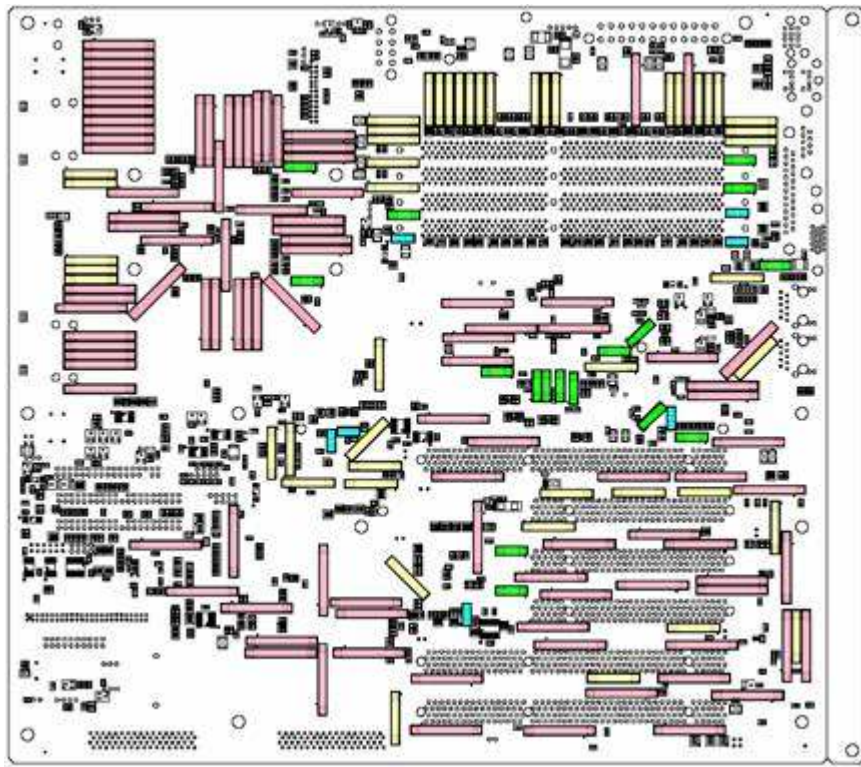


図 4-50 レイアウト (Bottom View)

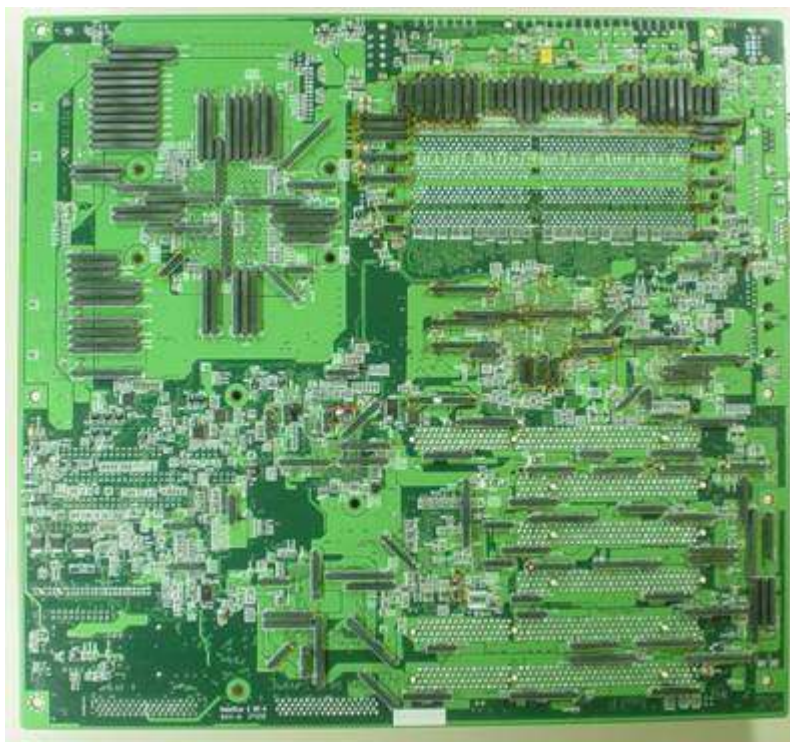


図 4-51 外観 (Bottom View)

本試作では 955 個のコンデンサを削減し、253 個の LILC を追加した。マザーボードの高負荷試験プログラムにて正常動作を確認した。(長期信頼性試験は未実施)

4-1-3-1-2 漏洩電磁波の測定評価

情報通信装置である「サーバ装置」、「ノート PC」に、電源分配回路技術を適用し装置からの放射電界強度(EMI)を測定し、電源分配回路技術適用前の装置である「オリジナル」と、適用試作した「2004年度試作」を比較した。電源分配回路技術はCPU(中央演算ユニット)が搭載されるマザーボードにのみ適用した。ノート PC では実装面積の都合で主な LSI の周辺に限定し適用した。また、周辺装置、装置の内部モジュールには適用していない。測定時の装置の動作は、機能評価用の「PLUTEST」プログラムを稼働し、画面表示は「H」が表示され続ける「HPattern」とした。適用していない周辺装置、モジュールの影響を除外するため、周辺装置を外して測定した。また、簡易的に EMI 抑制効果を検証する目的で、六面電波暗室(3m, 簡易)で比較測定を実施した。EMI 測定風景を図 4-52, 図 4-53 に、実測データを図 4-54~図 4-58 に示す。

規制値と EMI 最大スペクトル(ピーク検波)との差を抑制値とした結果を表 4-3 と表 4-4 に示す。サーバ装置はオリジナルの抑制値(規制値からのマージン)が 6dB であったのに対し、適用後は 19dB であった。また、一部の LSI だけに適用したノート PC では、オリジナルの抑制値が-4dB(規制値をオーバー)であったのに対し、適用後は 10dB であった。適用箇所が限られたことが原因と想像する。ただ、筐体は導電性のないプラスチックであったため、金属筐体と比較できるように筐体に電磁シールドメッキを施した。その結果、抑制値は 21dB を達成した。H17 年 1 月までに実施した六面電波暗室での評価から、電源分配回路技術を適用し、補完的に筐体、ケーブルに対策することで、20dB 程度の漏洩電磁波低減が可能であることが判った。

表 4-3 サーバ装置の EMI 抑制効果

[dB μ V/m]	オリジナル	2004 年度試作
規制値	47	47
EMI 測定値	41	28
抑制値	6	19

表 4-4 ノート PC の EMI 抑制効果

[dB μ V/m]	オリジナル	2004 年度試作	2004 年度試作 (強化筐体)
規制値	40	40	47
EMI 測定値	44	30	26
抑制値	-4	10	21



図 4-52 サーバ装置の測定風景



図 4-53 ノート PC の測定風景

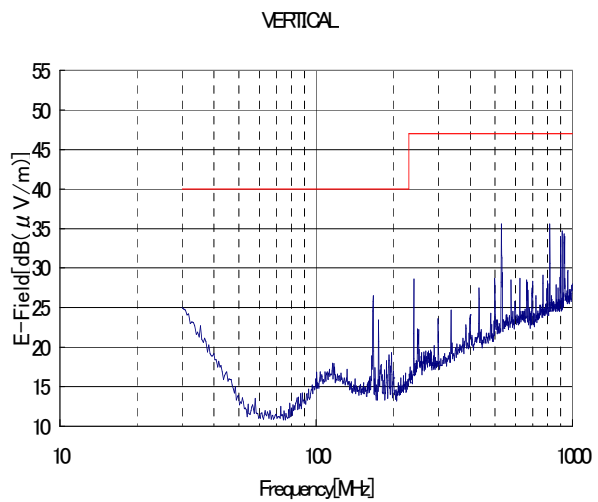
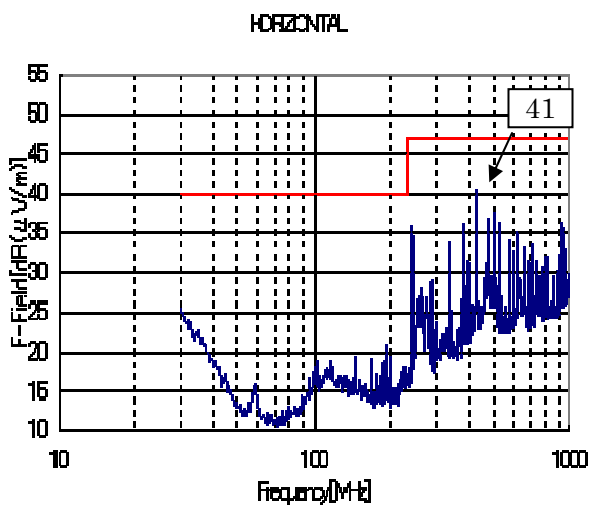


図 4-54 サーバ装置の EMI (オリジナル)
本体からの放射。PLUTTEST&H Pattern

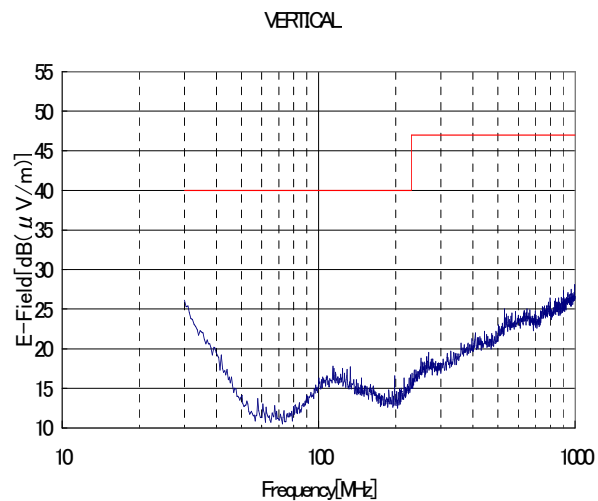
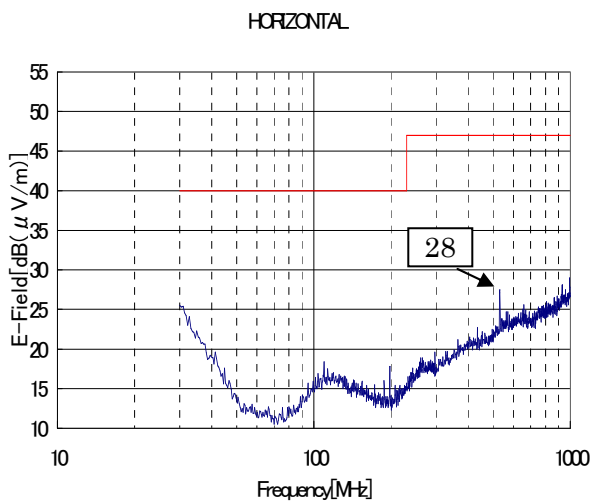


図 4-55 サーバ装置の EMI (2004 年度試作：適用品)
本体からの放射。PLUTTEST&H Pattern

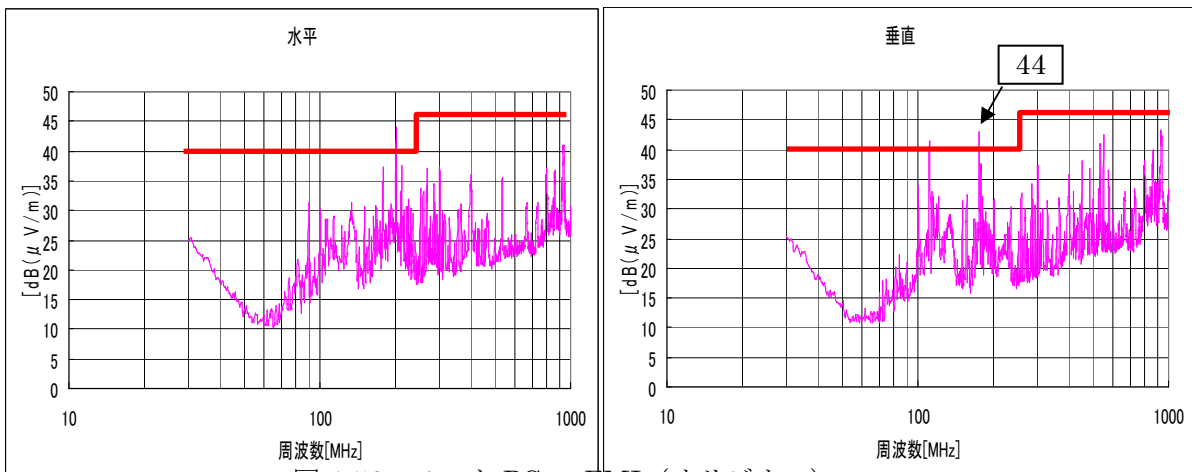


図 4-56 ノート PC の EMI (オリジナル)
PLUTEST&H Pattern

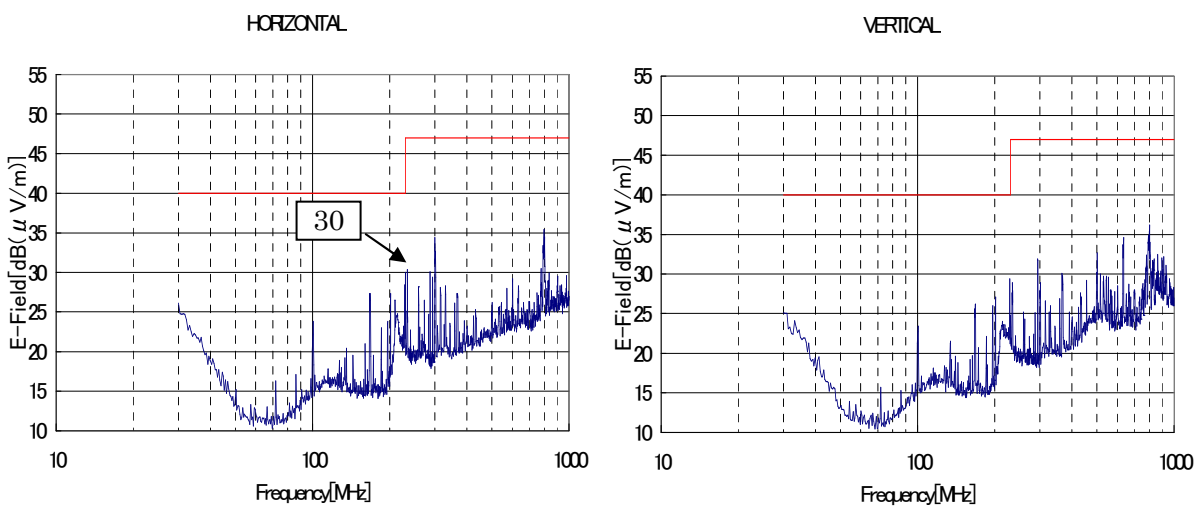


図 4-57 ノート PC の EMI (2004 年度試作、適用)
PLUTEST&H Pattern

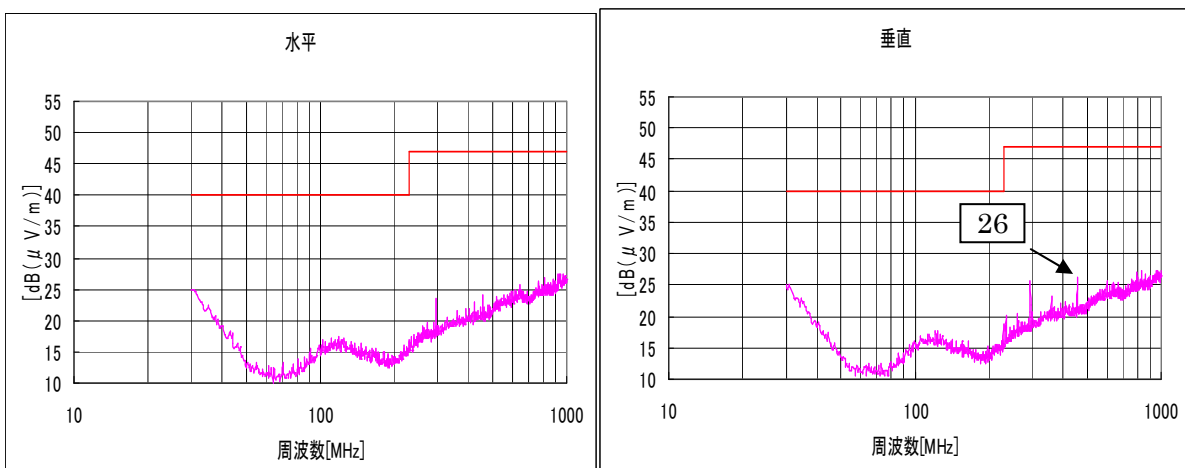


図 4-58 ノート PC の EMI (2004 年度試作、適用、強化筐体)
PLUTEST&H Pattern

4-1-3-2 組み合わせ効果の見積

「4-1-3-1 装置による検証」では、実際の装置を改造し漏洩電磁波を低減する技術を検証した。しかしながら、放射電界強度を測定評価する設備自身の測定限界を超えて評価検証することはできない。VCCI に準拠する通常の測定設備では規制値とのマージンが概ね 20dB が限界である。最終目標の規制値から 40dB 低減する技術を検証することは困難である。そこで、各要素技術の効果を検討したのち、組み合わせ効果を見積ることとする。

4-1-3-2-1 要素技術の効果の積算

図 4-59 に組み合わせ効果のイメージを示す。対象周波数帯域は、VCCI 規制値 (30MHz から 1GHz) に合わせた。図 4-1 に示した「電源デカップリング」、「基板設計」、「筐体」の切り分けに応じ、「線路型素子による電源デカップリング」「基板設計」「筐体、ケーブルの処理」を組み合わせ、漏洩電磁波を低減する。情報が重畳した高周波電力は、扱われる LSI、回路から、順に基板、筐体へと広がるので、(LSI、回路)、(基板)、(筐体) にて実現する効果を加算していけばよい。

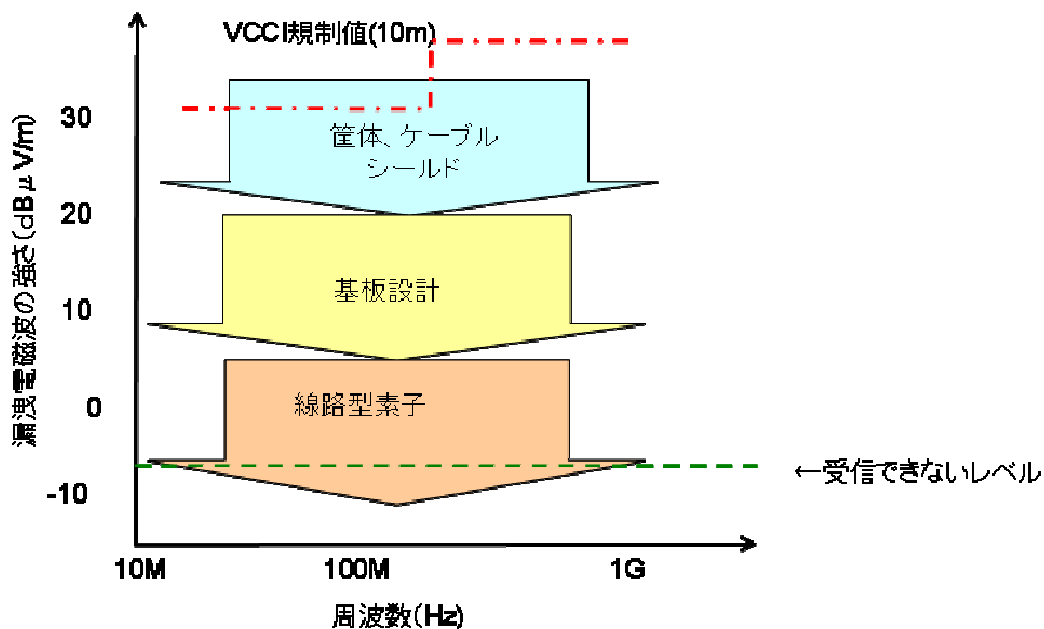


図 4-59 組み合わせ効果のイメージ図

「線路型素子による電源デカップリング」は、「4-1-1-1 電源デカップリング」の検討結果から、層構成を変えずに部品型 LILC を適用することで 500MHz 以下の周波数帯域で 10dB 以上効果が期待できる。また、「4-1-2-1 内蔵形の検討」で開発した内蔵形 LILC を用いることで、100MHz から数 GHz の周波数帯域で、部品型 LILC より大きな効果が期待できることが判った。したがって、対象周波数帯域全域にわたり、10dB 以上の効果が期待できる。

「基板設計」は、「4-1-1-2 基板設計」の検討結果から、対象周波数全域にわたり、20dB 程度の効果が期待できる。「4-1-1-2-4-2 電源供給系評価 TEG の測定評価」で 600MHz 以下で 20dB の対策効果を確認し、「4-1-1-2-4-3 電源供給系評価 TEG のシミュレーション解析」において、市販ツール Speed2000 で 20dB (図 4-20、図)、自社ツールで 40dB (図 4-19) の対策効果を確認した。なお、部品を配置する最適配置ツールの性能差が結果に出

たものと推察される。

「筐体、ケーブルの処理」は、「4-1-1-3 筐体」の検討結果から、15dB程度の効果が期待できる。

以上から、組み合わせ効果は、約 45Bと見積もられる。

4-1-3-2-2 組み合わせ効果のシミュレーション解析

電源供給系評価 TEG について、「電源デカップリング」と「基板設計」を組み合わせられた効果を弊社ツールにてシミュレーション解析した。図 4-60 に自社ツールによる解析結果を示す。電源供給系評価 TEG の基準基板（4層基板）、「対称構造」「シールド構造」を実施した対策基板 A（5層基板）、対策基板 A にさらに「LILC」を適用した対策基板 B（5層基板）からの放射電界強度をそれぞれプロットした。

基板対策が理想的に実施できれば、40dB~60dB の組み合わせ効果が期待できることが示された。

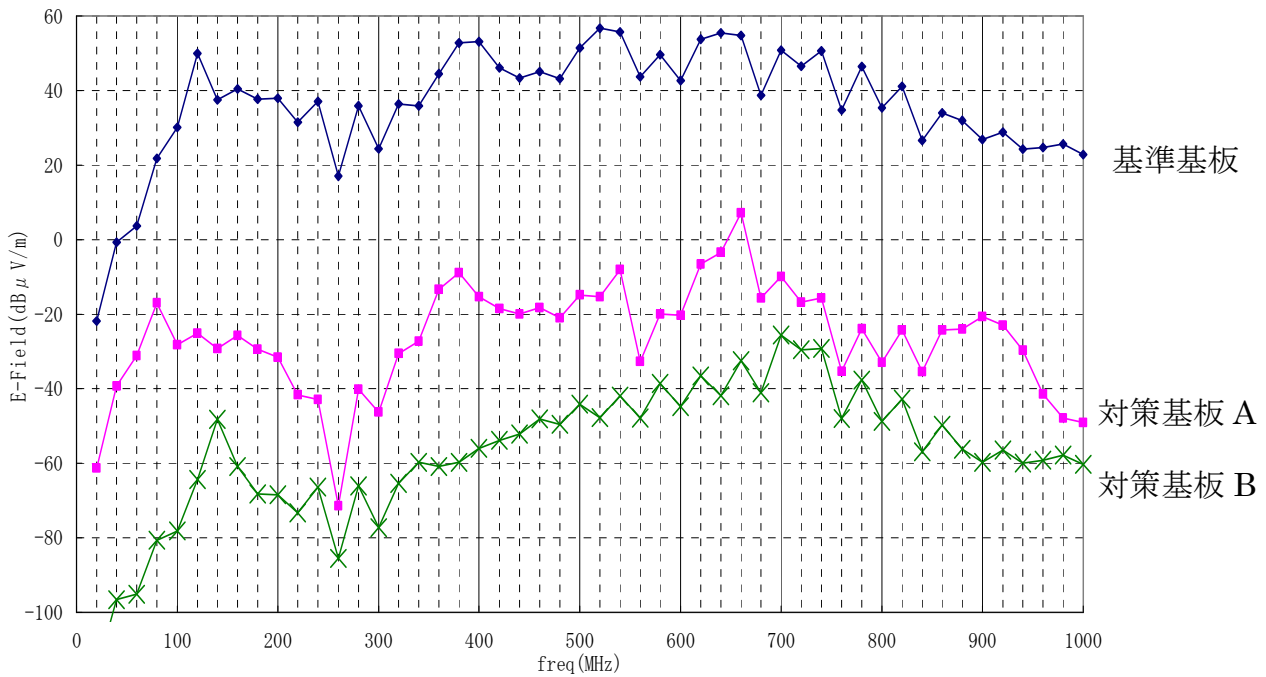


図 4-60 自社ツールによる解析結果

4-1-4 まとめ

情報通信装置本体からの直接放射、あるいは接続されるケーブルなどを伝わって外部へ漏洩してしまう漏洩電磁波を、回路技術の観点から電源分配回路技術を用いて低減する技術を検討し開発した。新たな電源分配回路技術として低インピーダンス線路素子（LILC）などの電源デカップリングデバイスを適用して、テスト基板（TEG）や装置を試作し、効果を検証した。

本研究開発は、平成15年9月から平成19年3月までの3年7ヶ月間であった。

1) 検証試作と可能性検証

（情報通信機器試作評価または TEG の試作評価及び放射電磁界解析による検証）

装置（サーバ装置、ノート PC）への適用試作を実施し、H16 年度末に中間目標（情報通信装置からの放射電界強度が、VCCI のクラス B に対して 20dB 低減）を概ね達成した。

最終目標（VCCI のクラス B に対して 40dB 低減の可能性検証）に対し、「電源デカップリング」「基板設計」「筐体」それぞれの対策を検討し、TEG を試作し評価結果と、自社及び市販のツールによる電磁界解析の結果から効果を検証した。電源分配回路に関しては、「線路型素子の電源デカップリング」、「基板の対称構造」、「基板のシールド構造」、「基板の最適部品配置」、「筐体・ケーブル処理」を組み合わせた効果として、40dB 以上が期待できること示し、最終目標を達成した。

しかしながら、電源分配回路に対する対策により漏洩電磁波が低減すると、基板表面層の信号配線や部品が原因である漏洩電磁波が低減されずに残ってしまった。プリント配線基板の信号配線に対する対策技術が、製品化時の課題として明確になった。今後は、電源分配回路に対する対策技術の量産化技術と、信号配線に対する対策技術を検討していく予定である。

2) 要素技術の研究開発

（新しい電源分配回路技術に関する研究開発）

ア) 内蔵形 LILC 研究開発

プリント基板実装用の部品型 LILC は、800MHz 以上で、従来形デカップリング素子と比較して対策効果に差が無くなることを示し、プリント基板内蔵形の優位性を示唆した。試作した内蔵形 LILC の対策効果（単体性能）が 1GHz まで持続することを評価結果から示した。また、更に数 GHz の高周波で有効に機能する容量素子を考案し、特許を出願した。

イ) オンチップ型 LILC 研究開発

シリコンウェハ上に形成するオンチップ型 LILC の構造を検討した。形成面積と電極表面処理の制限から静電容量が小さくなり、10GHz 以上の高周波電力の低減が対象となる。部品型 LILC の構造と異なる容量素子を考案し、特許を出願した。

内蔵形 LILC、オンチップ型 LILC に共通した課題は、特許出願した構造での量産化技術が未検討であることが課題である。

4-2 総括

平成 16 年度末に中間目標（情報通信装置からの放射電界強度が、VCCI のクラス B に対して 20dB 以下となる技術の検証）を達成し、平成 18 年度は、本委託研究の最終年度として、最終目標（情報通信装置からの放射電界強度が、VCCI のクラス B に対して 40dB 以下となる技術の確認）を達成すべく、「電源デカップリング技術」、「基板設計技術」、「筐体・ケーブル処理技術」について検討した。テスト基板（TEG）を試作して測定・評価した結果と、シミュレーション解析結果とを用いて、個別技術の効果を検証し、更に組み合わせ効果を示した。今回の検討で、電源デカップリング素子と、従来の基板対策技術を最適に組み合わせることで、漏洩電磁波を低減する効果が大きいことが確認できた。また、数 GHz に及び高い周波数に対しては、プリントな配線基板の内部や半導体オンチップに形成する電源デカップリングデバイスが有効であることを示し、新規な構造のデバイスについて特許を出願した。これらは、本委託研究終了後の製品開発における基盤技術となると考えられる。

5 参考資料・参考文献

5-1 研究発表・講演等一覧

口頭発表1. 増田幸一郎, “プリント基板用低インピーダンス線路素子の特性,” 電子情報通信学会環境電磁工学研究会, EMCJ2004-77, Oct. 28 2004. (査読無し)

口頭発表2. 楠本学, 増田幸一郎, “導電性高分子の抵抗による低インピーダンス線路素子の特性向上,” 電子情報通信学会 2005 年総合大会, B-4-54, March 22 2005. (査読無し)

口頭発表3. 増田幸一郎, “電源デカップリング素子の特性,” 電子情報通信学会 2005 年総合大会, B-4-55, March 22 2005. (査読無し、口頭発表)

口頭発表4. 増田幸一郎, “プリント基板実装用デカップリング素子の特性,” エレクトロニクス実装学会エレクトロニクス実装学術講演大会, 17C-10, March 17 2005. (査読無し)

口頭発表5. 増田幸一郎, “線路型デカップリング素子の特性,” 第21回エレクトロニクス実装学会講演大会, 15B-07, March 15 2007 (査読無し)

口頭発表6. 小川雅寿, 楠本学, 原田高志, 和深裕, “A Fast Analysis Method of Power-supply Voltage Fluctuations and Radiated a Printed Circuit Board Measured Using an LSI Power Pin Model,” International Conference Electronics Packaging 2007(JIEP/IEEE), FA1-2, April 20 2007 (査読無し)

報道発表1. “漏えい電磁波からの情報盗用を困難にする電磁波セキュリティ技術を開発”, March 16 2007
掲載: 日刊工業新聞 2007 年 3 月 16 日 1 面トップ
化学工業日報 2007 年 3 月 20 日