

平成19年度
研究開発成果報告書

磁界センサを用いた電波受信装置の研究開発

委託先： (株)タキオン

平成20年4月

情報通信研究機構

平成19年度 研究開発成果報告書

(地域中小企業・ベンチャー重点支援型)

「磁界センサを用いた電波受信装置の研究開発」

目 次

1	研究開発課題の背景	2
2	研究開発の全体計画	
2-1	研究開発課題の概要	6
2-2	研究開発の最終目標	6
2-3	研究開発の年度別計画	7
3	研究開発体制	8
3-1	研究開発実施体制	8
4	研究開発実施状況	
4-1	MI 素子集積化の研究開発	9
4-1-1	研究開発の内容	9
4-1-2	実施状況	9
4-1-3	サブテーマ「MI 素子集積化の研究開発」のまとめ	19
4-2	デジタルフィルタ部の研究	21
4-2-1	研究開発の内容	21
4-2-2	実施状況	21
4-2-3	サブテーマ「デジタルフィルタ部の研究」のまとめ	22
4-3	受信機プロトタイプの研究開発	22
4-3-1	研究開発の内容	22
4-3-2	実施状況	23
4-3-3	サブテーマ「受信機プロトタイプの研究開発」のまとめ	23
4-4	総括	23
5	参考資料・参考文献	
5-1	研究発表・講演等一覧	24

1 研究開発課題の背景

高度 IT 化社会の進展で電波使用環境は高周波へシフトする傾向にあるが、いわゆる長波から中波帯にかけての電波は標準時刻放送やAMラジオ放送として高い信頼性が支持され使用が継続されている。しかしながら、到達距離が非常に延伸できるというメリットの一方、波長が長いためその受信方式はいわゆる磁界結合（直列 LC 共振）のバー型コイルアンテナの初段部と検波・アナログフィルタ回路を用いる旧態然たるものである。本研究ではバー型コイルアンテナに替えて近年進歩が顕著な磁気インピーダンス素子を使用し、さらには検波以降をデジタルフィルタ処理することで新規の受信システム（受信機）を実現し、普及が期待されながらも小型化や金属ケース化で足踏みしている電波修正腕時計や長年進歩の停滞しているAMラジオに革新をもたらそうというものである。

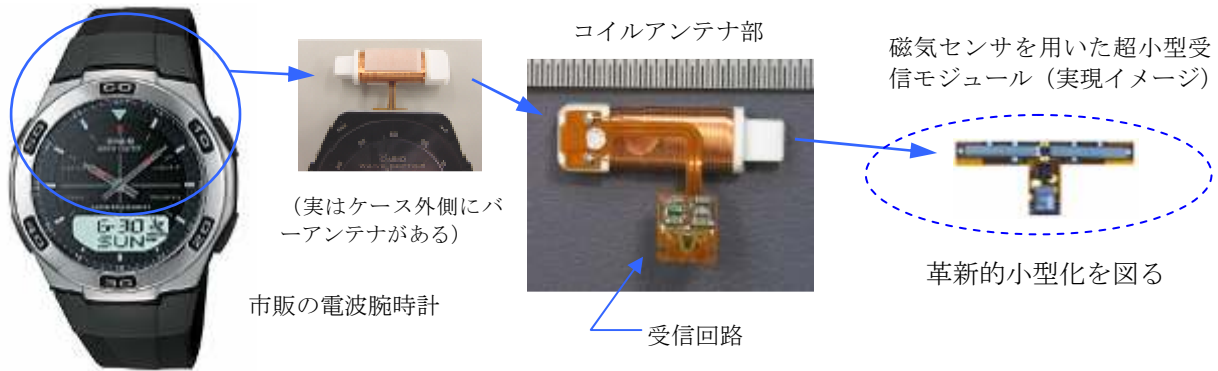


図1 本研究開発で革新的小型化を図る標準電波受信部変革のイメージ

磁気インピーダンス素子とは、高周波電流やパルス波を通電し、外部磁界を印加することで、その透磁率変化を介し、表皮効果および自然共鳴によりインピーダンスが大きく変化する MI (Magneto-Impedance effect) 素子と呼ばれている高周波キャリア型磁界センサ素子のことである。これを薄膜で形成した薄膜磁気インピーダンス素子 (MI) 素子を本研究開発では以降、薄膜型 MI 素子と称する。このような MI 素子を利用した磁界検出素子はその高感度な性能により近年産業界での各種実用化の期待が高まっている。

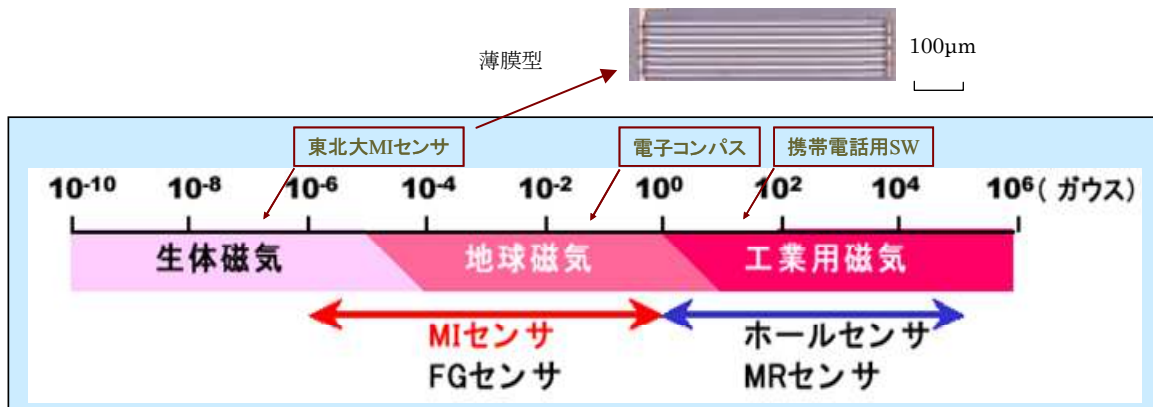
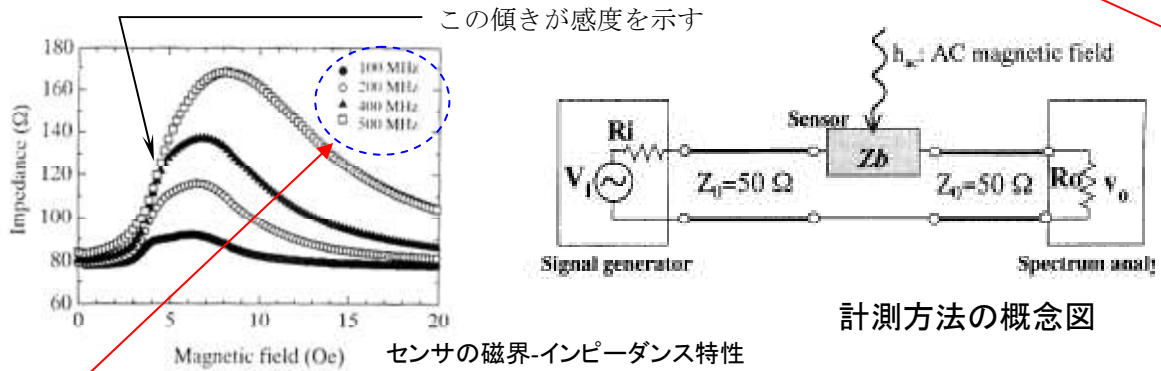
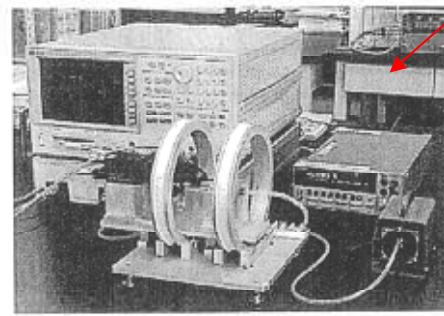
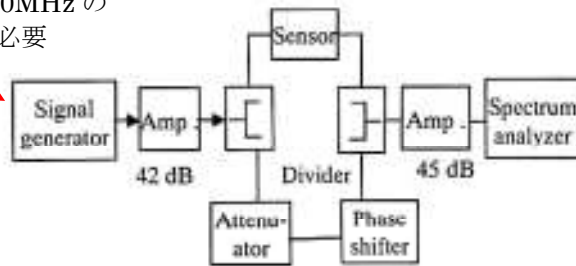


図2 磁界検出素子の感度帯域

しかしながら MI 素子は原理上、所望の感度出力を得るためには、非常に高い周波数の AC バイアスが必要な上、検出においては高精度な測定器を多数使用するような環境が必要であった。



AC100~500MHz の発振回路が必要



実際の計測系のブロック図と写真

図 3-1 MI 素子の計測系および特性

そのような状況に対して我々は一昨年来より新規パルス検出方法を考案し、検出回路のソリッドステート化 (LSI 化) を達成した。また、本構想実現のための高感度化は MI 素子+集磁構造体 の考案で達成の目処が得られている。局所磁界の検出ではなく、あまねく磁界 (標準時刻電波等) の検出なのでこの構成が有効となる。

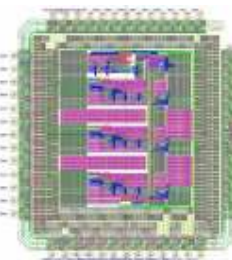


図 3-2 試作した新規パルス検出方式 LSI のレイアウト図

全体構想を要約すると、長波 (標準時刻放送) や中波 (AM ラジオ放送) は高い方でも 1~2MHz オーダの速度であるので、磁気センサが充分応答できる範囲である (波長が長いためもともと磁界結合受信である)。そこへ加えて上記のように近年、磁気検出素子の感度が向上している背景がある。ただし、コイルアンテナ方式と異なり、周波数選択性がなく、広い帯域の信号を捉えてしまうため、なんらかのフィルタ処理が必要である。一方、デジタル技術の進展、LSI 技術の進展でデジタルフィルタでの検波が現実の範囲に入ってきている (ソフトウェア無線機)、磁界センサ+デジタルフィルタによる電波受信機 構想が手の届く範囲に入ってきたという認識に至っている。

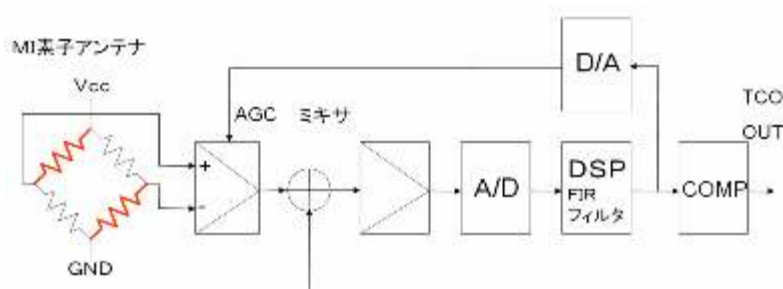
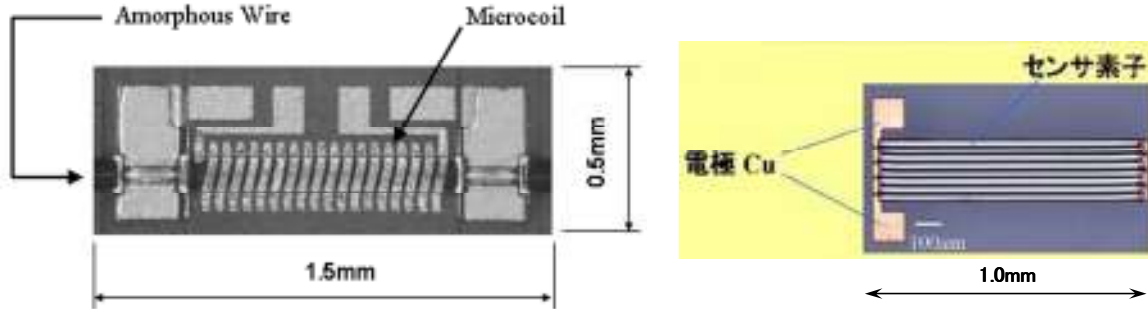


図 4 本研究で構想の受信機の模式的ブロック構成図

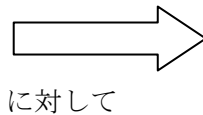
「研究開発分野の現状（国内外および当社での）」

磁気に感度を持つ物質は数多あるが、ソリッドステートタイプを主体に産業上利用可能なセンサとしてはホール素子、MR（磁気抵抗）素子、フラックスゲートセンサ、SQUIDなどが挙げられる。本開発で用いるMI素子は1－研究開発課題の背景の項での表に示したように、近年、室温ではSQUIDに次ぐ高感度を成しえている。

MI素子・高周波キャリア型薄膜磁界インピーダンス素子、すなわちMagneto-Impedance effect素子は、原理的現象が明確に報告され始めたのは90年代初頭であるが、近年さらなる高感度化の研究および実用化検討が続伸されている。この分野の研究では名古屋大学、毛利教授のグループと東北大学における荒井教授（現 石山研究室）のグループがあり、国内での実質上の両雄であった。



アモルファスワイヤ磁性体
名古屋大 Co(SiB)



に対して

薄膜 MI 素子
東北大 $\text{Co}_{85}\text{Nb}_{12}\text{Zr}_3$

- ・ Si-LSI との一体化が可能
- ・ 特性制御が可能
- ・ 外付け磁石不要

図5 各 MI 素子の平面図とその特徴

両者は対象とするマテリアル（名古屋大はワイヤ、東北大は薄膜）や検出原理が根本から異なり、現状学術的意味での感度競争では東北大に軍配が上がる。またアモルファスワイヤが感度特性の自由度がないのに対して、薄膜 MI 素子は感度・感磁界方向等の特性の制御が可能である等の種々のアドバンテージも有する。しかしながら、実用化の点では名古屋大学が一步先んじた形となっていた（方位計等）。東北大の MI 素子においては原理上、所望の感度出力を得るためには、非常に高い周波数の AC バイアスが必要な上、検出においては高精度な測定器を多数使用するような環境が必要であった。それに対して一昨年来よりの弊社と東北大との共同作業において新規パルス検出方法を考案し、その動作確認が成った段階である。検出回路のソリッドステート化（LSI 化）に目処がついたと言える。

一方、弊社でのこれまでの研究に触れると、

- ・ バー型コイルアンテナの開発・改良・革新に取り組んできた(平成 14 年中頃～現在)

布線コイル方式での LF 帯アンテナへの可能性探索を機に、電波修正用コイルアンテナのエンジニアリングに着手。電波受信用 IC では圧倒的市場シェアの三洋電機受信 IC 開発チームとも連携してきた。

磁性コアをフレキシブルなアモルファス材とすることで、従来からの大振りの直線的バーアンテナを細いフレキシブルなもの（円弧状に屈曲可能）まで改良することに成功。平成 16 年、技術リリース後、三洋電機から時計ムーブメントメーカー数社に量産デリバリーを開始している。

- ・ MI 素子と集磁構造の考案(平成 15 年中頃～現在)

バーアンテナの開発過程での解析結果から、「集磁している」というメカニズム解析に到達。

磁気センサ素子での検出・受信の可能性とそのアドバンテージが確認できた。磁性体の近年の急速の進歩（透磁率 μ の長足の向上や周波数応答性の向上）も磁気センサでの標準電波補足という発想の要因のひとつとなっている。

直線的バーアンテナを細い円弧状のフレキシブルなものに改良



図6-1 コイルアンテナ時計筐体内実装の様子

集磁のポイントは体積より長さ

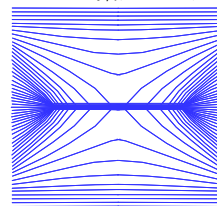


図6-2 アンテナ長手方向を直径とする円柱体空間の磁束を集めている様子

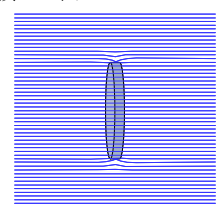


図6-3 平坦な円盤状では集磁しない様子

・MI素子の感度向上、検出回路のソリッドステート化検討(平成16年後半～現在)

MI素子に関わる東北大荒井研(現石山研)との共同作業中、新規パルス検出方法を考案し、その動作確認を達成した。また、平成17年度、薄膜磁気インピーダンス素子を用いたセンサデバイスの実用化を目指し、検出回路のソリッドステート化(LSI化達成。以下MI-ICと称する)および、方位計アプリケーション実現の目処を達成した。また、集磁構造体による感度向上の考案・原理効果確認を達成した。平成18年、同MI素子を応用した電波受信構想(本申請)に着手、先行実験・検討では十分な可能性を支持するデータと計算結果が得られている。また、上記MI-ICのパルス検出方式の改良にも着手した。

新規検出回路パルス方式で高周波方式を凌駕する感度を達成

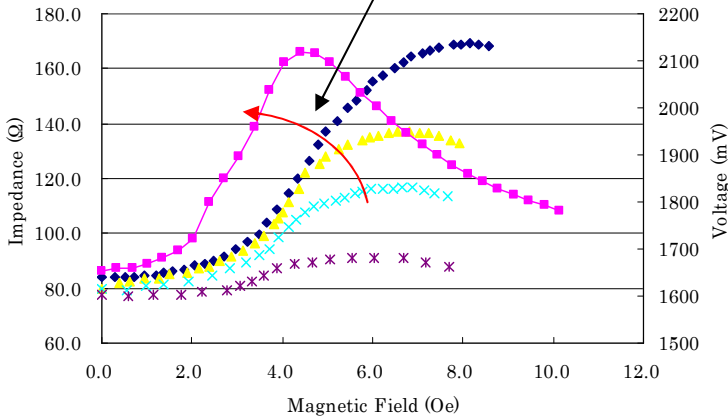


図7-1 パルス方式検出、直流磁界感度



図7-2 試作した薄膜MI素子(単体)

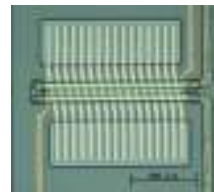


図7-3 試作した薄膜MI素子(オンチップコイル付き)

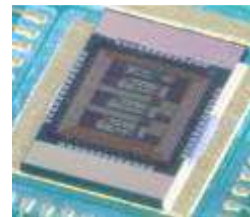


図7-4 新規開発パルス検出方式IC(MI-IC)

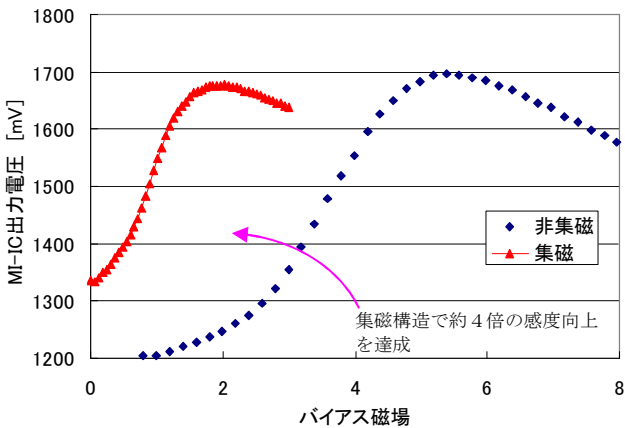


図8-1 集磁構造付加、直流磁界感度(予備実験)

図8-2 MI素子+集磁構造(先行実験)



磁界センサ+デジタルフィルタによる電波受信機についてはこれまで例がなく国内外初の試みとなり、今後の通信技術に一石を投ずる形となろう。検出回路のデジタルフィルタ化に加え、高感度化のためのMI素子+集磁構造体の発想は、単体での感度追求(生体磁気の検出まで可能等)の大学における研究スタンスからは生まれないであろうアプローチである。局所磁界の検出ではなく、あまねく磁界(標準時刻電波等)の検出なのでこの構成が有効となる。産学の発想の融合である。

2 研究開発の全体計画

2-1 研究開発課題の概要

高度 IT 化社会の進展で電波使用環境は高周波へシフトする傾向にあるが、いわゆる長波から中波帯にかけての電波は標準時刻放送やAMラジオ放送として高い信頼性が支持され使用が継続されている。しかしながら、到達距離が非常に延伸できるというメリットの一方、波長が長いためその受信方式はいわゆる磁界結合（直列 LC 共振）のバー型コイルアンテナの初段部と検波・アナログフィルタ回路を用いる旧態然たるものである。本研究ではバー型コイルに替えて近年進歩が顕著な高周波キャリア型薄膜磁界センサ素子を使用し、加えて検波以降をデジタルフィルタ処理することで新規の受信システム（受信機）を実現し、普及が期待されながらも小型化や金属ケース化で足踏みしている電波修正腕時計や長年進歩の停滞しているAMラジオに革新をもたらそうというものである。

本研究開発では、

サブテーマ：

- ・MI 素子集積化の研究開発
- ・デジタルフィルタ部の研究
- ・受信機プロトタイプの研究開発

の実施を通じ、以下の最終目標の達成を図るものである。変革達成イメージについては、本報告書「1 研究開発の背景」中の図「図1 本研究開発で革新的小型化を図る標準電波受信部変革のイメージ」を参照のこと。

2-2 研究開発の最終目標（平成21年5月末）

・薄膜 MI 素子および高感度化（集磁構造体等との集積構造）としては、集磁構造体、プレーナコイルとの集積構造の達成とパルス方式検出 IC の改良版の製作を達成するとともに、特性としては

標準電波対応としては 40、60KHz において受信可能電界強度 $70\text{dB}\mu\text{V/m}$ （以下）の達成。

AM 電波受信対応としては 594KHz（まずは JOAK）において受信可能電界強度 $100\text{dB}\mu\text{V/m}$ （以下）の達成。

の目処をつけることとする。

・受信回路のデジタルフィルタ化においては、標準電波、AM 電波信号の弁別（フィルタリング）機能の達成。

MI-IC とのインターフェース機能（インピーダンス整合、信号通過帯域確保）の達成。を目処とする。

・集磁構造体付き MI 素子とデジタルフィルタ BB を融合させた受信機として機能するセットアップ（受信機プロトタイプ）の項としては、集磁構造体、プレーナコイルとの集積構造をひとつの COB モジュールの形に仕上げることに、性能として、

標準電波対応としては上記電界強度レベルでフィルタリングからタイムコードデジタル出力（TCO 出力）までの受信機能達成。

金属対応として樹脂筐体内との比較において彼我の差がないことの効果を確認する。

AM 電波対応としては上記電界強度レベルでフィルタリングから振幅変調信号の再現出力までの受信機能達成。

受信機プロトタイプとして上記機能を満足し、ユーザデモ可能なものとする。というものである。

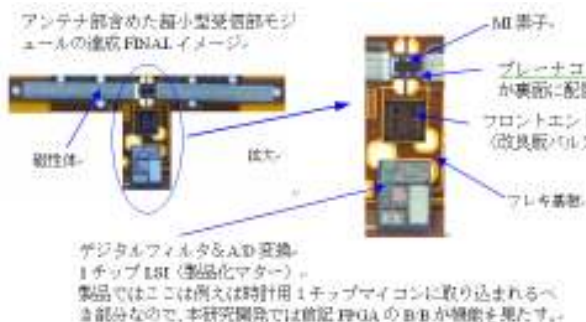


図9-1 超小型受信部モジュール達成イメージ

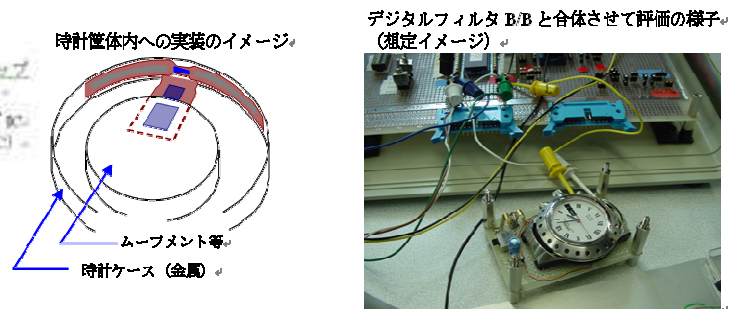


図9-2 受信機プロト・セットアップイメージ

2-3 研究開発の年度別計画

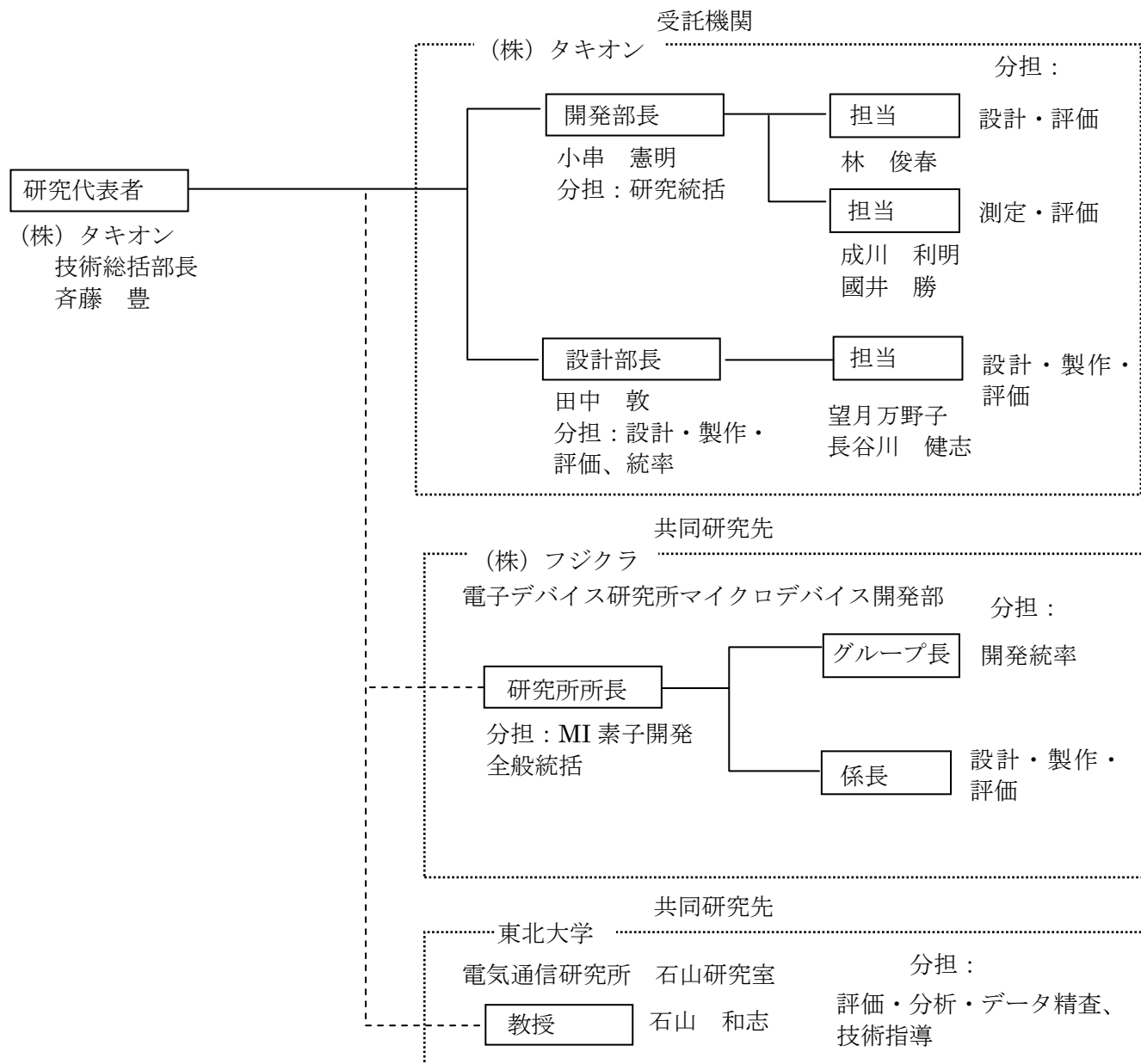
金額は非公表

研究開発項目	H19年度	H20年度	H21年度	計	備考
磁界センサを用いた電波受信装置の研究開発					(再委託は特になし)
1. MI素子集積化の研究開発 集磁構造体の研究 バイアス磁界用プレーナ・コイルの研究 パルス方式・検出回路の改良研究	→			-	
2. デジタルフィルタ部の研究 数値演算・シミュレーション B/Bの製作・評価		→		-	
3. 受信機プロトタイプの研究開発 集積MI素子モジュールの製作 総合評価・まとめ			→	-	
間接経費額	-	-	-	-	
合計	-	-	-	-	

*・・・間接経費は直接経費の20%とし、消費税分と合せて記載した。

3 研究開発体制

3-1 研究開発実施体制



4 研究開発実施状況

本報告書中 7 項に研究開発の全体計画の概要を示したように、1 年 9 ヶ月の期間の中で次の項目・内容にて開発を推進していく。大きくは 3 本の流れ（サブテーマ）があり、1. としては薄膜 MI 素子に関わる部分として集磁構造体・バイアスコイルとの集積や検出 IC のリファインで MI 素子およびそのモジュール部分の研究がある。2. として受信回路のデジタルフィルタ部の研究である。フィルタリングスキーム（積和演算処理）の詳細な検討とハードウェア（B/B）の製作・評価まで行う。3. として 1. の集積 MI 素子をモジュールとし、2. のデジタルフィルタ部との融合を行い、受信機として機能するセットアップ（受信機プロトタイプ）を製作・評価するものである。

4-1 MI 素子集積化の研究開発

4-1-1 研究開発の内容

まず薄膜 MI 素子に関わる部分として集磁構造体と集積する部分の詳細な研究を行う。測定器・専用装置を用いて、交流磁界感度の評価および高感度化（集磁構造体の作成、測定、評価。バイアス磁界用プレーナ・コイルの研究。パルス方式・検出回路 IC のリファイン。）の確立を行う。つまり本サブテーマは以下のさらに詳細な個別項目に分けられる。（研究期間 平成 19 年 9 月～平成 21 年 2 月）

・集磁構造体の研究：

MI 素子のパターン（配置・寸法）・プロセス条件、集磁構造体の各寸法等の因子・水準別に試作製作・評価を行う。

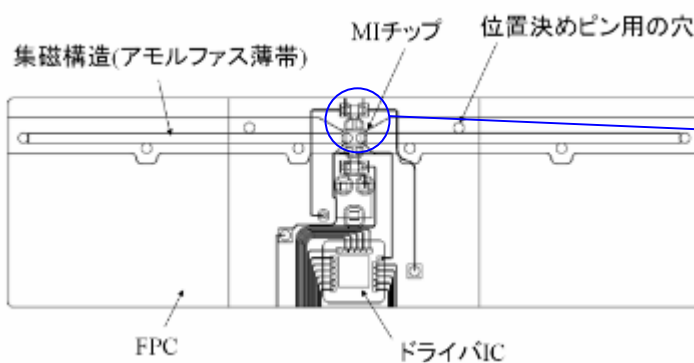


図 10-1 FPC を用いた集磁構造体の構想図面

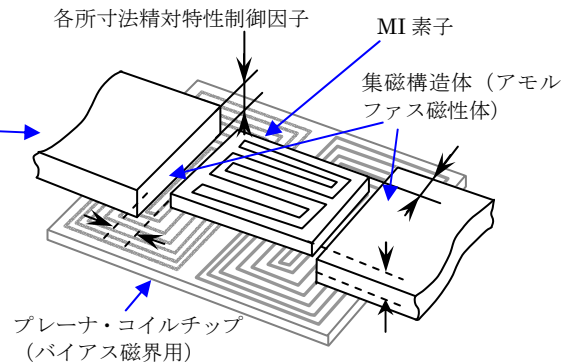


図 10-2 各種構造物の相互関係

・バイアス磁界用プレーナ・コイルの研究：

本構想で用いる MI 素子は感度を得るために、直流磁界バイアスが必要であり、これまでボビンを用いたソレノイドコイルを使用していたが、新たに考案したプレーナ・コイルチップを用い、集磁構造と集積していく。集積した構造体において寸法的な因子・水準（長さ、枚数、厚み、中心ずれ等）について詳細にデータ取得を行う。

・パルス方式・検出回路の改良研究：

検出回路のソリッドステート化を達成した新規パルス方式・検出はさらなる改良（平成 18 年度の当社研究である直交フラックスゲート方式との融合）を行えばさらに高感度化が期待できることが判り、本研究でブレッドボード（B/B）を作成し、リファインのための研究を行っていく。ブレッドボード（B/B）作成後、CMOS 回路設計、SPICE シミュレーション、レイアウト設計を行い、CMOS-LSI の形で IC の製作まで行う。TSMC 0.25 ないし 0.18 μm クラスの Bi-CMOS プロセスを想定している。

上記が、本サブテーマに関し概略、実施計画書記載の実施内容である。

4-1-2 実施状況

上記本サブテーマ・各詳細項目に関し、平成 19 年度の実施状況について下記に記述する。

・集磁構造体の研究：

平成 19 年度：特性評価のための「半導体特性測定器」、試料作成のための機械装置として「ボール

ボンダー」、評価・測定のための「無磁場空間装置」等の導入を完了した。集磁体実装基板1を用いての第1段階の試験を実施した。



図11-1 半導体特性測定器および、それを用いての測定の様子



図11-2 無磁場空間装置および、それを用いての直流磁界感度測定の様子



図11-3 ボールボンダ装置



図11-4 ボールボンダでの試料組立の様子

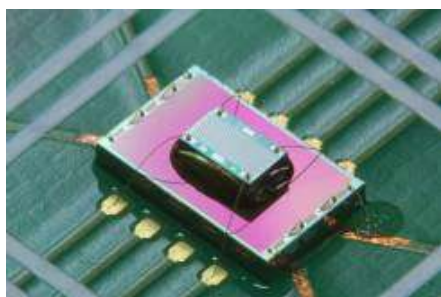


図11-5 微細化プロセス・プレーナコイルチップとMI素子を積層実装した試料

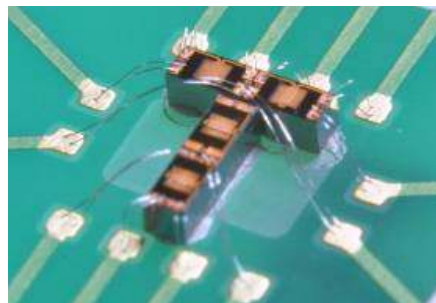


図11-6 WLPコイル一体型MI素子を実装した試料

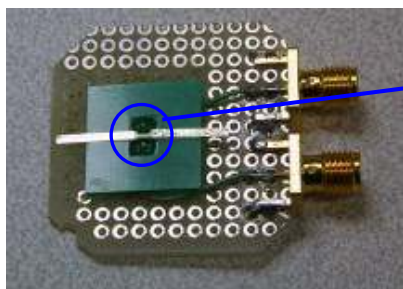


図11-7 交流磁界感度測定のための基板に実装したMI素子



図11-8 集磁実装基板1を用いてのMI素子両端に集磁体構造を近接配置した状態 (MI素子はポッティング樹脂に覆われて見えない)

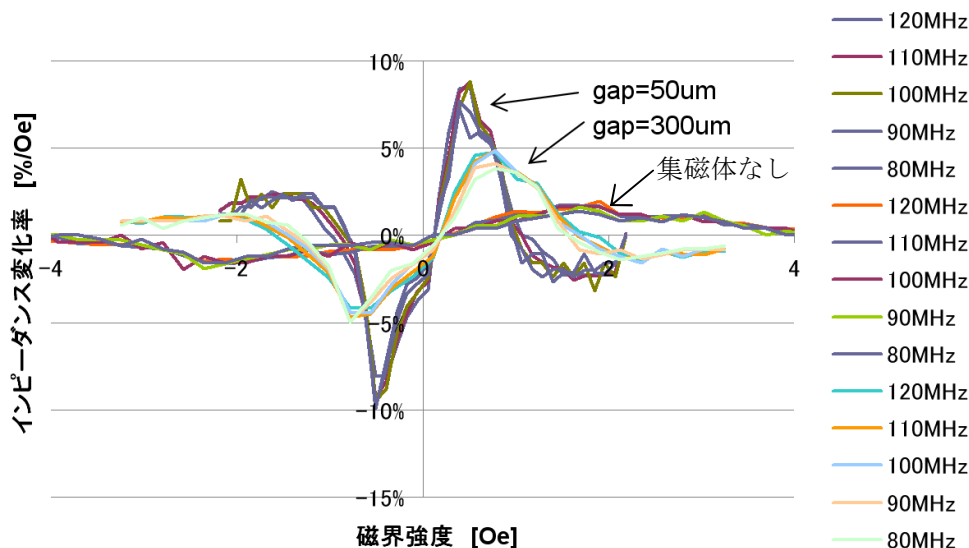


図 1 1 - 9 直流磁界感度・集磁体の効果

集磁構造体付加による効果を確認するため、まずは直流磁界感度の測定を行った。ここではZ（インピーダンス）方式による測定を行った。これら方式の種別については、後述「検出回路の改良研究」の項で解説する。図 1 1 - 9 のグラフ中に示す集磁構造体がない場合の素子感度は、1.33%/Oe（エルステッド）、1.2x11mm サイズのアモルファスを MI 素子端面と集磁体端面とのギャップ距離 gap=300um で実装した場合の素子感度は、4.55%/Oe（効果：3.42 倍）、同 1.2x11mm サイズのアモルファスを gap=50um で実装した場合の素子感度は、10.0%/Oe（効果：7.52 倍）となり、集磁体付加による感度向上の効果が確認できた。このように、ギャップ距離依存性が顕著であることが判った。この時点では、水平面軸方向等のブレは管理していないので、それも含めてこの時点で精度を上げた集磁実装基板を製作する必要が明確となった。

ここで、整理のため本年度、評価試験に供した MI 素子試料について、説明する。

呼称 Type	写真	チップサイズ (mm)	等価回路	抵抗値 (Ω) (Typ.)	コイル有無 タイプ・L値	特徴	供評価時期
Type-I		1.5x2 1ペレットは 3素子入り		300	(なし)	初期の原理確認版 主にZ方式に適す	04年、後半～
Type-II		1.3x2.1		600	(なし)	MIブリッジ回路に使用 Z方式で使用に適す バイアス磁場が必要	05年、中盤～
Type-III		0.7x2.5 1ペレットは 2回路入り		25	あり ソレノイドコイル MIを内包	主にOFG方式に適す OFG方式で使用の場合 バイアス磁場不要 Type-IVより高感度	07年、中盤～
Type-IV		0.6x1.25		12	あり スパイラルコイル MIに密接	主にOFG方式に適す OFG方式で使用の場合 バイアス磁場不要	08年、初頭～

表 1 MI素子試料タイプ別一覧

表 1 に、これまでおよび本年度評価・試験に供した MI 素子を示す。上記図 1 1 - 9 で結果を示した試験では、表中の Type-II を用いている。Type-II が本研究開始時点での最新型であり、単体として基準となる試料である。表中、Type-III ないし Type-IV は後述する「プレーナコイルの研究」および「検出回路の改良研究」の項の研究も関連して作製したもので、同様研究の進展に伴い暫時測定に供していた。

次に、交流磁界においても集磁構造体付加の効果を確認するため、東北学院大学の磁気シールドルームおよび測定装置（東北大学石山研究室の装置が移設されている）を借用し、実験を行った。上記直流

感度試験と同様、まず従来のZ方式による測定を行い、これまでの感度データとの整合性確保（コリレーション）の意味から同所の設備、測定器を使用した。今後、設備・装置の整備に伴い、社内での評価も可能となり、またそれが主となる予定である。

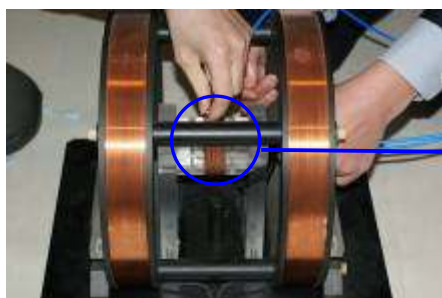


図 1 1 - 1 0 交流磁界感度測定、バイアス用ヘルムホルツコイル（東北学院大磁気シールドルーム内）

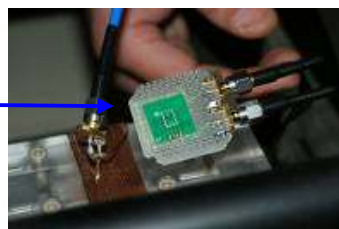
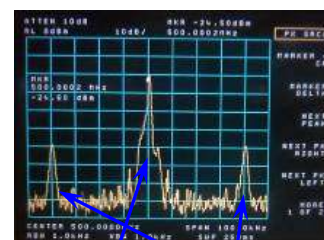


図 1 1 - 1 1 MI素子部分



キャリア 側波帯

図 1 1 - 1 2 測定データの例

図 1 1 - 1 0～1 2 に測定の際の様子を示す。

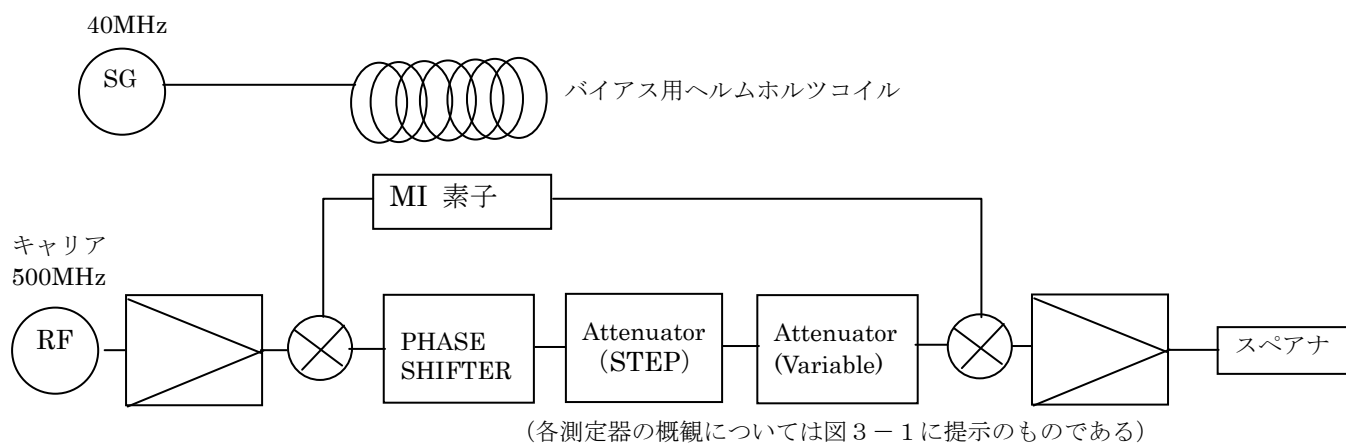


図 1 1 - 1 3 測定系統図

図 1 1 - 1 3 に測定系統図を示すが、キャリア周波数 500MHz にて、交流磁界 40KHz に対する感度を測定した。試料は前記の直流磁界感度測定同様、Type-II を使用した。

Sample (厚みx巾x長さ mm)	AC level [V]	level [dBm]	floor_noise [dBm]	margin [dB]	計算感度		感度向上 集磁なし を1として
					sensitivity [Gauss]	sensitivity [Tesla]	
集磁なし	1	-75	-120	45	8.11E-05	8.11E-08	1.00
Amo 0.02x1.2x11	1	-64	-120	56	2.28E-05	2.28E-08	3.55
Amo 0.02x1.2x22	1	-68	-120	52	3.62E-05	3.62E-08	2.24
Ferrite 0.3x1.8x5.5	1	-67	-120	53	3.23E-05	3.23E-08	2.51
Ferrite 0.4x1.8x7.7	1	-65	-120	55	2.56E-05	2.56E-08	3.16
Ferrite 0.4x3.1x9.6	1	-66	-120	54	2.88E-05	2.88E-08	2.82

表 2 シールドルーム交流磁界測定結果

表 2 に測定結果を示す。表中、集磁構造体付加による感度向上として、例えば Amo 0.02x1.2x11 (Amo : アモルファス磁性体、Ferrite : フェライト磁性体のそれぞれ略。特性等に関しては後述する) の付加で 3.55 倍を示すが、Amo0.02x1.2x22 では逆に 2.24 倍に留まっている。これは逆センスであり、これはこれら試料間で磁性体の取り付け手法が異なっており (Amo 0.02x1.2x11 や Ferrite0.4x1.8x7.7 が実験室で顕微鏡を用いて取り付けてきたのに対して、Amo 0.02x1.2x22 や Ferrite0.4x1.8x9.6 が現場での肉視による手付けであったこと)、その結果ギャップ精度の管理が不十分であったためと考えられる。今後はこのような不確定要因を排除した測定を行う。

・バイアス磁界用プレーナ・コイルの研究：

平成19年度：設計ツールを導入し、微細半導体プロセスを用いたプレーナコイル・チップの設計・製作を完了し、評価を実施した。上記同様、試料作製、評価のための導入した「ボールボンダ」、「半導体特性測定器」等を活用した。改良版 WLP コイル一体型 MI 素子 (WLP 1 : 表 1 での MI 試料 Type-III、WLP 2 : MI 試料 Type-IV) の評価を実施した。



図 1 2 - 1 設計ツールを用いてコイルチップ設計の様子

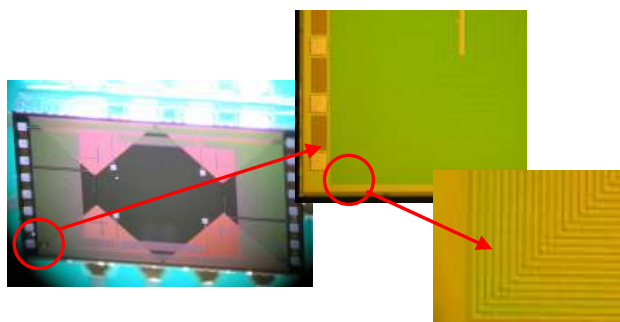


図 1 2 - 2 プレーナコイル・チップの写真

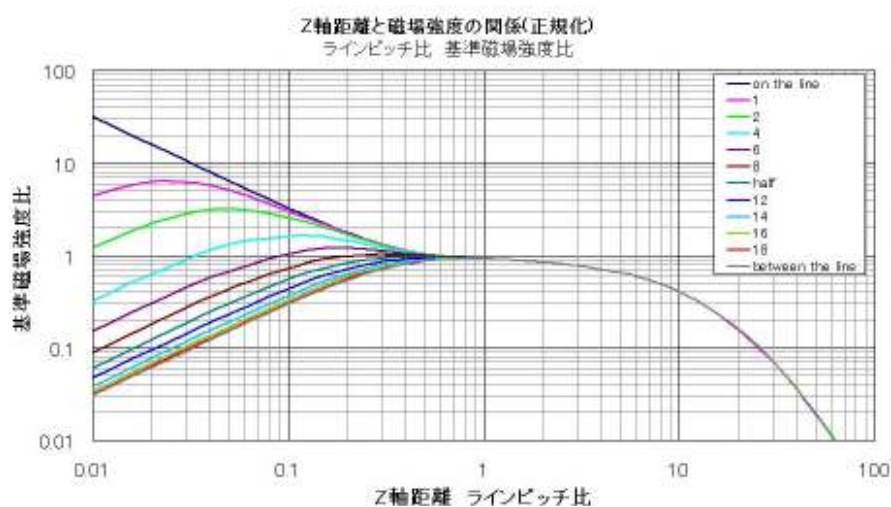


図 1 2 - 3 コイルピッチと磁場強度の関係

本プレーナコイルの研究の項として、コイル形成に当たっては、微細半導体プロセスを用いた手法と WLP プロセス（用語の解説は本章末に記載）を用いた手法の 2 つを対象とした。後述するように、WLP プロセスを用いて作成したコイルがピックアップコイルとして機能することが確認できた。

一方、微細半導体プロセスを用いたプレーナコイル・チップの初回試作品（図 1 2 - 2 に外形、金属顕微鏡写真を示す）においては想定した磁界を発生するには至らなかった。原因は想定していた Metal 配線の抵抗値 $0.01 [\Omega/\text{単位平方}]$ が実測すると最大で $0.13 [\Omega/\text{単位平方}]$ であったためであり、必要な電流を流すことができていないためと考えられる。抵抗値の見積りは最小線幅におけるパラメータの変化（サイドエッチ等）の考慮不足であった。また今回の実装精度ではコイルと MI 素子が約 $700 \mu\text{m}$ 離れているのも一因である。これに関連して、上記図 1 2 - 3 に示すようにコイルピッチ間の磁場分布シミュレーションを行った結果、コイルピッチの $1/10$ の距離ではコイル上とコイル中間では 10 倍ほどの磁場のばらつきが生じるが、コイルピッチの 60% 以上離れた場合はほぼ平坦な磁場となることも判った。このことは、コイルと MI 素子は当然近づけていけないが ($700 \rightarrow$ 数 $10 \mu\text{m}$)、近づけ過ぎても今度はバラツキが生じるということの意味している。今回の試料は特性として想定した磁界強度が得られていないが、再設計・製作に向けた数値的な指針、すなわち、線幅、ピッチ、実装精度を得ることはできたと考えている。

・パルス方式・検出回路の改良研究：

平成19年度：従前 MI-IC を用いた TEM-CELL での試験、WLP コイル一体型 MI 素子での試験、新規検出方式（直交フラックスゲート方式：以降、新規 OFG 方式と称する）の第1段階の試験を実施した。



図13-1 旧MI-IC、TEM-CELLを用いた実験の様子



図13-2 コイル駆動装置と評価試作基板A

従前 MI-IC を用いた TEM-CELL での試験結果は、従前 MI-IC 自身のノイズレベルが大きく、従前 MI-IC はそのままでは本研究での使用に適さないことが判った。新規検出回路開発と併せて同回路の LSI 化が必須であることが確認でき、計画通り、平成20年度実施予定である。

ここで、今回検討した新規検出方式（直交フラックスゲート方式）について説明する。

これまでの研究においては、Z方式（インピーダンス方式）を基本に主には以下の2つの検出方法を用いていた。

- ・高周波キャリア方式（位相スプリットが必要で東北大で実施している測定器のセットアップが必要）
- ・パルス方式（旧 MI-IC、ノイズの改良が必要）

これに対して、今回、通常のトロイダルコイルを用いたフラックスゲート方式が励磁磁界方向と測定磁界方向が並行しているのに対して本方式は直交していることから、直交フラックスゲート方式、OFG：Orthogonal Flux Gate、として

- ・新規 OFG 方式

と我々が呼称する方式の検討を実施した。

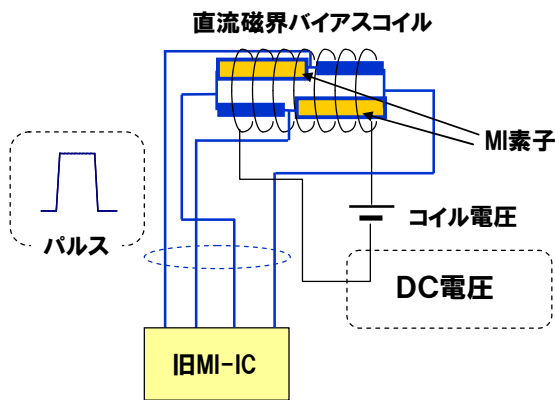


図13-3 旧MI-ICを用いたパルス方式の模式的検出回路ブロック図

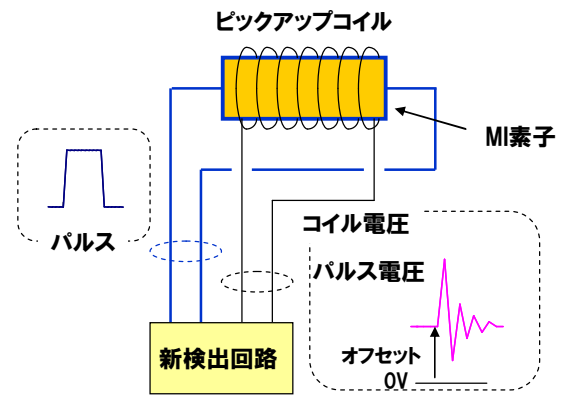


図13-4 新規OFG方式を表す模式的検出回路ブロック図

動作原理として MI 素子の物性的挙動については割愛するが、新規 OFG 方式は磁束の時間的変化をピックアップ電圧として検出する方式であり、図13-3と4に検出側から見た両者の違いを示す。最も大きな違いはコイルへ印加する電圧がパルスであるかDCであるかの点になる。新規 OFG 方式は DC 電圧で発生させるバイアス磁界が不要であるが、ピックアップのためのコイルは同様に必要である。ただし、同コイルに要求される特性が異なるため、例えばインダクタンス値で言えば、新規 OFG 方式ではコンマ数 μH 程度で良く、一方直流磁界バイアス用で要求される数 mH （直流抵抗は両者とも数 $10\ \Omega$ 以下が望ましい）である点と異なり、WLP によるオンチップコイルで形成が可能という利点がある。

以下が得られる波形の模式図であり、グラフ中矢印で示した波高値が磁気感度を表す。

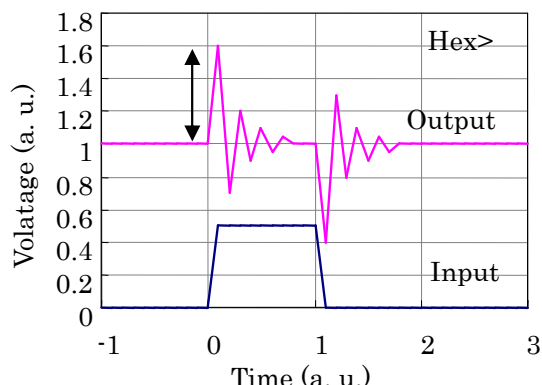


図 1 3 - 5 新規 OFG 方式での検出波形、正電圧側の例

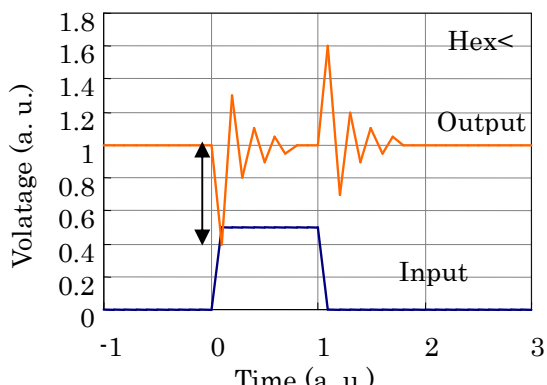


図 1 3 - 6 新規 OFG 方式での検出波形、負電圧側の例

本年度は WLP コイル一体型 MI 素子 (Type-III および IV) を用いて、新規 OFG 方式による検出の第 1 段階の試験を実施した。試験に当たっては、図 1 3 - 2 に示すように、年度内設計・製作の素子評価試作品 (評価試作基板 A など)・試作装置 (コイル駆動装置など) 等を用いて実施した。

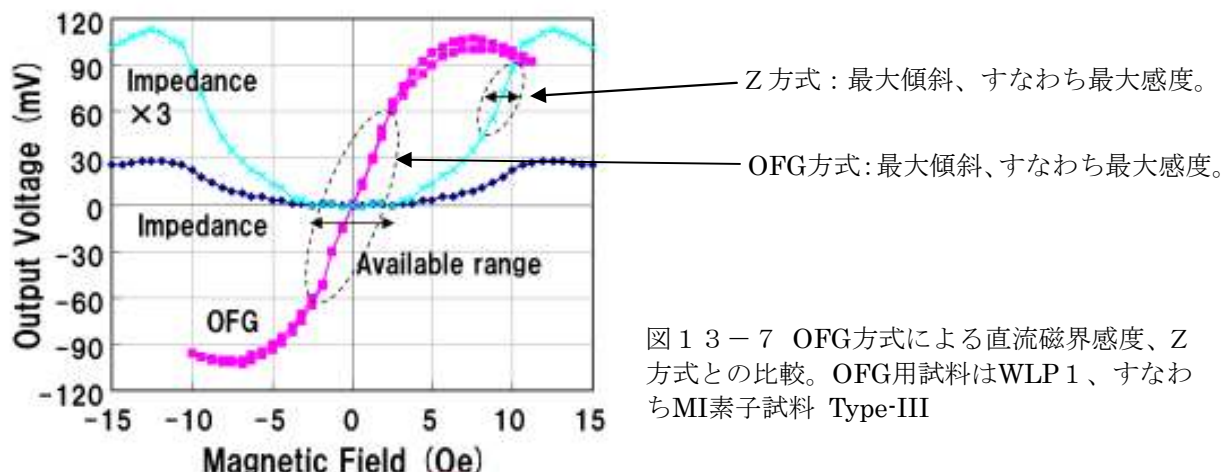


図 1 3 - 7 OFG 方式による直流磁界感度、Z 方式との比較。OFG 用試料は WLP 1、すなわち MI 素子試料 Type-III

図 1 3 - 7 に OFG 方式による直流磁界感度を Z 方式との比較を実験値で示す。図中、Impedance と表記したプロットが Z 方式でのデータであるが、ゼロ磁界近辺に極小点があり変化率ゼロとなる。したがって、良好な感度を得るためには、図中に示したような最大傾斜すなわち最大感度のところに直流磁界バイアスを加える必要がある。それに対して OFG と表記したプロットが OFG 方式であり、負電圧側から正電圧側へ連続して変化している。最大傾斜すなわち最大感度で使うに当たって直流磁界バイアスは不要であるという特徴を有する。ここでは感度 25.1 mV/Oe が得られている。対して同等サンプルの Z 方式による感度であるが、上記で説明してきたように、Z 方式での感度が $\%/Oe$ で表されるのに対して、OFG 方式では mV/Oe となり、これは厳密には規格化して同じ単位にはできないが、ここでは両者の傾向の違いを示すため、あえて併記した。グラフ中 Z 方式のデータに関しては、最大傾斜で、 $4.3\% /Oe$ 、ただしこれは 3 素子シリーズなので、単体では約 $1\%/Oe$ として、 $3V$ 電源電圧として 30mV/Oe と算出できる。Z 方式と OFG 方式とではここで用いている指標が異なり (Z 方式は素子出力であるのに対し OFG 方式は回路出力)、直接の比較はできないが、一つの目安としてほぼ同程度の感度測定が可能であると判断される。

続いて、OFG方式において、集磁構造体付加の効果確認の実験を行った。実験に先立っては、前記「集磁構造体の研究」の項での直流磁界感度測定も同様であるが、先んじて集磁構造体用の磁性体の準備を行った。次の表3に示す材料を用意し、本年度は次の表4に示すような寸法に加工し、実験に使用した。

フェライト	アモルファス	
戸田工業株式会社 低温焼結Ni-Zn-Cuフェライト フェロキサイド焼結体 密度：3.5g/cm ³ 引っ張り強度：18MPa 焼成温度：900℃ 焼結密度：5.13g/cm ³ 透磁率：112(10MHz) 110(1MHz) 複素透磁率：1(10MHz) Q：78(1MHz) キュリー温度：300℃	東芝マテリアル株式会社 Fe-Si-B-Nb-Cu 薄膜非晶質磁性体 密度：7.3g/cm ³ 初透磁率：17000(10kHz) 飽和磁束密度：1.23T 残留磁束密度：0.62T 保磁力：2.5A/m 抵抗率：1.2uohm・m キュリー温度：570℃	アモルファス薄体の短冊の様子 

表3 集磁構造体用に用意した磁性体の諸特性

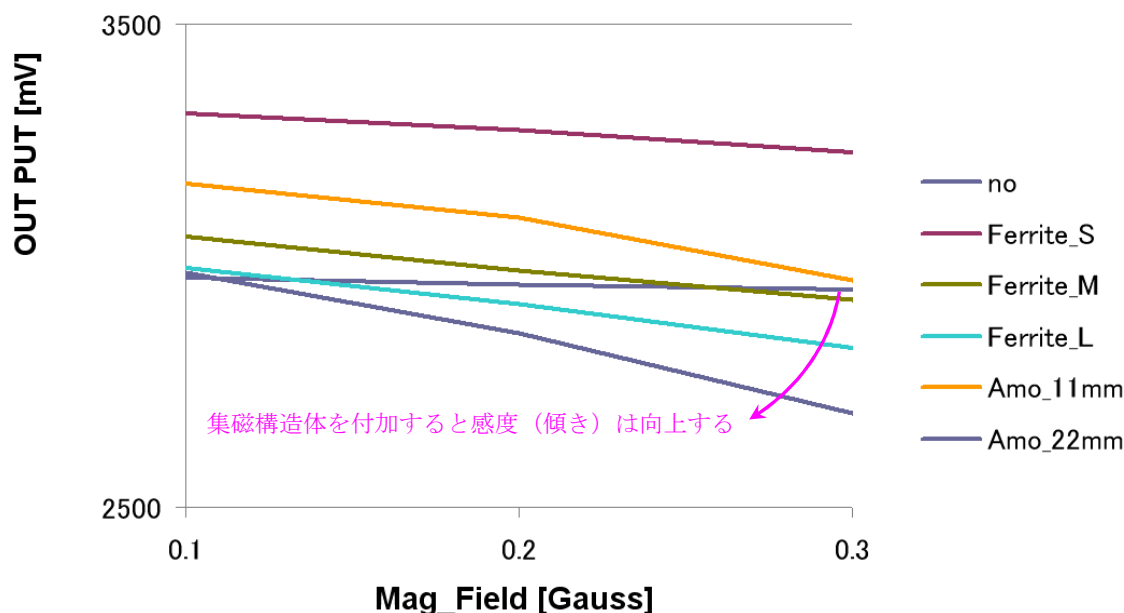


図1 3-8 OFG方式による直流磁界感度、集磁体付加効果、試料は Type_IV

試料	付加集磁体寸法 (厚x巾x長さmm)	ゼロ磁場付近感度	感度上昇率
no(集磁なし)	(集磁体なし)	128mV/Oe	
Ferrite_S	0.3x1.8x5.5サイズ フェライト	396mV/Oe	3.09倍
Ferrite_M	0.3x1.8x7.7サイズ フェライト	590mV/Oe	4.61倍
Ferrite_L	0.4x3.1x9.6サイズ フェライト	640mV/Oe	5.00倍
Amo_11mm	0.02x1.2x11サイズ アモルファス	748mV/Oe	5.84倍
Amo_22mm	0.02x1.2x22サイズ アモルファス	933mV/Oe	7.29倍

表4 各試料の集磁構造体寸法および感度

図1 3-8に OFG方式における直流磁界感度の集磁構造体付加効果を示す。Z方式と同様に感度向上の効果が確認できた。図中のグラフの数値結果を表4にまとめた。アモルファス磁性材の厚さは片面絶縁層を含め20umに過ぎず、集磁体としての体積は圧倒的にフェライトが大きく、磁気抵抗も低いとみるべきだが、アモルファス磁性材をつけた場合のほうが感度が良好であり、MIセンサと集磁構造磁性体を含めた磁気回路の磁気抵抗が空間全体に対し低いほうがMIセンサを通る磁束が増えるためと考えた。このデータが示す限りでは、感度向上へは、材料に関してはアモルファスを使用するのが望ましく、同じ材料同士においては長さ等寸法の影響はあるが、傾向は明言できないというものである。今後

傾向を明確にし、かつ裏付けるデータの積み上げを行い精査していきたい。本年度段階では、まず上記5種類の寸法、材質の因子・水準で集磁構造体付加の効果を大網で測定したものであるが、もちろん、それぞれの材料で因子・水準をさらに深耕しての測定はこれからである。加えて、アモルファス材料を積層した効果について、またフェライト材料の交流特性の詳細の評価についても今後検討を進める予定である。

なお、今回のMI試料はType_IVを使用しているが、ここでType_IVのウエハー内面付けにおける因子・水準の一部の次の表5に示す。

番号	MI結線型名	チップ内テキスト	素子巾 (μm)	間隔 (μm)	ターン数	素子長さ (μm)	コイル ターン数	チップサイズ (μm 角)
1	double	2-2 R1C1 8N	20	20	1	500	8	700
2	double	2-2 R1C1 12N	20	20	1	500	12	700
3	double	2-2 R1C1 16N	20	20	1	500	16	700
4	double	3-2 R1C1 17	30	20	1	970	17	1400
5	double	3-2 R1C1 25	30	20	1	970	25	1400
6	double	3-2 R1C1 36	30	20	1	970	36	1400
7	double	2-2 R1C1 8W	20	20	3	500	8	700
8	double	2-2 R1C1 12W	20	20	3	500	12	700
9	double	2-2 R1C1 16W	20	20	3	500	16	700
10	double	3-2 R1C1 17	30	20	3	970	17	1400
.
123	bridge	3-2 xx 12N	30	20	0.5	500	12	700
124	bridge	3-2 xx 12N	30	20	1	500	12	700

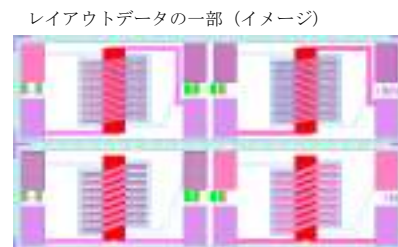


表5 Type_IV 因子・水準 割付表 (部分)

表5に示したように、Type_IV試料のMI素子の巾や長さなどの因子・水準において、全てでは124種類ときわめて多数となりそのすべてを評価することは不可能である。そこでポイントとなる因子を抽出・評価し最短の時間で最適特性を探し出せるよう、注意深く検討を行う。本報告では検討の緒に就いた段階であり数か所の点を評価した段階である。したがって、上記図13-8のグラフにおいて大網的には「磁性体の寸法、特に長さの影響も大きそう」と解釈もできるのであるが、裏付けは不十分である。試料の因子・水準も多数ありこれらも踏まえて、総合的分析を通じ、最終的には最適な制御因子・設計指針を数値で確定していく予定である。

ここまですを少しまとめると、第1段階の試験として、OFG方式においても、集磁構造体付加による感度向上効果がZ方式同様に確認できた。前述したように集磁体を近接設置するにあたってのギャップ精度の制御、材質の選定が大事であることが判った。今後、定量的数値を把握する実験を行い、最終目標に向けて、検出回路方式、デジタルフィルタ部の研究と合わせて達成を目指すものである。

一方、新たな発案として、MI 素子自身を並列共振回路に組み込んだ自励発振回路を構成し、交流磁界検出の可能性を探った。

印加磁界によるインピーダンス変化において、リアクタンス成分が大きく寄与する場合は周波数変調の形で、抵抗成分が寄与する場合は振幅変調の形で取り出す方が高感度となる。それぞれの場合について変調から復調回路までの構想を行った。

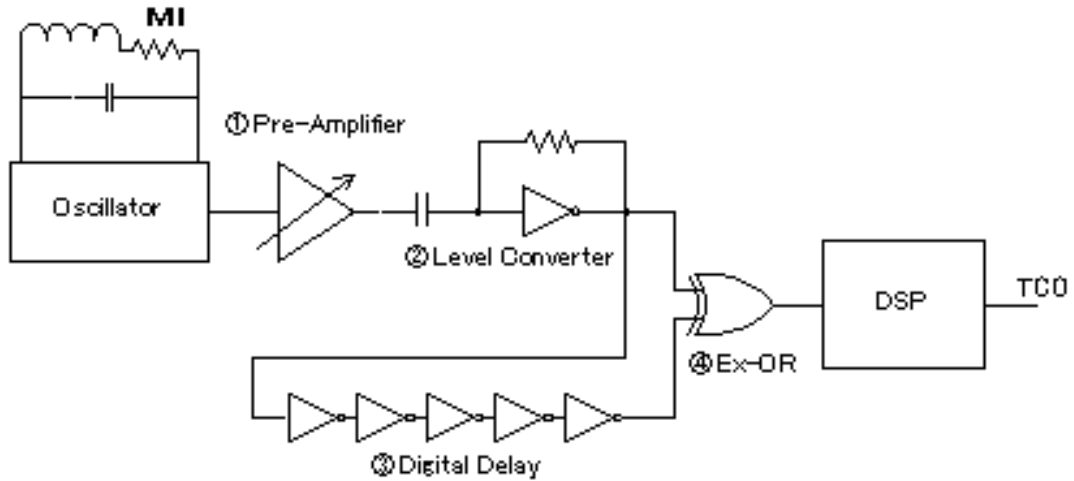


図 13-9 周波数変調／復調方式による信号処理ブロック図

図 13-9 に周波数変調／復調方式による信号処理ブロック図を示す。MI 素子を含む発振回路（図中「Oscillator」部は、通常のコルピッツ発振回路に手を加え、かつ高 f_T のトランジスタを使用した自励発振回路である）の出力を、①プリアンプにて増幅し、②レベルコンバータによりデジタルパルスに変換する。一方、これに③デジタルディレイで遅延を加えたパルスも作り、両者の④Ex-OR を取る。これにより、周波数が変化するに従って粗密が変化するパルス列が得られるので、後段の DSP 処理を行って TCO 信号を作る。

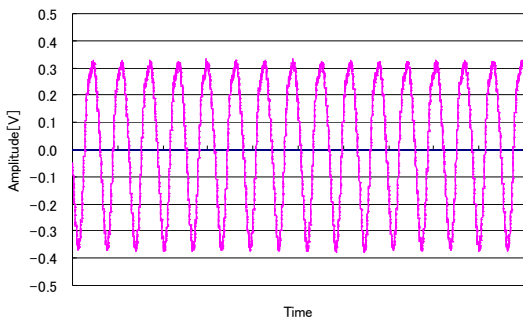


図 13-10-1 自励発振波形 (Time ドメイン)

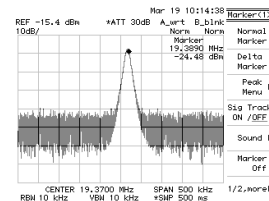


図 13-10-2 自励発振スペクトル (無変調時) (Frequency ドメイン)

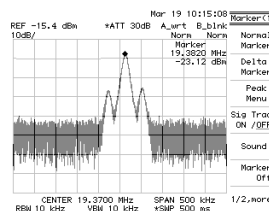


図 13-10-3 自励発振スペクトル (40kHz振幅変調時) (Frequency ドメイン)

上記自励発振回路は、条件が揃うと一定周波数の発振信号を出力する。実測例として、図 13-10-1 に発振波形、図 13-10-2 にそのスペクトルを示す。構成する素子のインピーダンスが変化することによって、発振波形の振幅と周波数が変わる。MI 素子のインピーダンスは印加する交流または直流磁界の強さに比例して変化するので、この構成部品として MI 素子を組み込むことにより、原理的には発振波形の変化を利用して磁界センサとして動作させることが可能となる。基本実測例として MI 素子組込後に試みに 40kHz の交流磁界を印加した場合、図 13-10-3 の様な振幅変調スペクトルを得た。これは本原理による交流磁界検出の可能性を示すものと言える。

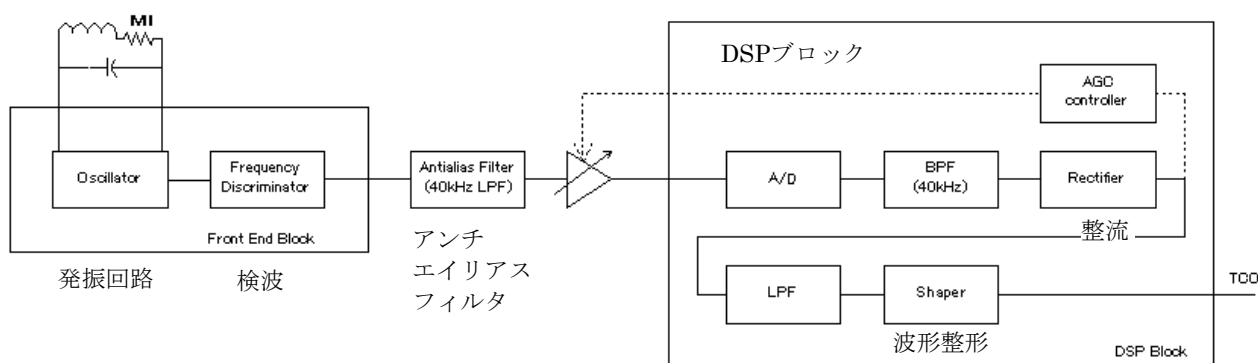


図 1 3 - 1 1 振幅変調／復調方式による信号処理ブロック図

図 1 3 - 1 1 に、振幅変調／復調方式による信号処理ブロック図を示す。フロントエンドブロック内で、MI 素子を含む発振回路の出力を検波し、その後アンチエイリアスフィルタに通してから適切なゲインで増幅を行い、DSP ブロックの AD 変換器に入力する。さらに数値的に所望周波数の BPF、整流、波形整形処理を行って、TCO 信号を作る。現在、40kHz の交流磁界を印加することで発振波形の振幅および周波数の変化として取り出せる可能性は確認できたが、感度の確認は今後の予定である。

動作原理及び計算方法について東北大学石山教授ともディスカッションを行い、原理的な問題は無く、自励発振による検証例は少ないので、引き続き検討を行いその有用性を検証すべきであるとの知見・アドバイスを得ている。今後、交流磁界感度および分解能自体の検証を行い、本自励発振による MI センサ駆動回路方式が本研究において引続き追及すべき方式か否かの見極めを行っていく。

4 - 1 - 3 サブテーマ「MI 素子集積化の研究開発」のまとめ

本サブテーマに関し、各詳細項目別に平成 1 9 年度の達成度と平成 2 0 年度の実施予定をまとめる。

・集磁構造体の研究：

平成 1 9 年度：試料作成のための機械装置として「ボールボンダー」、評価・測定のための「無磁場空間装置」等の導入を完了した。集磁体実装基板 1 を用いての第 1 段階の試験を実施した。機械装置等の導入において納品までの時間を要したため、達成度として 7 0 % (本年度の予定に対して) 程度と捉えるが、ただしその代わり「パルス方式・検出回路の改良研究」について、新規 OFG 方式の研究が予定より進捗しており、計画全体での遅延は生じないと見通している。

平成 2 0 年度：集磁体実装基板の改良設計・製作 (実装基板 1 とは大きく変更する可能性がある。バーニヤないしマイクロメータを付加し、 μm 単位で 3 次元で位置制御が可能なものを考えている) を行い、各構造体位置関係の精度を上げた第 2 段階の試験を実施し、サブテーマ 3 における集積 MI 素子モジュール基板の設計に反映する。

・バイアス磁界用プレーナ・コイルの研究：

平成 1 9 年度：WLP コイル一体型 MI 素子での試験を実施した。半導体プロセスを用いたプレーナコイル・チップの設計・製作を完了し、評価を実施した。改良版 WLP 2 コイル一体型 MI 素子 (Type-IV) の評価も実施した。プレーナコイル・チップの初回試作品では期待した性能が得られていないが、次期試作品での設計指針が得られた。また WLP コイルが思いのほか最初から良い特性を示しており、期待ができる。達成度としては、プレーナコイルでの特性が想定どおりでなかったことで減点したとしても、WLP コイルでは Type-IV まで評価できたのと併せて、1 0 0 % (本年度の予定の作業量に対して) と捉えるものである。

平成 2 0 年度：上記プレーナコイル・チップに関し改良版チップの設計・製作を実施する。また、上記「集磁構造体の研究」、下記「パルス方式・検出回路の改良研究」と相互に関連しているが、新規 MI 素子の設計・製作を行い、評価を実施する。すなわち新規 MI 素子とは例えば、1 9 年度は単体の評価にフォーカスしたが、アレイ状にして感度向上を図るなどである。2 0 年度の実施項目では再トライの微細化プロセス使用プレーナ・コイルに関し、これまでと逆にコイル形成後に WLP プロセスにて MI 素子を後付けで形成する構成 (構造) 等で精度の向上と再現性の確保を構想している。

・パルス方式・検出回路の改良研究：

平成 1 9 年度：従前 MI-IC を用いた TEM-CELL での試験、WLP コイル一体型 MI 素子での試験、新規検出方式 (新規 OFG 方式) の第 1 段階の試験を実施した。予定より作業が進展すると同時に良好

な結果も得られているが、集磁構造体との組合せにおいて、特性に影響する寸法などの因子寄与率を裏付けるデータの積み重ね・解析が不十分であると認識し達成度として80%と捉える。

平成20年度:新規 OFG 方式の第2段階の試験(感度向上および制御因子把握)を実施し、CMOS-LSI 化のための回路設計・シミュレーション・レイアウト設計・データ検証・マスク製作を実施する。自励方式については見極めを踏まえた上でZ方式を想定した回路要素と併せて同 CMOS-LSI の TEG に盛込みたい。年度内には、半導体プロセス流動を行い、チップ製作まで遂行し、評価を実施する。

上記全般をまとめると、達成度としては「集磁構造体の研究」について70%、「パルス方式・検出回路の改良研究」について80%としたが、新規 OFG 方式の研究などが作業量としては予定より進捗しており、トータルではほぼ予定通り、通年での計画全体に対する遅延は生じないと見通している。

[解説]

「WLP 技術とは」WLP : Wafer Level Packaging の略である。CSP や BGA 向けの再配線層形成技術に使われたことからこのようなネーミングとなっているが、判りやすく説明すると、CMOS-LSI などが形成された基板(ウエハー)上に追加工程で以下に示すような低抵抗の多層配線を形成する技術である。いわゆる MEMS (Micro-Electro-Mechanical System) 技術と分類されることもある。

本研究では、MI素子およびコイル(磁気バイアス用ないし OFG 検出方式用パルス印加用コイル)の形成に応用して使用した。

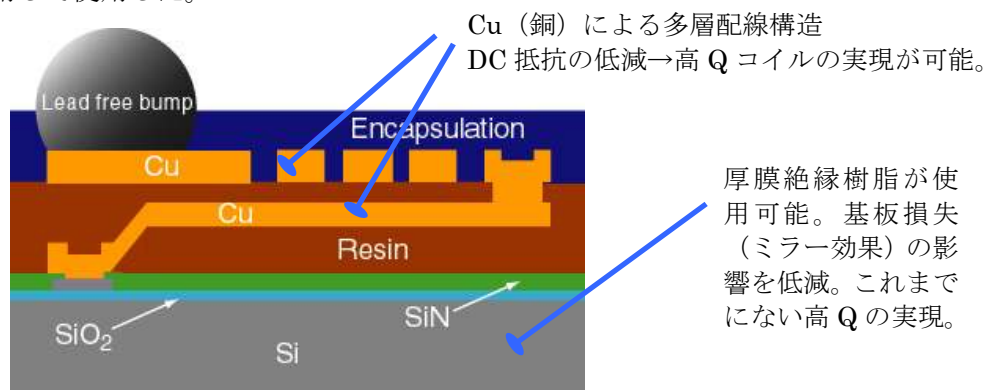


図 1 3 - 1 2 WLP の特徴を現す模式的断面図

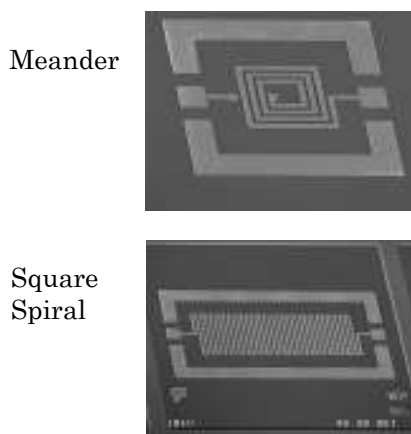


図 1 3 - 1 3 WLP によるコイル形成例 : SEM 写真

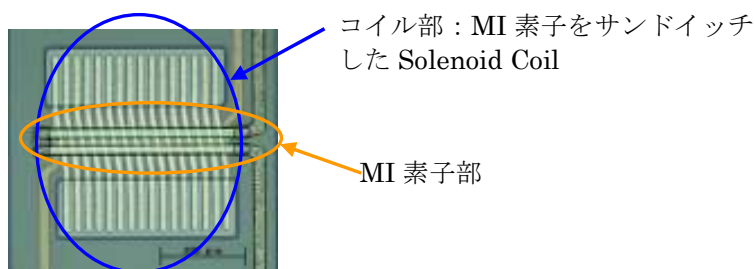


図 1 3 - 1 4 本研究中記載の WLP コイル付き MI 素子 (WLP1 と称しているもの、表 1 MI 素子試料一覧では Type-III とするもの。)

これに対して、本研究中「プレーナコイルチップ」としているものは近年の進展した微細化プロセスの恩恵に浴した微細ピッチの線幅を利用しようとするものであり、本年度のデバイスは $0.18 \mu\text{m}$ 、Metal 6 層プロセスを使用した。上記 WLP に比べて格段に微細ピッチにできることから同じ電流であればより高磁界密度の発生を期待した。一方、通常の Metal 配線であるため単位長さあたりの抵抗値は大きくなってしまふ。前述した実装精度の改善と併せて線幅ピッチの最適値の計算を踏まえて、再試作を行う。WLP コイル使用との見極めもいずれ必要と考える。

4-2 デジタルフィルタ部の研究

4-2-1 研究開発の内容

受信回路のデジタルフィルタ部の研究を行う。まずフィルタリングスキーム（積和演算処理）の詳細な検討（計算・シミュレーション）を行い、ハードウェアの設計・設計製作・評価を行っていく。（研究期間 平成19年12月～平成21年3月）

具体的には、デジタルフィルタの数値演算、シミュレーション、測定器ベースでの回路ブロック検証を行い基本原理動作の確認後、FPGA を用いてブレッドボード（B/B）を設計・製作し、詳細に測定・評価を行っていくものである。

上記が、本サブテーマに関し概略、実施計画書記載の実施内容である。

本サブテーマも、

・数値演算・シミュレーション
および

・B/B の製作・評価

の2つの詳細項目から成る。

4-2-2 実施状況

上記本サブテーマ・各詳細項目に関し、平成19年度の実施状況について下記に記述する。

・数値演算・シミュレーション：

平成19年度：数値演算ソフトおよびFPGAの機種検討・選定を実施した。フィルタリングスキーム初期検討を実施した。数値演算ソフト（シミュレータ）においては評価用ライセンス版、FPGAについてスタータ開発キットを用いて実施した。



図14-1 導入した各種DSP、FPGA評価キット

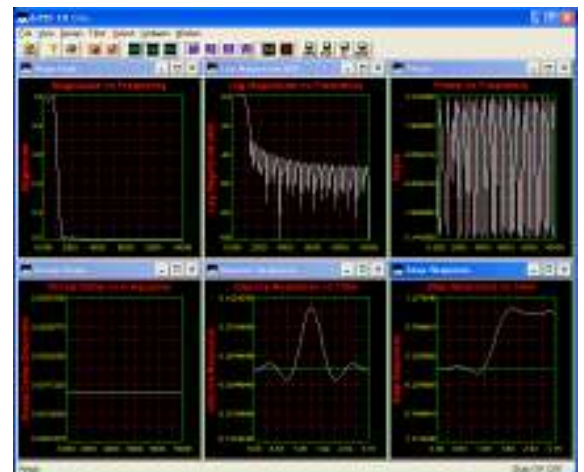


図14-2 Digital Filter Design Tool 実行画面



図14-3 サンプル周波数100KHz時、タップ数100のFIRにより40KHzBPFを構成した場合の特性をシミュレートした例

通常のラジオが持つ同調回路の様な選択性を持たせる部分が無いので、BPFにより Q (=10以上)を持たせることで、受信雑音の中から信号を取り出す機能を構成することを意図している。

フィルタリングスキームとして、申請時提案のIIRだけでなくFIRも検討対象に入れることにした。IIRは少ないタップ数で高 Q が期待できるが、帰還形のため不安定性がある。FIRは安定性が高いが、

タップ数を多くしなければ所望の特性は得られない。しかし近年の著しいデバイス集積度の上昇とコスト低下により、タップ数は容易に多くできる方向にあり、むしろ構造が簡易で安定な FIR を採用することのメリットに期待している。感度の定量的評価はこれからであるが、FIR により 40KHz の変調を取り出し、TCO 信号を得ることができるところまで判った。

・B/B の製作・評価：

平成19年度：実施した内容はない（計画通り）。

4-2-3 まとめ

・数値演算・シミュレーション：

平成19年度：本年度は着手レベルで作業量は多くなかったが、当初の予定より研究作業は進展し、ひとつには当初の構想である「磁界センサ+デジタルフィルタによる電波受信機」に関し、特にデジタルフィルタによる検波以降の機能であるが、予備実験では計測器（オーディオアナライザ等）を用いての実験であるのに対してソリッドステートのデジタルフィルタボードでの機能が確認できたというのは特筆すべき成果と言える。また、デジタルフィルタを用いることでの一段の感度向上が期待できる見通しもでてきた。すなわち、アナログ回路（フロントエンド+検波器）のみの場合、一定の条件下（MI 素子も集磁なしなど）であるが、判別可能最小 AC 磁界は 0.20e であるが、デジタル処理の結果 0.0170e となり、実質 1 ケタの感度向上を確認した。達成度を数値化すれば 100%（本年度の予定に対して）と言える。

平成20年度：数値演算・シミュレーション：ソフトウェアの正式版導入を行い、DSP、FPGA 開発ボードと上記 MI 素子評価試作品および試作装置類と組み合わせて試験を実施する。フィルタリングスキーム等を決定し、下記 B/B の製作仕様を策定する。

・B/B の製作・評価：

平成19年度：実施した内容はない（計画通り）。

平成20年度：上記を踏まえ受信機セットアップに使用できる B/B を製作する。FPGA 搭載部をコアとし、その他周辺回路から構成されるデジタルフィルタ装置を製作する。FIR 演算でのタップ数で 256 以上、A/D 分解能 12bit 以上、サンプリング 125M/sec 以上、入力電圧分解能 1.5mV 以下の性能を有し、変調度およびデューティ対するスレッシュホールド任意設定可能で最終 TCO 出力機能を有するものを構想している。

4-3 受信機プロトタイプの研究開発

4-3-1 研究開発の内容

研究してきた MI 素子を集磁構造体との集積モジュール（COB 実装等）の形に仕上げ、デジタルフィルタ部（B/B）との融合を行い、受信機として機能するセットアップ（受信機プロトタイプ）を製作する。（研究期間 平成20年5月～平成21年5月）

その上で、受信性能等につき、詳細に測定・評価を行う。感度、金属ケース筐体の影響等を詳細に測定・評価する（標準電波&AM 放送受信帯域を想定）。

目指す目標、「超小型化と同時に薄型でフレキシブル。さらに、金属ケース内での動作可能を達成し、筐体材料・デザインの自由度向上と小型化（女持ち）にも対応する」という観点からの評価を行う。

「アンテナ部含めた超小型受信部モジュールの達成 FINAL イメージ」を前記2-2 研究開発の最終目標で提示の図9-1 に示した。「受信機プロト・セットアップイメージ」を同、図9-2 に示した。

上記が、本サブテーマに関し概略、実施計画書記載の実施内容である。

本サブテーマも、

・集積 MI 素子モジュールの製作

および

・総合評価

の2つの詳細項目から成る。

4-3-2 実施状況

上記サブテーマ・各詳細項目に関し、平成19年度の実施状況について下記に記述する。

- ・集積MI素子モジュールの製作：
平成19年度：実施した内容はない（計画通り）。
- ・総合評価：
平成19年度：実施した内容はない（計画通り）。

4-3-3 まとめ

- ・集積MI素子をモジュールの製作：
平成19年度：実施した内容はない（計画通り）。
平成20年度：サブテーマ1での研究成果を反映した集積MIモジュール用基板の設計・製作を実施する。MI素子、集磁構造体、新規製作LSI等を集積搭載し、集積MIモジュール（COB実装等）の形で製作し、下記総合評価に供する。
- ・総合評価・まとめ：
平成19年度：実施した内容はない（計画通り）。
平成20年度：上記集積MI素子モジュールとデジタルフィルタ装置等を組合せ、受信機として機能するセットアップ（受信機プロトタイプ）を組上げ、総合評価とまとめを実施する。標準電波対応としては40、60KHzにおいて受信可能電界強度70dB μ V/m（以下）の達成を目標とし、金属対応として樹脂筐体内との比較において有意差がないことを目標とする。
なお、AM電波受信での受信可能電界強度評価および、時刻表示装置等を付加し、本プロトタイプをデモ可能な形に仕上げるのは平成21年度の実施予定とする。

4-4 総括

平成19年度は開始年度でもあり、実質7ヶ月の期間であった。機器購入や試料作成から取り掛かり、各サブテーマ・各詳細項目を実施開始し、一部に関しては、数値データ等が得られているが、サブテーマとして実施内容の全ては完了していないという段階である。したがって現時点で本研究の最終目標に対して達成可能か否かを示す数値的な結果は出ていない。最終目標の特性達成に向けた主だった作業は平成20年度からの実施項目に予定しているものである。

この期間においては記述してきた様に、

1. 基礎挙動（集磁構造体付加の効果、新規検出回路方式の動作等）の確証が取れた。
2. 有望な特性（シミュレーションにおける予想通りのデジタルフィルタによる感度向上等）が得られた。

というきわめて良好な成果があったと考えている。

一方で、集磁構造体実装の寸法公差など、より精度を上げて抑えなければならないパラメータも見えてきている。現時点で定量的に最終目標に入るかどうかの言明はできないが、研究で目指す目標になんらの変更はなく、今後の実施事項についても現時点では変更はなく、したがって平成20年度の実施計画にも変更はない。

5 参考資料・参考文献

5-1 研究発表・講演等一覧

平成19年度実績はなし。平成20年度は8月に1件、特許出願を予定している。可能であれば、年度内にさらに1件の特許出願を予定している。