

平成20年度 成果報告書

磁界センサを用いた電波受信装置の研究開発

委託先： (株)タキオン

平成21年4月

情報通信研究機構

平成20年度 研究開発成果報告書

(地域中小企業・ベンチャー重点支援型)

「磁界センサを用いた電波受信装置の研究開発」

目 次

1	研究開発課題の背景	2
2	研究開発の全体計画	
2-1	研究開発課題の概要	6
2-2	研究開発の最終目標	6
2-3	研究開発の年度別計画	7
3	研究開発体制	8
3-1	研究開発実施体制	8
4	研究開発実施状況	
4-1	MI 素子集積化の研究開発	9
4-1-1	研究開発の内容	9
4-1-2	実施状況	10
4-1-3	サブテーマ「MI 素子集積化の研究開発」のまとめ	25
4-2	デジタルフィルタ部の研究	25
4-2-1	研究開発の内容	25
4-2-2	実施状況	26
4-2-3	サブテーマ「デジタルフィルタ部の研究」のまとめ	39
4-3	受信機プロトタイプの研究開発	39
4-3-1	研究開発の内容	39
4-3-2	実施状況	39
4-3-3	サブテーマ「受信機プロトタイプの研究開発」のまとめ	43
4-4	総括	43
5	参考資料・参考文献	
5-1	研究発表・講演等一覧	45

1 研究開発課題の背景

高度 IT 化社会の進展で電波使用環境は高周波へシフトする傾向にあるが、いわゆる長波から中波帯にかけての電波は標準時刻放送やAMラジオ放送として高い信頼性が支持され使用が継続されている。しかしながら、到達距離が非常に延伸できるというメリットの一方、波長が長いためその受信方式はいわゆる磁界結合（直列 LC 共振）のバー型コイルアンテナの初段部と検波・アナログフィルタ回路を用いる旧態然たるものである。本研究ではバー型コイルアンテナに替えて近年進歩が顕著な磁気インピーダンス素子を使用し、さらには検波以降をデジタルフィルタ処理することで新規の受信システム（受信機）を実現し、普及が期待されながらも小型化や金属ケース化で足踏みしている電波修正腕時計や長年進歩の停滞しているAMラジオに革新をもたらそうというものである。

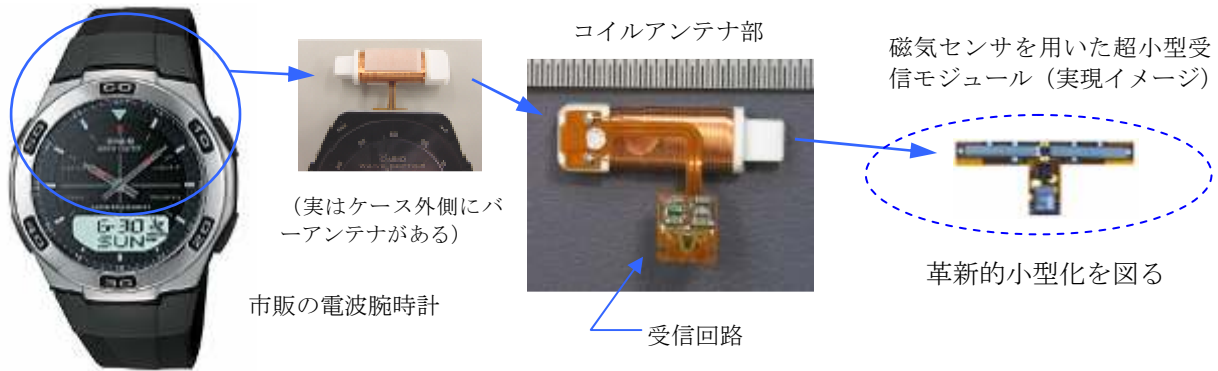


図1 本研究開発で革新的小型化を図る標準電波受信部変革のイメージ

磁気インピーダンス素子とは、高周波電流やパルス波を通電し、外部磁界を印加することで、その透磁率変化を介し、表皮効果および自然共鳴によりインピーダンスが大きく変化する MI (Magneto-Impedance effect) 素子と呼ばれている高周波キャリア型磁界センサ素子のことである。これを薄膜で形成した薄膜磁気インピーダンス素子 (MI) 素子を本研究開発では以降、薄膜型 MI 素子と称する。このような MI 素子を利用した磁界検出素子はその高感度な性能により近年産業界での各種実用化の期待が高まっている。

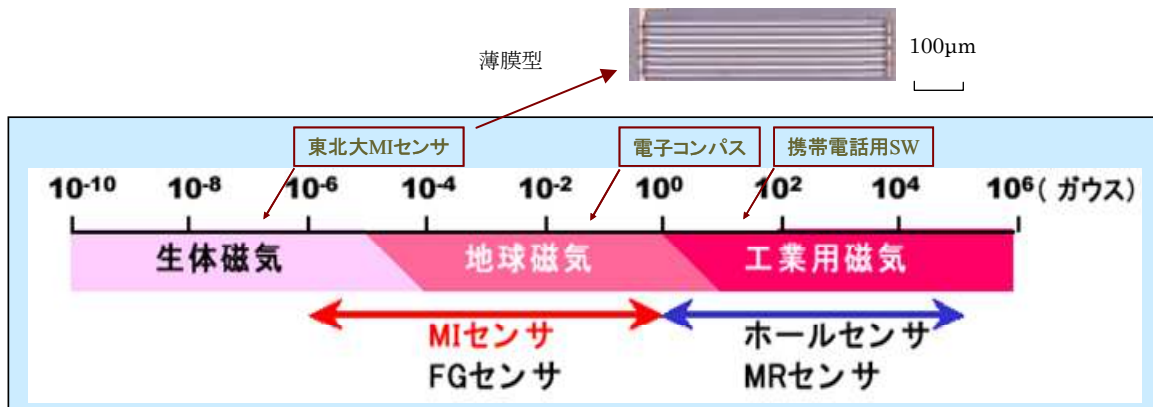
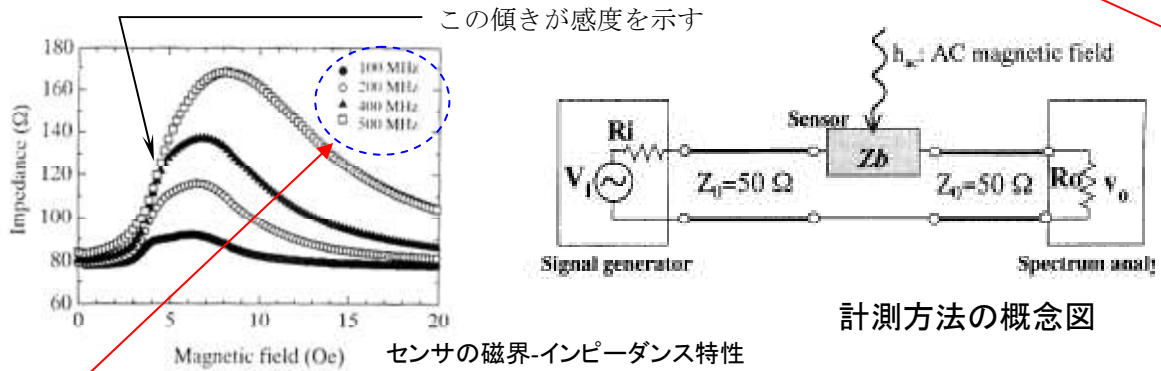
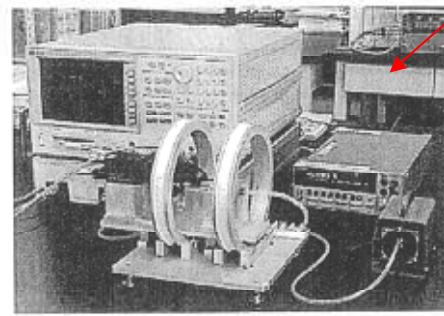
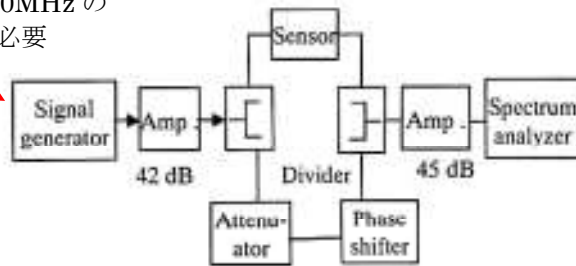


図2 磁界検出素子の感度帯域

しかしながら MI 素子は原理上、所望の感度出力を得るためには、非常に高い周波数の AC バイアスが必要な上、検出においては高精度な測定器を多数使用するような環境が必要であった。



AC100~500MHz の発振回路が必要



実際の計測系のブロック図と写真

図 3-1 MI 素子の計測系および特性

そのような状況に対して我々は一昨年来より新規パルス検出方法を考案し、検出回路のソリッドステート化 (LSI 化) を達成した。また、本構想実現のための高感度化は MI 素子+集磁構造体 の考案で達成の目処が得られている。局所磁界の検出ではなく、あまねく磁界 (標準時刻電波等) の検出なのでこの構成が有効となる。

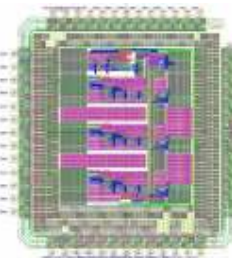


図 3-2 試作した新規パルス検出方式 LSI のレイアウト図

全体構想を要約すると、長波 (標準時刻放送) や中波 (AM ラジオ放送) は高い方でも 1~2MHz オーダの速度であるので、磁気センサが充分応答できる範囲である (波長が長いためもともと磁界結合受信である)。そこへ加えて上記のように近年、磁気検出素子の感度が向上している背景がある。ただし、コイルアンテナ方式と異なり、周波数選択性がなく、広い帯域の信号を捉えてしまうため、なんらかのフィルタ処理が必要である。一方、デジタル技術の進展、LSI 技術の進展でデジタルフィルタでの検波が現実の範囲に入ってきている (ソフトウェア無線機)、磁界センサ+デジタルフィルタによる電波受信機 構想が手の届く範囲に入ってきたという認識に至っている。

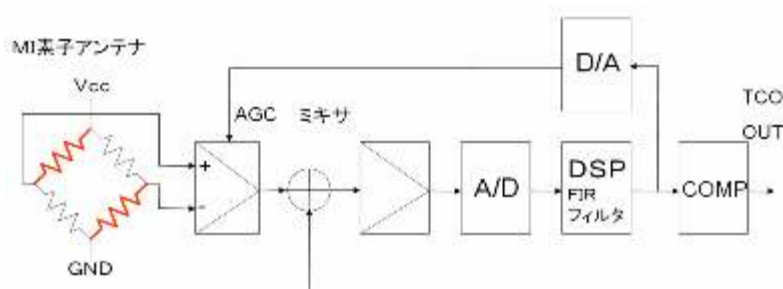


図 4 本研究で構想の受信機の模式的ブロック構成図

「研究開発分野の現状（国内外および当社での）」

磁気に感度を持つ物質は数多あるが、ソリッドステートタイプを主体に産業上利用可能なセンサとしてはホール素子、MR（磁気抵抗）素子、フラックスゲートセンサ、SQUIDなどが挙げられる。本開発で用いるMI素子は1－研究開発課題の背景の項で図2に示したように、近年、室温ではSQUIDに次ぐ高感度を成しえている。

MI素子・高周波キャリア型薄膜磁界インピーダンス素子、すなわちMagneto-Impedance effect素子は、原理的現象が明確に報告され始めたのは90年代初頭であるが、近年さらなる高感度化の研究および実用化検討が続伸されている。この分野の研究では名古屋大学、毛利教授のグループと東北大学における荒井教授（現 石山研究室）のグループがあり、国内での実質上の両雄であった。

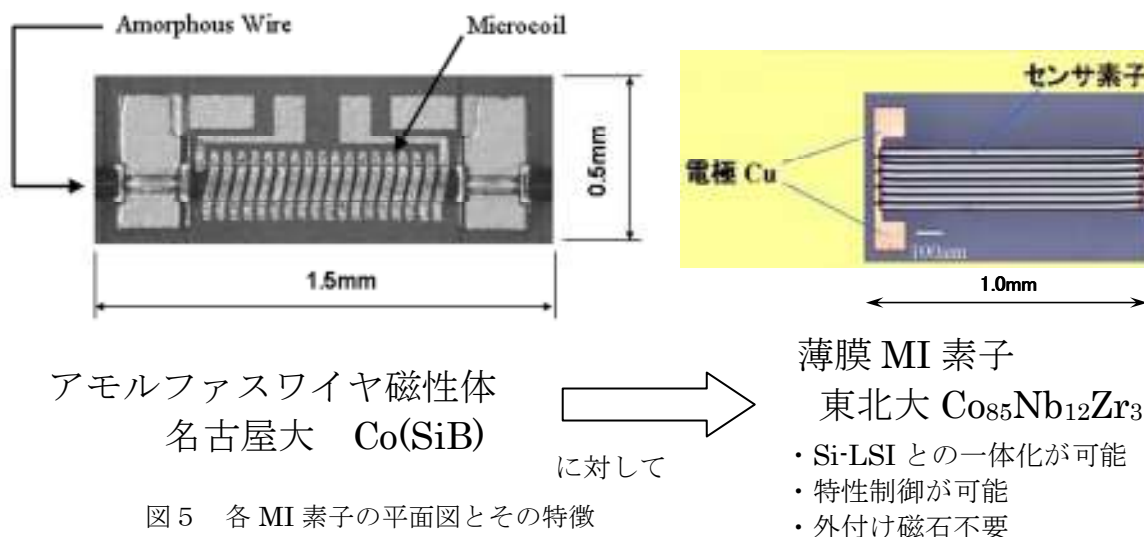


図5 各MI素子の平面図とその特徴

両者は対象とするマテリアル（名古屋大はワイヤ、東北大は薄膜）や検出原理が根本から異なり、現状学術的意味での感度競争では東北大に軍配が上がる。またアモルファスワイヤが感度特性の自由度がないのに対して、薄膜MI素子は感度・検出磁界方向等の特性の制御が可能である等の種々のアドバンテージも有する。しかしながら、実用化の点では名古屋大学が一步先んじた形となっていた（方位計等）。東北大のMI素子においては原理上、所望の感度出力を得るためには、非常に高い周波数のACバイアスが必要な上、検出においては高精度な測定器を多数使用するような環境が必要であった。それに対して一昨年来よりの弊社と東北大との共同作業において新規パルス検出方法を考案し、その動作確認が成った段階である。検出回路のソリッドステート化（LSI化）に目処がついたと言える。

一方、弊社でのこれまでの研究に触れると、

- ・バー型コイルアンテナの開発・改良・革新に取り組んできた(平成14年中頃～現在)

布線コイル方式でのLF帯アンテナへの可能性探索を機に、電波修正用コイルアンテナのエンジニアリングに着手。電波受信用ICでは圧倒的市場シェアの三洋電機受信IC開発チームとも連携してきた。

磁性コアをフレキシブルなアモルファス材とすることで、従来からの大振りの直線的バーアンテナを細いフレキシブルなもの（円弧状に屈曲可能）まで改良することに成功。平成16年、技術リリース後、三洋電機から時計ムーブメントメーカー数社に量産デリバリーを開始している。

- ・MI素子と集磁構造の考案(平成15年中頃～現在)

バーアンテナの開発過程での解析結果から、「集磁している」というメカニズム解析に到達。

磁気センサ素子での検出・受信の可能性とそのアドバンテージが確認できた。磁性体の近年の急速の進歩（透磁率 μ の長足の向上や周波数応答性の向上）も磁気センサでの標準電波捕捉という発想の要因のひとつとなっている。

直線的バーアンテナを細い円弧状のフレキシブルなものに改良

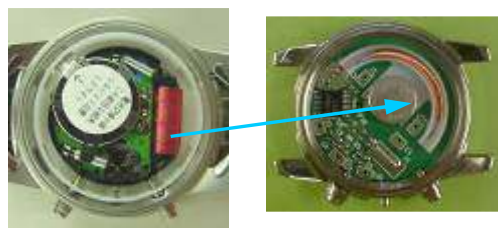


図6-1 コイルアンテナ時計筐体内実装の様子

集磁のポイントは体積より長さ

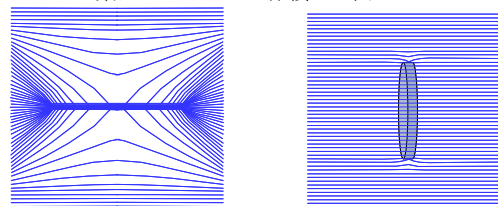


図6-2 アンテナ長手方向を直径とする円柱体空間の磁束を集めている様子

図6-3 平坦な円盤状では集磁しない様子

・MI素子の感度向上、検出回路のソリッドステート化検討(平成16年後半～現在)

MI素子に関わる東北大荒井研(現石山研)との共同作業中、新規パルス検出方法を考案し、その動作確認を達成した。また、平成17年度、薄膜磁気インピーダンス素子を用いたセンサデバイスの実用化を目指し、検出回路のソリッドステート化(LSI化達成。以下MI-ICと称する)および、方位計アプリケーション実現の目処を達成した。また、集磁構造体による感度向上の考案・原理効果確認を達成した。平成18年、同MI素子を応用した電波受信構想に着手、先行実験・検討では十分な可能性を支持するデータと計算結果が得られている。また、上記MI-ICのパルス検出方式の改良にも着手した。

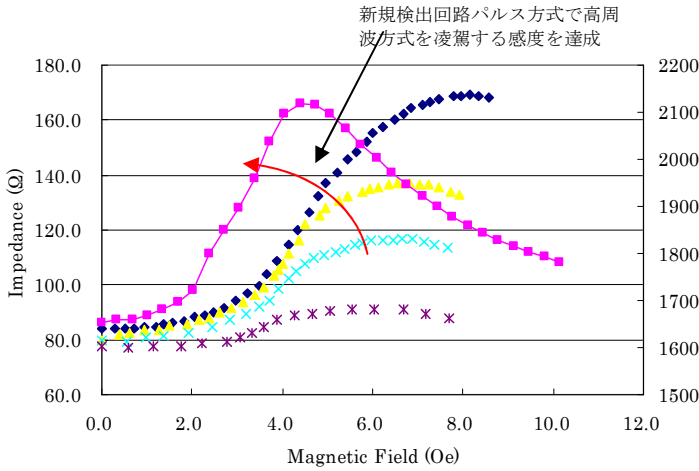


図7-1 パルス方式検出、直流磁界感度



図7-2 試作した薄膜MI素子(単体)

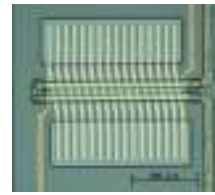


図7-3 試作した薄膜MI素子(オンチップコイル付き)

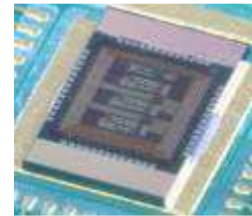


図7-4 新規開発パルス検出方式IC(MI-IC)

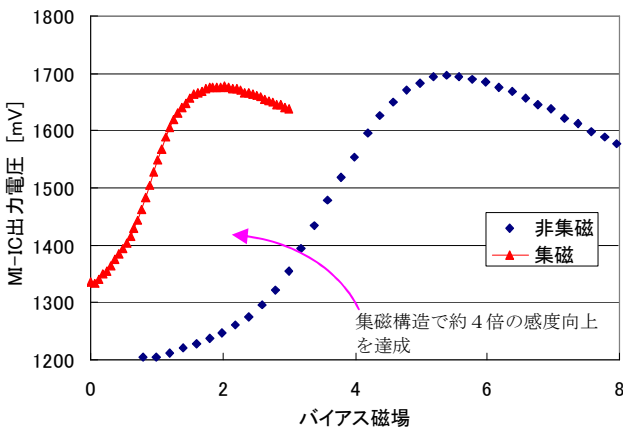


図8-1 集磁構造付加、直流磁界感度(予備実験)

図8-2 MI素子+集磁構造(先行実験)



磁界センサ+デジタルフィルタによる電波受信機についてはこれまで例がなく国内外初の試みとなり、今後の通信技術に一石を投ずる形となろう。検出回路のデジタルフィルタ化に加え、高感度化のためのMI素子+集磁構造体の発想は、単体での感度追求(生体磁気の検出まで可能等)の大学における研究スタンスからは生まれまいであろうアプローチである。局所磁界の検出ではなく、あまねく磁界(標準時刻電波等)の検出なのでこの構成が有効となる。産学の発想の融合である。

2 研究開発の全体計画

2-1 研究開発課題の概要

高度 IT 化社会の進展で電波使用環境は高周波へシフトする傾向にあるが、いわゆる長波から中波帯にかけての電波は標準時刻放送やAMラジオ放送として高い信頼性が支持され使用が継続されている。しかしながら、到達距離が非常に延伸できるというメリットの一方、波長が長いためその受信方式はいわゆる磁界結合（直列 LC 共振）のバー型コイルアンテナの初段部と検波・アナログフィルタ回路を用いる旧態然たるものである。本研究ではバー型コイルに替えて近年進歩が顕著な高周波キャリア型薄膜磁界センサ素子を使用し、加えて検波以降をデジタルフィルタ処理することで新規の受信システム（受信機）を実現し、普及が期待されながらも小型化や金属ケース化で足踏みしている電波修正腕時計や長年進歩の停滞しているAMラジオに革新をもたらそうというものである。

本研究開発では、

サブテーマ：

- ・MI 素子集積化の研究開発
- ・デジタルフィルタ部の研究
- ・受信機プロトタイプの研究開発

の実施を通じ、以下の最終目標の達成を図るものである。変革達成イメージについては、本報告書「1 研究開発の背景」中の図「図1 本研究開発で革新的小型化を図る標準電波受信部変革のイメージ」を参照のこと。

2-2 研究開発の最終目標（平成21年7月末）

・薄膜 MI 素子および高感度化（集磁構造体等との集積構造）としては、集磁構造体、プレーナコイルとの集積構造の達成とパルス方式検出 IC の改良版の製作を達成するとともに、特性としては

標準電波対応としては 40、60KHz において受信可能電界強度 $70\text{dB}\mu\text{V/m}$ （以下）の達成。

AM 電波受信対応としては 594KHz（まずは JOAK）において受信可能電界強度 $100\text{dB}\mu\text{V/m}$ （以下）の達成。

の目処をつけることとする。

・受信回路のデジタルフィルタ化においては、標準電波、AM 電波信号の弁別（フィルタリング）機能の達成。

MI-IC とのインターフェース機能（インピーダンス整合、信号通過帯域確保）の達成を
目処とする。

・集磁構造体付き MI 素子とデジタルフィルタ BB を融合させた受信機として機能するセットアップ（受信機プロトタイプ）の項としては、集磁構造体、プレーナコイルとの集積構造をひとつの COB モジュールの形に仕上げることに
ともに、性能として、

標準電波対応としては上記電界強度レベルでフィルタリングからタイムコードデジタル出力（TCO 出力）までの受信機能達成。

金属対応として樹脂筐体内との比較において彼我の差がないことの効果を確認する。

AM 電波対応としては上記電界強度レベルでフィルタリングから振幅変調信号の再現出力までの受信機能達成。

受信機プロトタイプとして上記機能を満足し、ユーザデモ可能なものとする。
というものである。

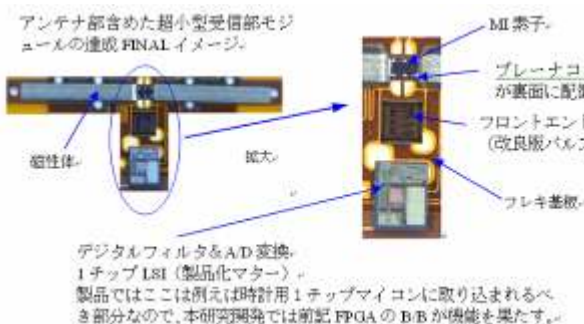


図 9-1 超小型受信部モジュール達成イメージ

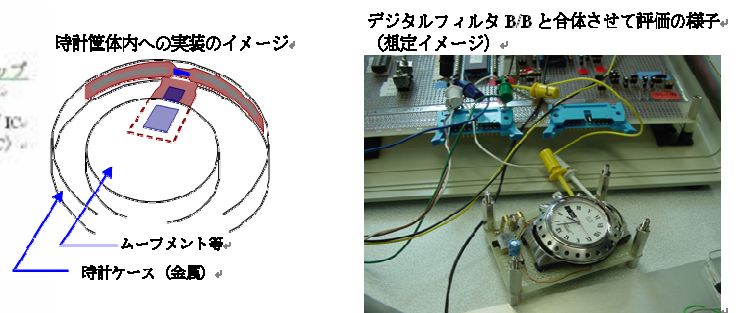


図 9-2 受信機プロト・セットアップイメージ

2-3 研究開発の年度別計画

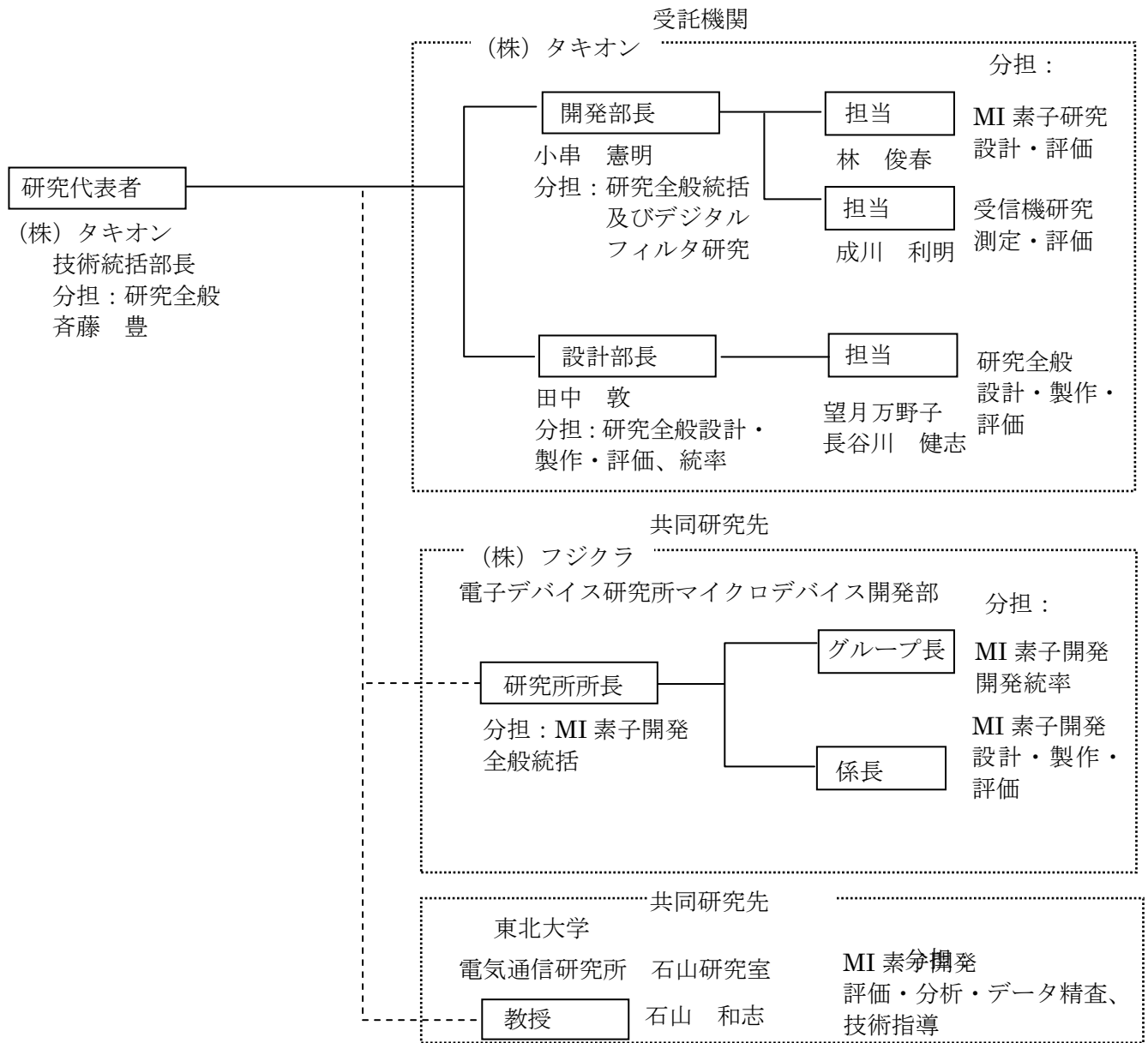
(金額は非公表)

研究開発項目	H19 年度	H20 年度	H21 年度	計	備考
磁界センサを用いた電波受信装置の研究開発					(再委託は特になし)
1. MI 素子集積化の研究開発 集磁構造体の研究 バイアス磁界用プレーナ・コイルの研究 パルス方式・検出回路の改良研究	→				
2. デジタルフィルタ部の研究 数値演算・シミュレーション B/B の製作・評価		→			
3. 受信機プロトタイプの研究開発 集積 MI 素子モジュールの製作 総合評価・まとめ			→		
間接経費額	-	-	-	-	
合 計	-	-	-	-	

*・・・間接経費は直接経費の20% (H20は15.5%)とし、消費税分と合せて記載した。また、最終年度 H21 の終了月は申請時5月であったのを7月とした (H21 継続提案時変更)。

3 研究開発体制

3-1 研究開発実施体制



4 研究開発実施状況

本報告書中 2 - 3 項に研究開発の全体計画の概要を示したように、1 年 11 ヶ月の期間の中で次の項目・内容にて開発を推進していく。大きくは 3 本の流れ（サブテーマ）があり、1. としては薄膜 MI 素子に関わる部分として集磁構造体・バイアスコイルとの集積や検出 IC のリファインで MI 素子およびそのモジュール部分の研究がある。2. として受信回路のデジタルフィルタ部の研究である。フィルタリングスキーム（積和演算処理）の詳細な検討とブレッドボード（B/B）の製作・評価まで行う。3. として 1. の集積 MI 素子をモジュールとし、2. のデジタルフィルタ部との融合を行い、受信機として機能するセットアップ（受信機プロトタイプ）を製作・評価するものである。

4-1 MI 素子集積化の研究開発

4-1-1 研究開発の内容

まず薄膜 MI 素子に関わる部分として集磁構造体と集積する部分の詳細な研究を行う。測定器・専用装置を用いて、交流磁界感度の評価および高感度化（集磁構造体の作成、測定、評価。バイアス磁界用プレーナ・コイルの研究。パルス方式・検出回路 IC のリファイン。）の確立を行う。つまり本サブテーマは以下のさらに詳細な個別項目に分けられる。（研究期間 平成 19 年 9 月～平成 21 年 7 月）

・集磁構造体の研究：

MI 素子のパターン（配置・寸法）・プロセス条件、集磁構造体の各寸法等の因子・水準別に試作製作・評価を行う。

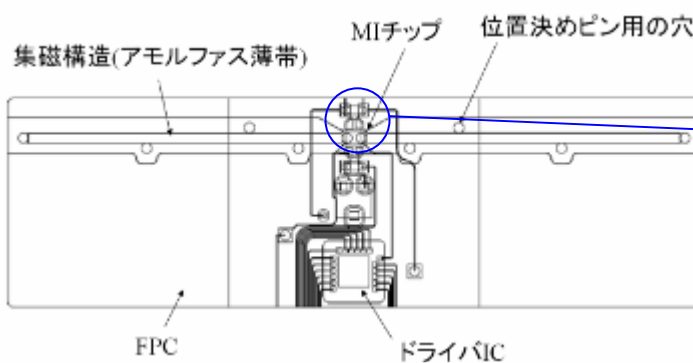


図 10-1 FPC を用いた集磁構造体の構想図面

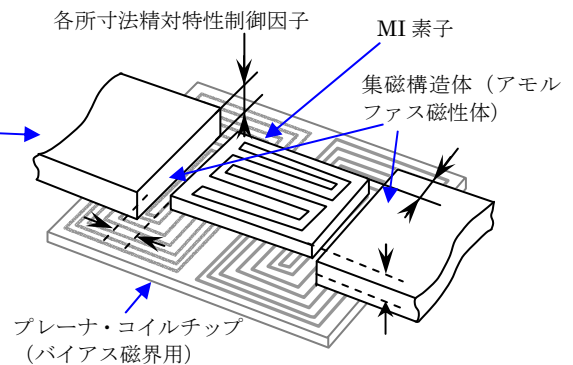


図 10-2 各種構造物の相互関係

・バイアス磁界用プレーナ・コイルの研究：

本構想で用いる MI 素子は感度を得るために、直流磁界バイアスが必要であり、これまでボビンを用いたソレノイドコイルを使用していたが、新たに考案したプレーナ・コイルチップを用い、集磁構造と集積していく。集積した構造体において寸法的な因子・水準（長さ、枚数、厚み、中心ずれ等）について詳細にデータ取得を行う。

・パルス方式・検出回路の改良研究：

検出回路のソリッドステート化を達成した新規パルス方式・検出はさらなる改良（平成 18 年度の当社研究である直交フラックスゲート方式との融合）を行えばさらに高感度化が期待できることが判り、本研究でブレッドボード（B/B）を作成し、リファインのための研究を行っていく。ブレッドボード（B/B）作成後、CMOS 回路設計、SPICE シミュレーション、レイアウト設計を行い、CMOS-LSI の形で IC の製作まで行う。TSMC 0.25 ないし 0.18 μm クラスの Bi-CMOS プロセスを想定している。

上記が、本サブテーマに関し概略、実施計画書記載の実施内容である。

4-1-2 実施状況

上記本サブテーマ・各詳細項目に関し、平成20年度の実施状況について下記に記述する。

・集磁構造体の研究：

平成20年度：集磁体実装基板の改良設計・製作を行い、試験を実施した。サブテーマ3における集積MI素子モジュール基板の設計に反映した。

まず、MI素子と集磁体を密接させるための新規COB基板を設計・製作し、寸法的な因子・水準（長さ、枚数、厚み、中心ずれ等）について評価・測定を行った。

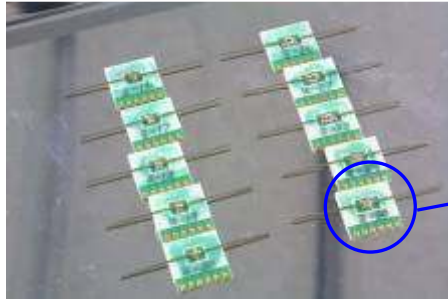


図11-1 COB基板に各種試料が実装された様子

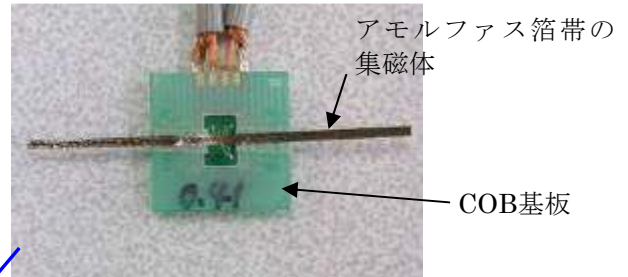


図11-2 COB基板上の集磁体

ザグりを設けて高さ方向のアジャストも可能としたが。

MIチップの構造上の問題で集磁体が完全には密接できない
チップ端部と、MI薄膜端部に一定のギャップがある

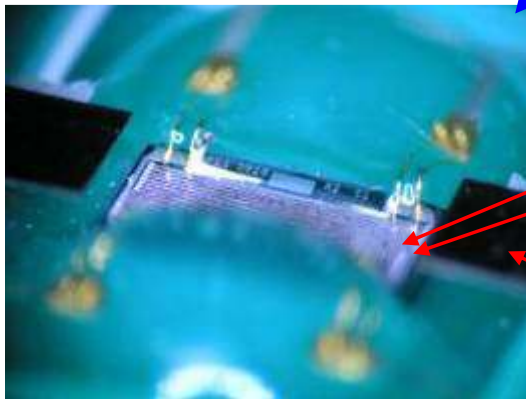


図11-3 前頁図10-2に模式的に示した構成の実際の様子



図11-4(a) マイクロステージにて位置合せ中の試料

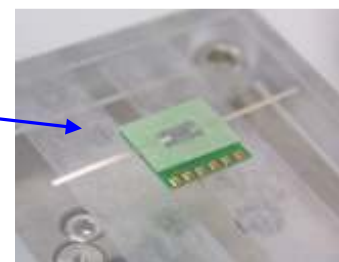


図11-4(b) 試料
10um精度で位置合せ

ここでは、旧来のMI素子（これまでのType-IV）を使用したので素子選択の限界があり、例えば図11-4(a)に示したように10um精度で組立可能な治具も製作したのであるが、ここでは前年の特性を改善するに至っていない。そこで、まずは新規MI素子の設計・製作を踏まえることとした。

新規単体 MI 素子は、1 mm×1 mm、1 mm×2 mm、1 mm×4 mmの 3 種類のサイズとし、従来型センサと比較して磁性材の長さを長くすることによって素子単体でも高感度化を狙った。基本構造を以下に示す。

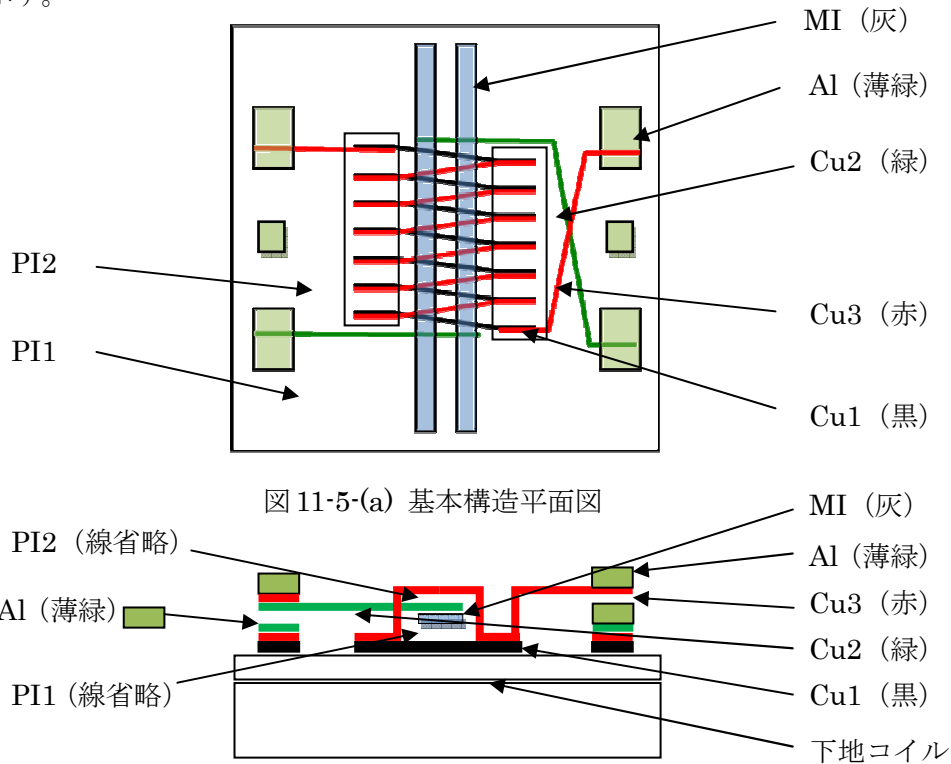


図 11-5-(a) 基本構造平面図

図 11-5-(b) 基本構造断面図

ウェハ上にバイアス磁場を与える目的で下地コイルを設ける事とした。その上、WLPプロセスによりMI薄膜とCu膜によりMI薄膜周囲にスパイラルコイルを形成し、両者はPIにより絶縁する事とした。集磁体の効果を高めることを狙いに、端面で突き合わせるより面で結合させることにより磁束が通過する面積を広くするため、MI薄膜と集磁構造体を重ねる構造とした。

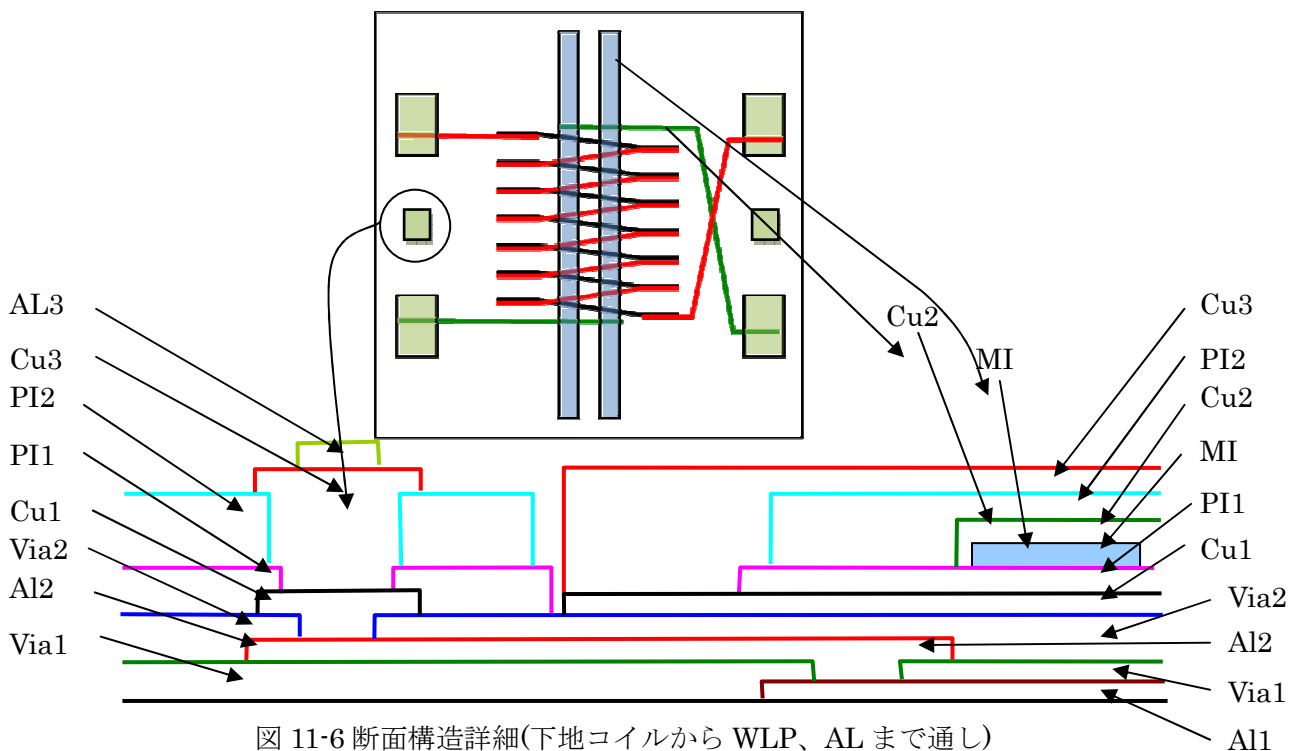


図 11-6 断面構造詳細(下地コイルから WLP、AL まで通し)

表 1. 因子および水準

因子	水準
チップサイズ [μm]	1000×1000 / 1000×2000 / 1000×4000
MI の L/S [μm]	20/20、40/20、80/20、160/0
MI の Turn 数	0.5、1、2、3
MI の素子数	1、2、4、6
MI 素子中電流方向	ワン・ウェイ(a)、ターン(b)、ベタ(c)
Coil の L/S [μm]	30/15、20/15、15/10
下地コイルの有無と L/S [μm]	有 10/10 他

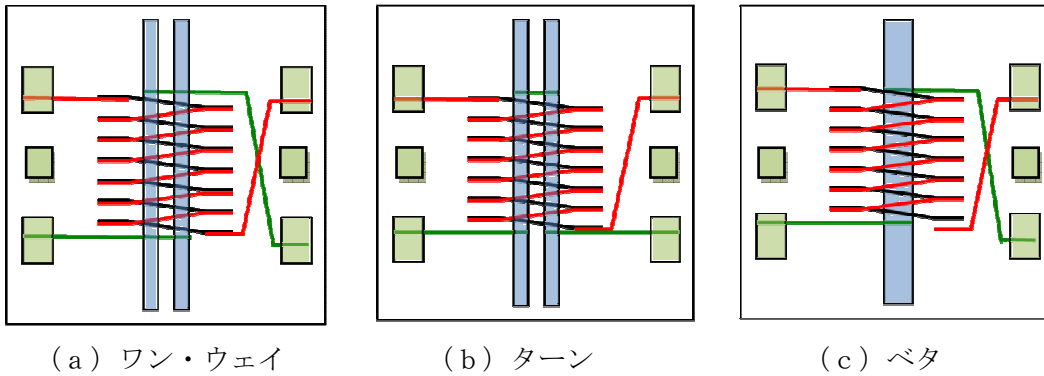


図 11-7 MI ドライブ電極配置タイプ別模式図

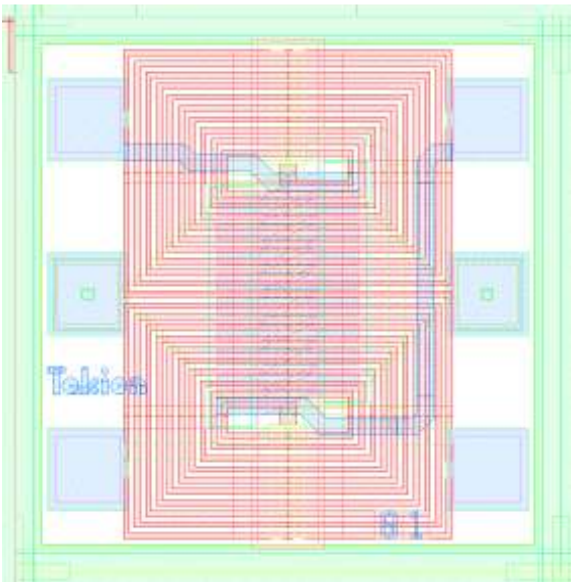


図 11-8-1 No.01 の実際のレイアウトデータ

1	2	3	4	5	6	7	8	9	10
11	12	13	14	15	16	17	18	19	20
21	22	23	24	25	26	27	28	29	30
31	32	33	34	35	36	37	38	39	40
41	42	43	44	45	46	47	48	49	50

図 11-8-2 表 1.中の因子・水準別に全パターンを 10mmx10mm のショットに面付けした様子

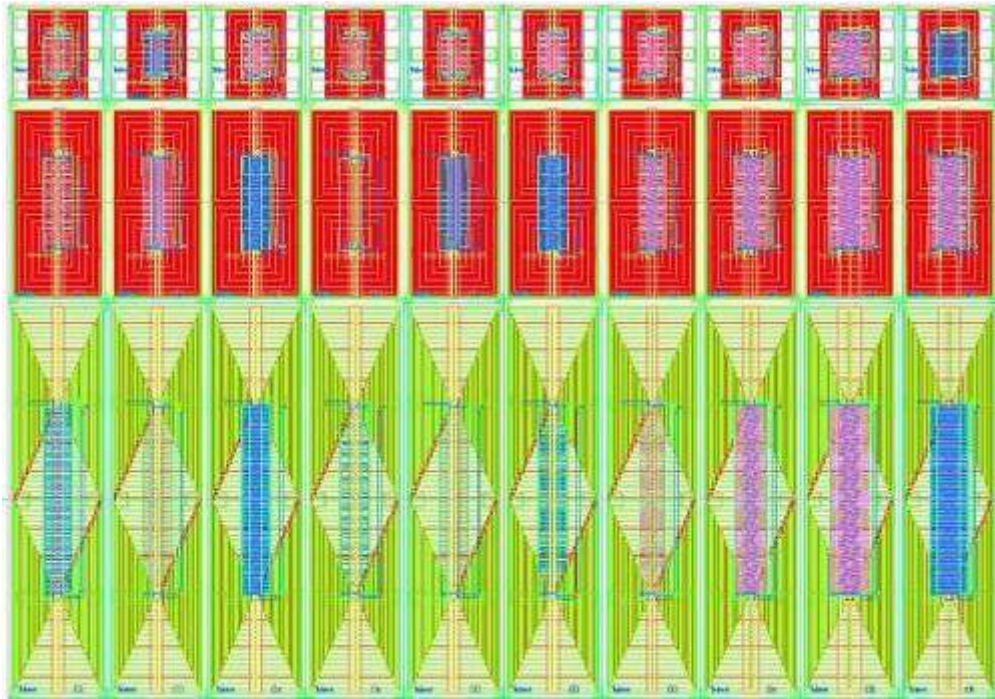


図 11-9 上記1ブロックの実際のレイアウト設計データ (GDS データ)

工程流動、完成後の各チップを以下に示す。

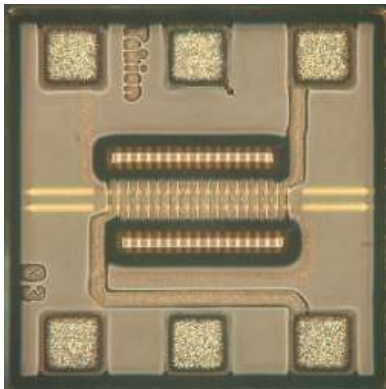


図 11-10 1 mm x 1 mm MI チップ

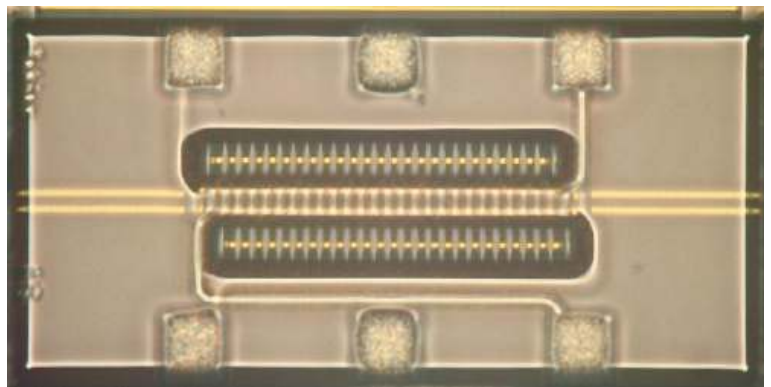


図 11-11 1 mm x 2 mm MI チップ

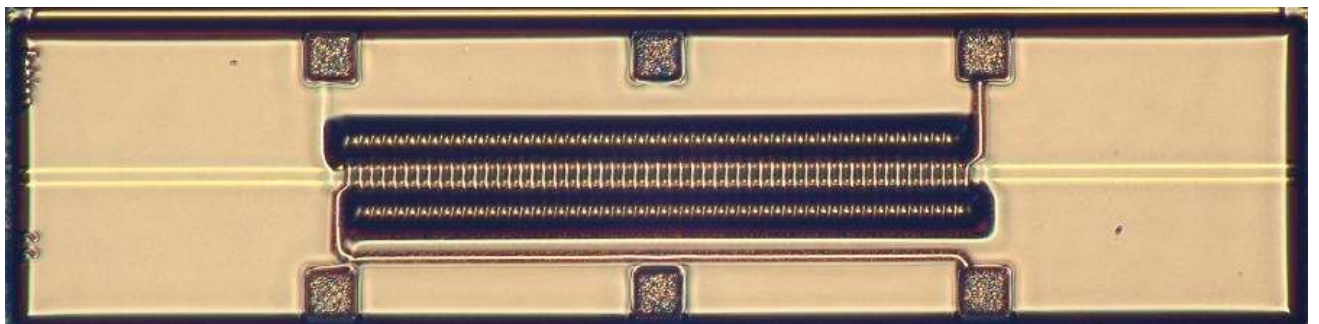


図 11-12 1 mm x 4 mm MI チップ

COB に実装し、集磁体実装を行った。

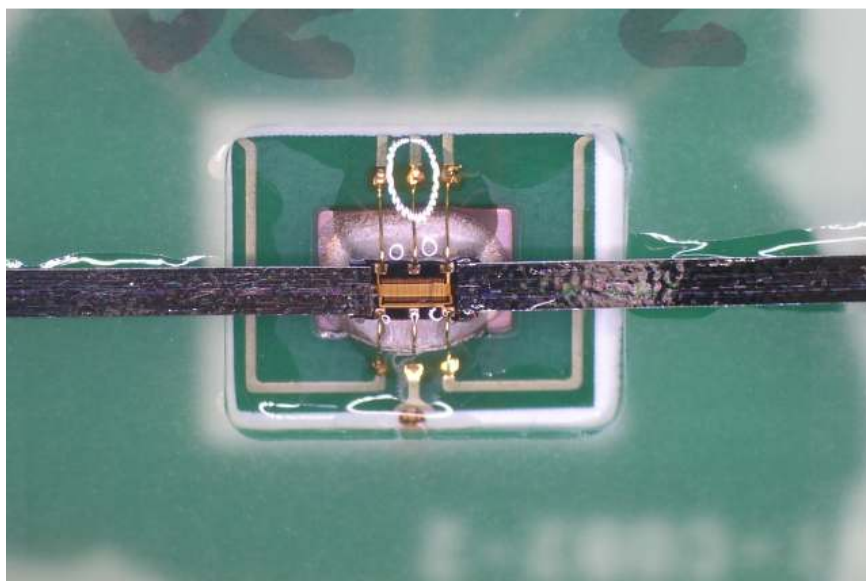


図 11-13 新規 MI 集磁 COB 実装

磁性体

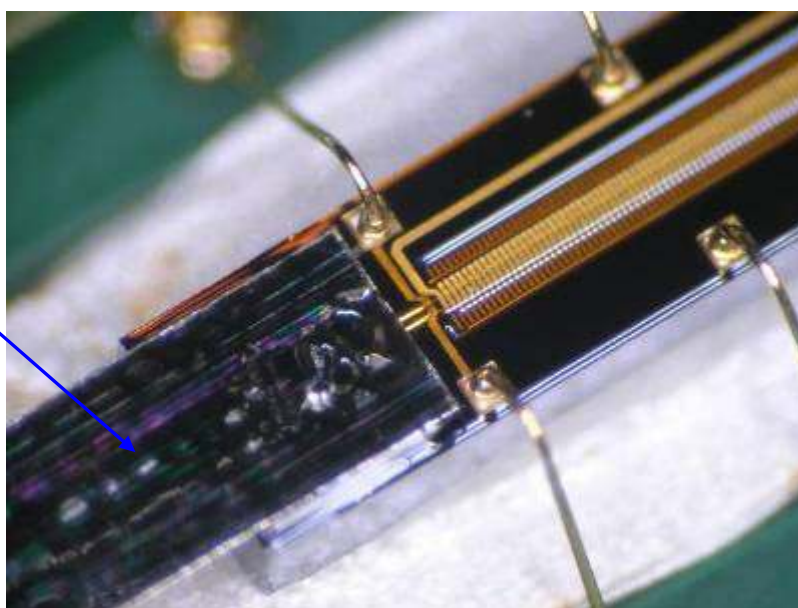
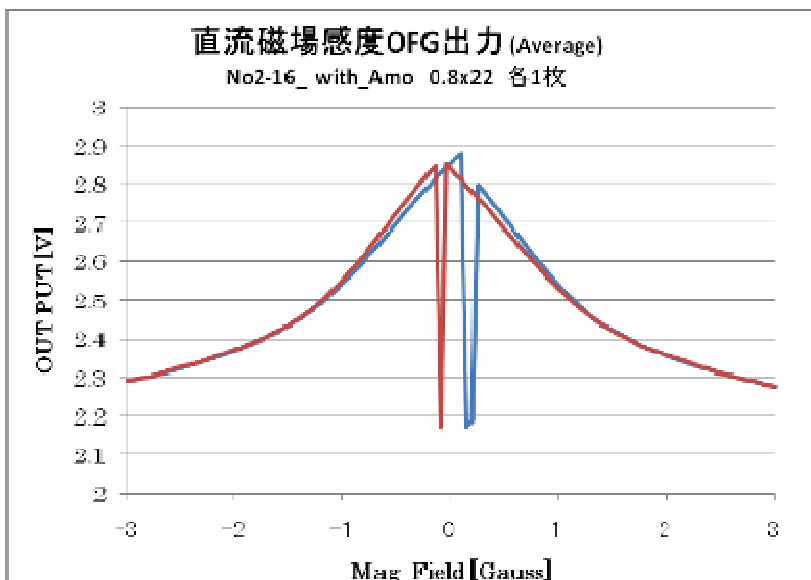


図 11-14 集磁体実装部拡大 (No.26) 50um ワイヤ使用

そして、測定・評価を実施した。



図中、磁界スイープ：
赤、+から-方向
青、-から+方向

図 11-15 集磁体実装 MI サンプル感度特性例 (No.2-16 with AmO)

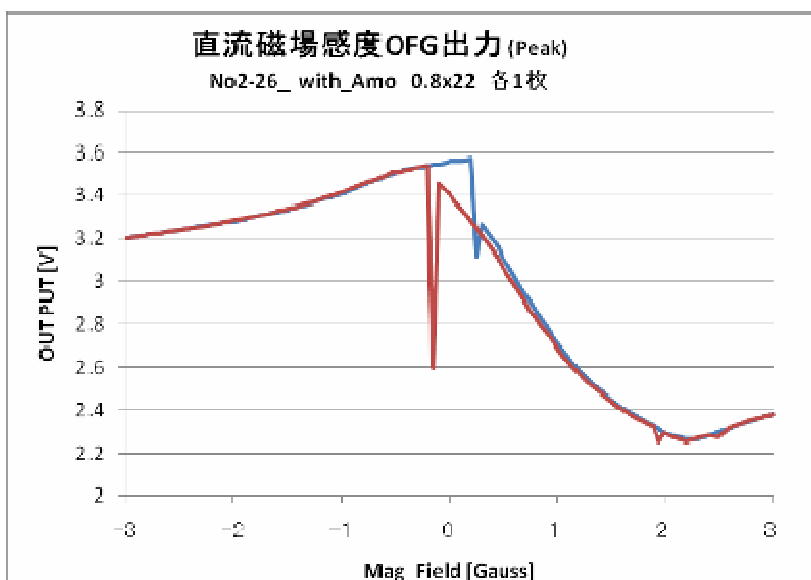


図 11-16 集磁体実装 MI サンプル感度特性例 (No.2-26 with AmO)

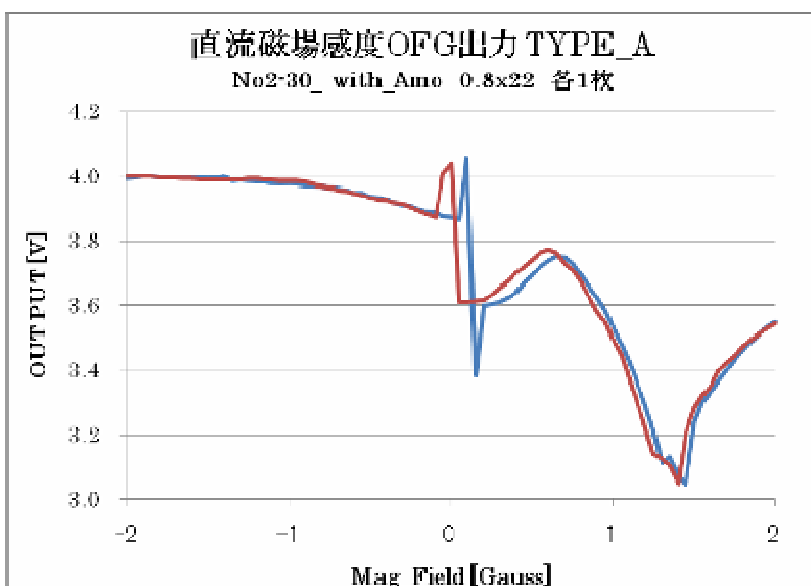


図 11-17 集磁体実装 MI サンプル感度特性例 (No.2-30 with AmO)

集磁体実装 MI サンプル感度特性を 3 例示したが、(No.2-16 with Amo) サンプルではほぼ理想的な特性を示し、かつ感度も良好といえる。一方 (No.2-26 with Amo)、(No.2-30 with Amo) サンプルでは非対称性が強く駆動波形のリングングもしくは、アニール条件が影響しているとみられる。

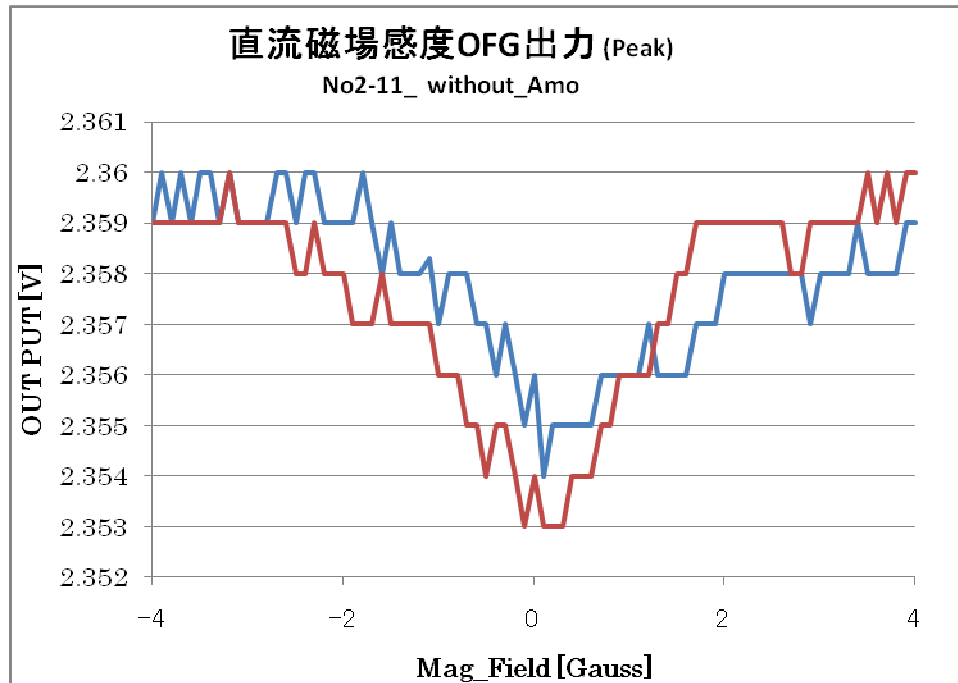


図 11-18 MI センサ単体感度特性例 (No.2-11)

評価した素子は今回新規設計 1 mm × 1 mm サイズ品である。これを用いて集磁体とのギャップ・位置関係を調べていったところ、集磁体との合体構造としては、磁性材間のギャップコントロールがひとつの解であると判った。

重要なのは、下の図中で赤い線で囲んだ部分の隙間を小さくすることが磁路の連続性を保ち、磁気抵抗が低く保てるのでセンサ部分の磁束密度を上げ、感度向上につながる当初の想定が確認できた。

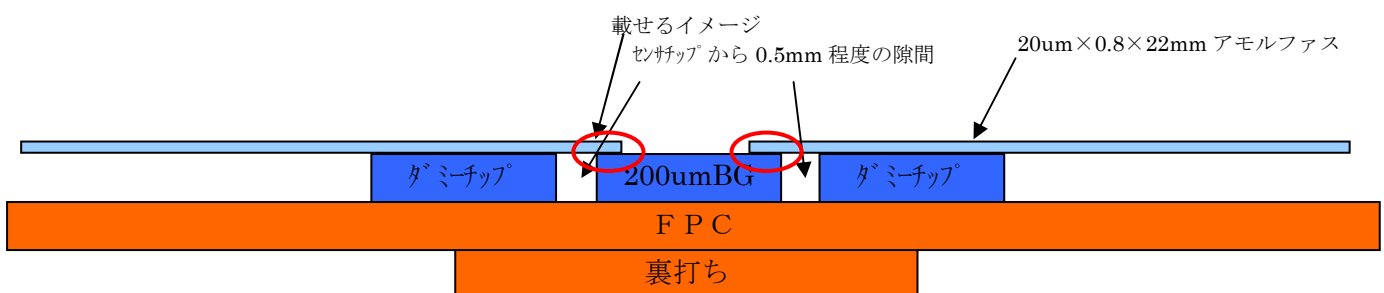


図 11-19 MI 素子と集磁体との位置関係を示す模式的断面

本構成を集積 MI 素子モジュール用 FPC 構造体へ反映させることとした。

・バイアス磁界用プレーナ・コイルの研究：

平成20年度：プレーナコイル・チップに関し、改良版プレーナコイル・チップの設計・製作を行い、試験を実施した。

まずプレーナコイルの必要性であるが、集磁構造体を持たないセンサと集磁構造体をつけたセンサでは、空間磁場中に置いたとき、磁気抵抗の関係で集磁構造体を持つセンサを通過する磁束の密度が高くなるため、磁束密度(グラフ横軸)を圧縮した特性を示し、感度が最大(傾斜最大)となる点は無磁場の状況とは異なり、センサを最大感度で使うには適正なバイアス磁場が必要となる。

平坦な磁場を必要とし、可変範囲を持たせるためにプレーナコイルを使った設計をした。
バックエンドプロセスによるAL2層配線による構造とした。

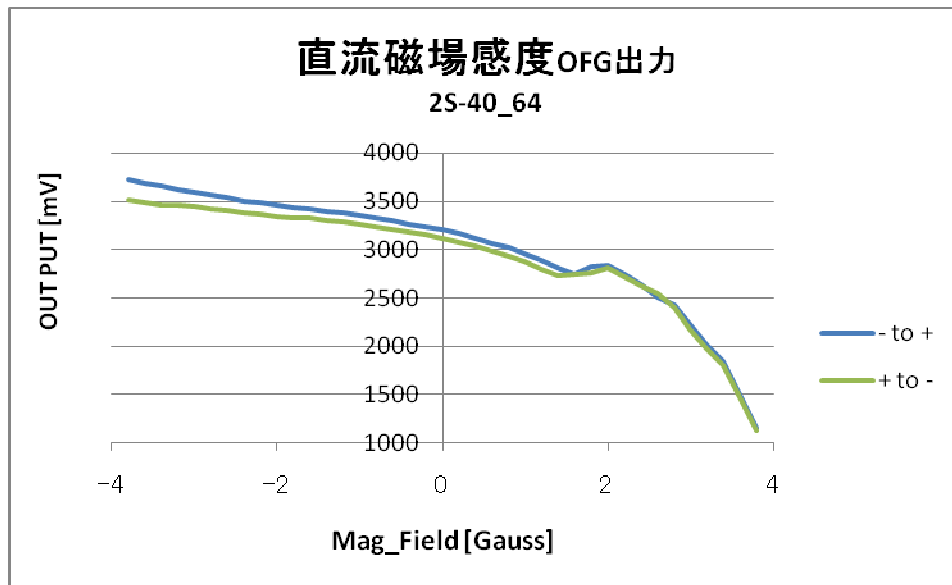


図 12-1 直流磁場感度特性 (集磁なし)

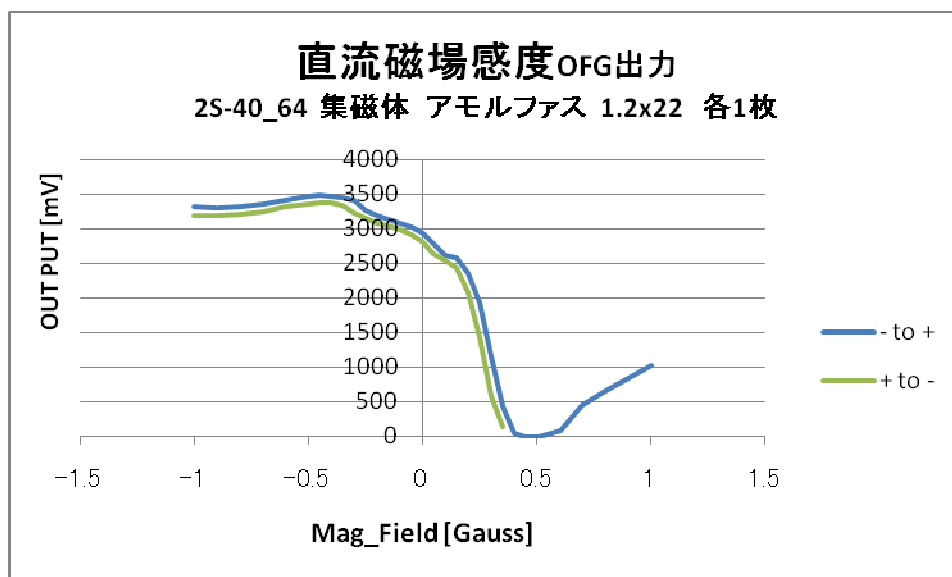


図 12-2 直流磁場感度特性 (集磁あり)

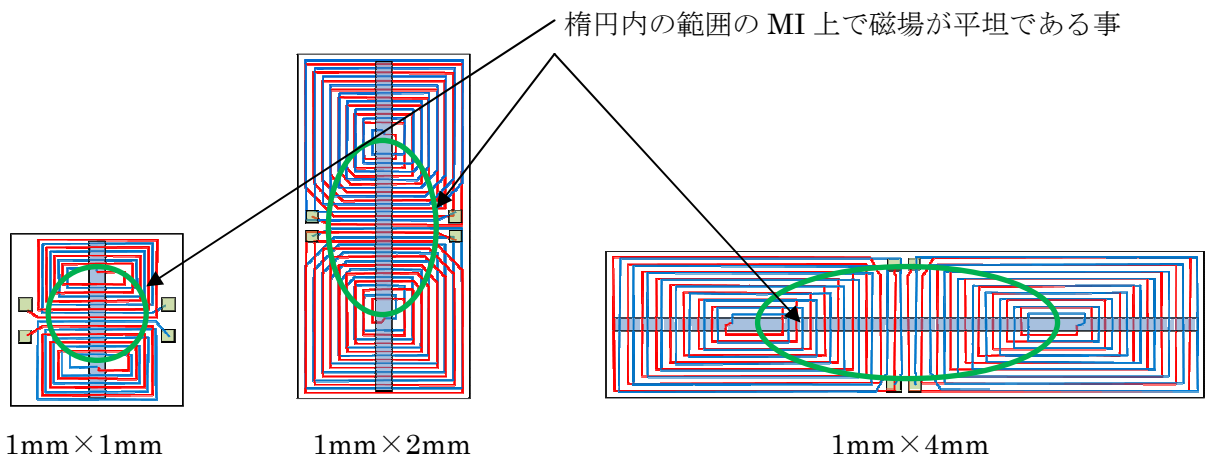


図 12-3 下地コイル平面図 (3種)

レイアウト上の制約から、幅の広い MI 薄膜には十分カバーしきれていないが、下図のコイルを製作した。

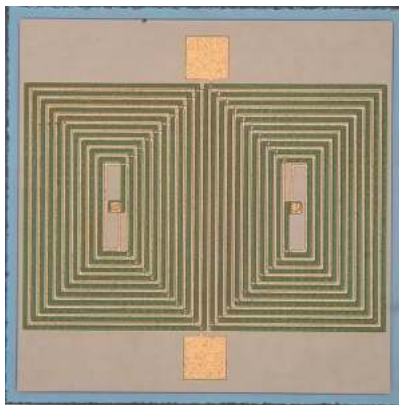


図 12-4 1mm×1mmチップ

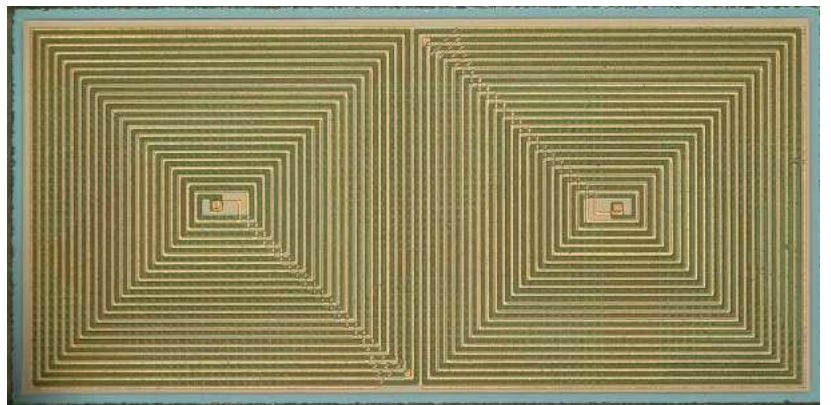


図 12-5 1mm×2mmチップ

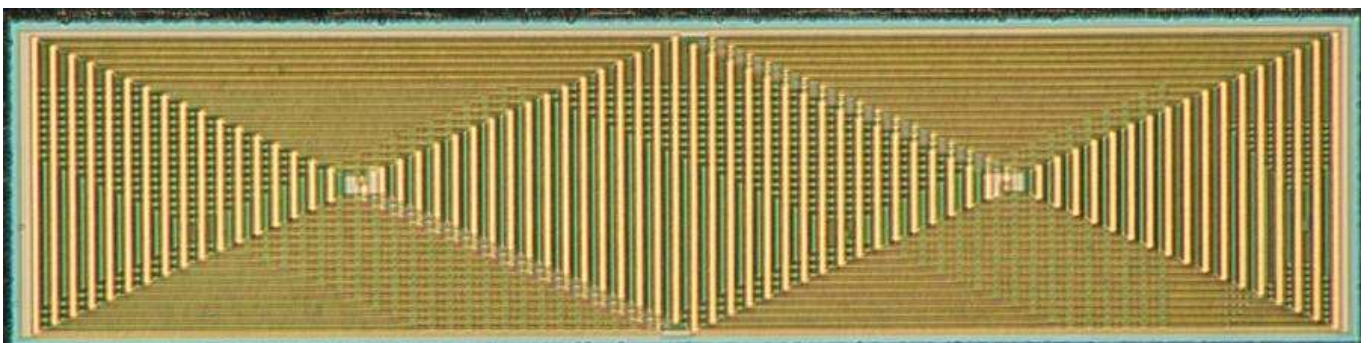


図 12-6 1mm×4mmチップ

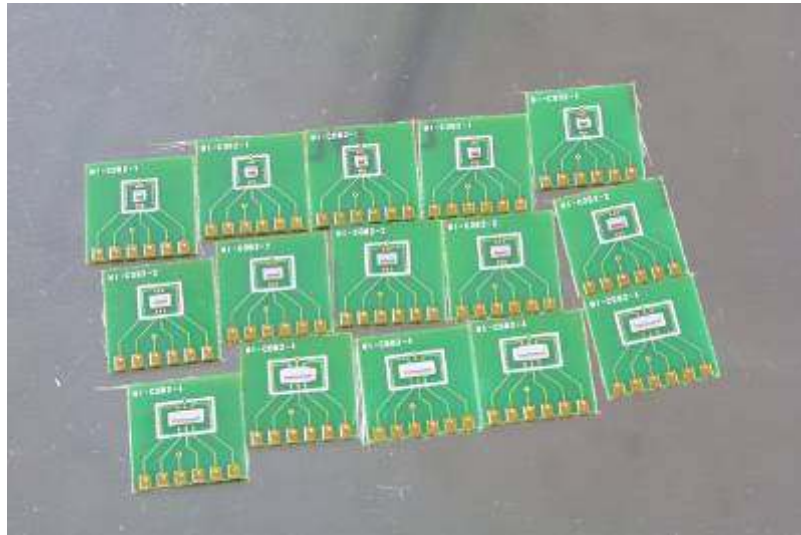


図 12-7 改良版プレーナーコイル・チップ用 COB 実装

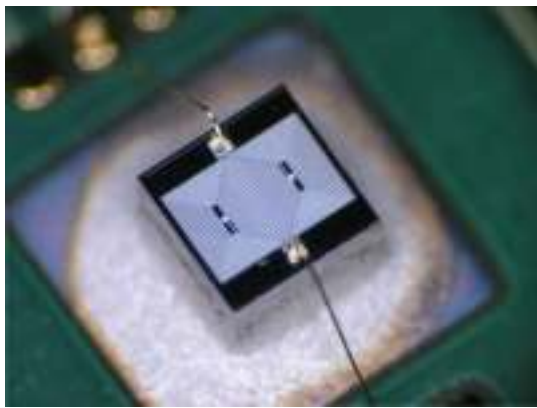


図 12-8 1 mm × 1 mm サイズチップ実装

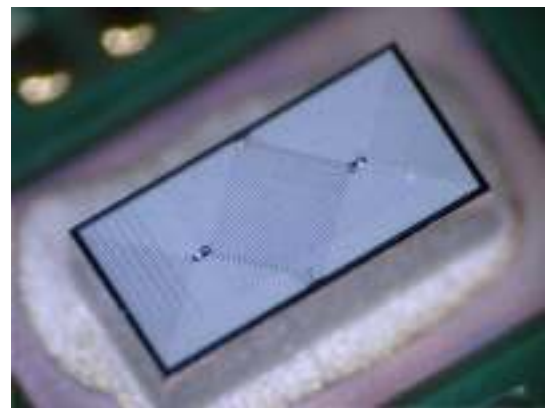


図 12-9 1 mm × 2 mm サイズチップ実装

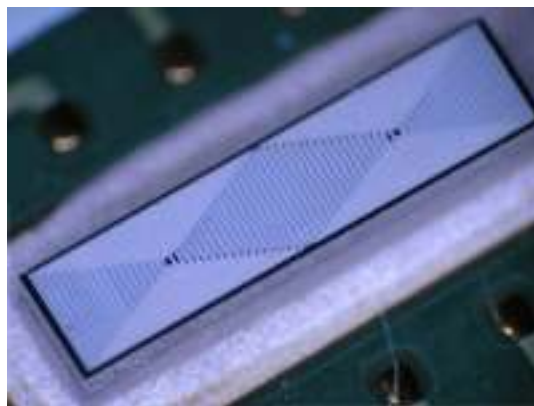


図 12-10 1 mm × 4 mm サイズチップ実装

アモルファスワイヤー集磁体用のコイルも設計・製作した。

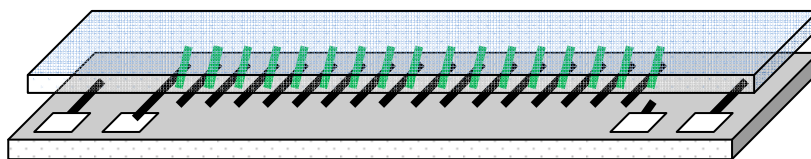


図 12-11 ロング MI ワイヤーチャッキング用チップの構成

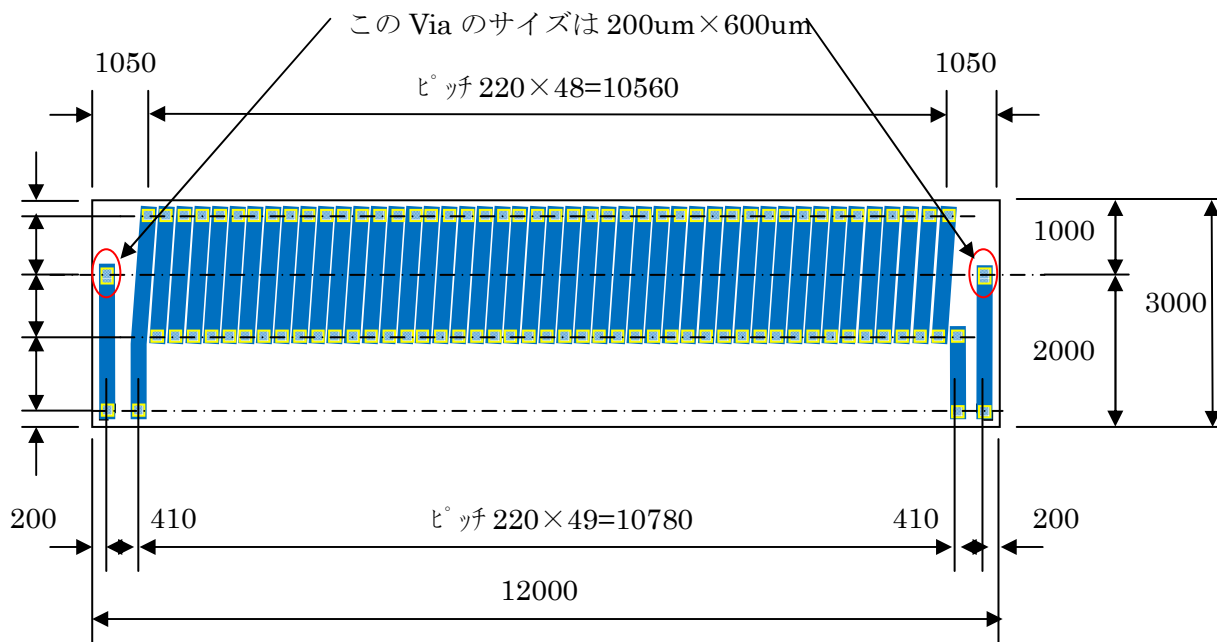


図 12-12 下側チップ詳細

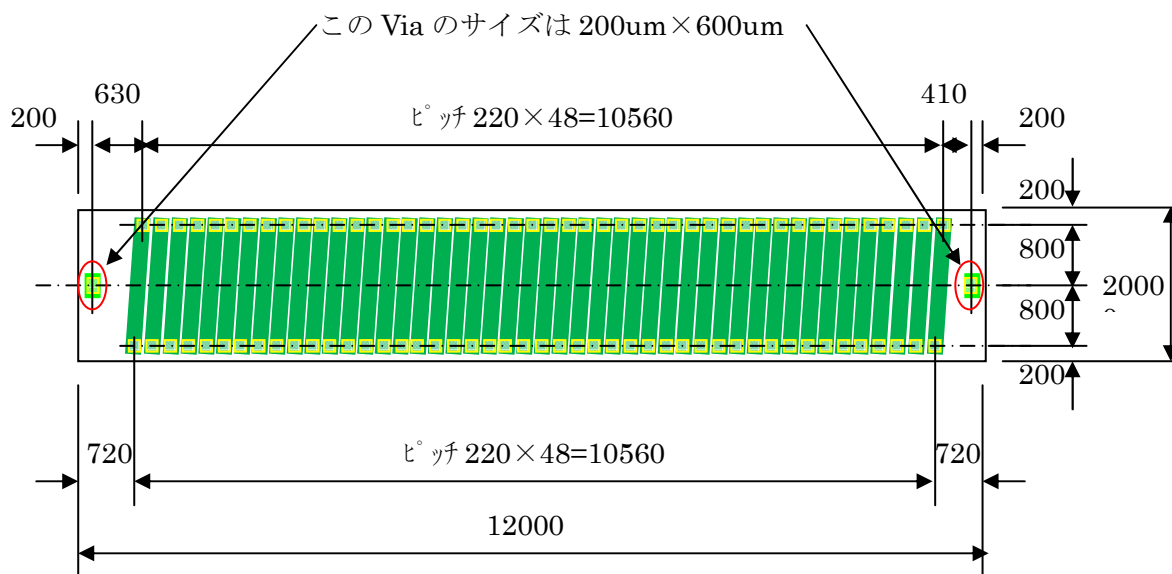


図 12-13 下側チップ詳細

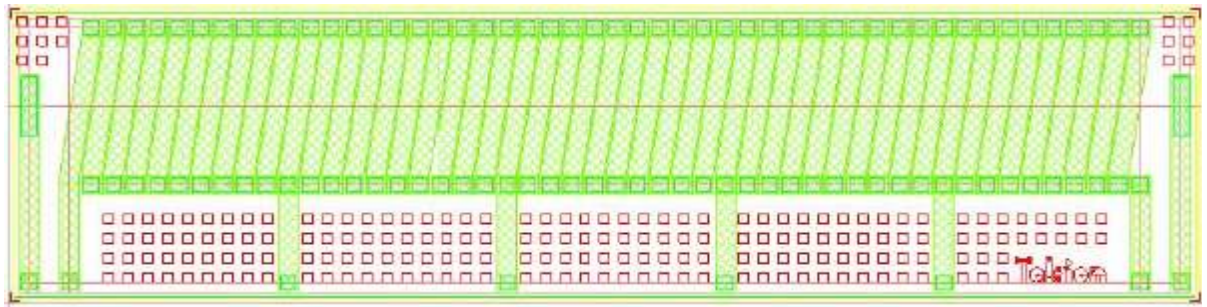


図 12-14 MI ワイヤ用チップの設計データ

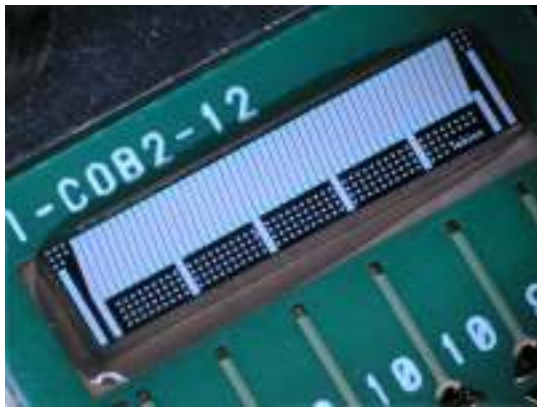


図 12-15 MI ワイヤ用チップの COB 実装

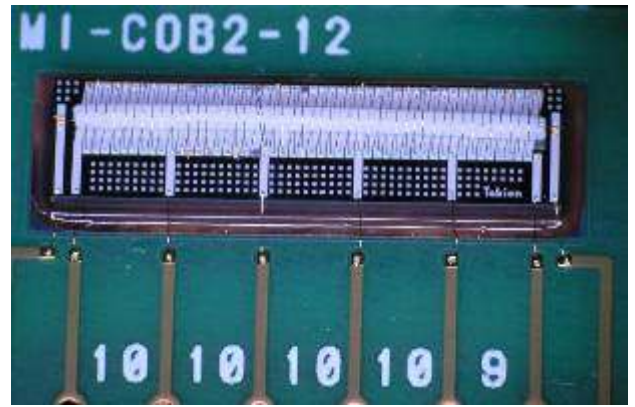


図 12-16 ワイヤ配線



図 12-17 MI ワイヤ用チップへの MI ワイヤ実装



図 12-18 MI ワイヤへの手巻き加工 (参考)

今回製作のプレーナ・コイルは、所定の動作を達成し、本研究中のひとつの技術成果となった。ただ、本研究中、後述の交流磁界感度測定等において必ずしも MI 素子と合せてモノリシック化したものは使用していない。要因の複雑化を避けるためであるが、製品化時に合体の準備は整ったと言える。なお、本技術はアモイヤタイプの集磁体用にも有効であることが確認でき、思わぬ成果であった（これは本年度特許出願済み）。

・パルス方式・検出回路の改良研究：

平成20年度:新規 OFG 方式の第2段階の試験を実施し、CMOS-LSI 化のための回路設計を行った。説明の都合上、後述の B/B の製作の項で記述するが、続いて、回路シミュレーション・レイアウト設計・データ検証・マスク製作を実施した。半導体プロセス流動 (Bi-CMOS) を行い、CMOS-LSI チップを製作し、評価を実施した。

システムの類別：

製品への応用を視野に入れた場合、用途と仕様は幅を持つため1つの動作方式だけでの対応は困難である。そこで方式1から4までのシステムを構想し、特に方式1、3は試験基板上に組み込み、動作試験を行った。

方式	アナログ検波方式	センサキャリアと受信部との同期	デジタル検波方式	対応モード
1	ストレート	非同期	レベルスライス	長波 TCO
2	ストレート	同期	レベルスライス	長波 TCO
3	ダイレクトコンバージョン	同期	レベルスライス	長波 TCO
4	ダイレクトコンバージョン	同期	ヒルベルト変換	長波 TCO、中波 AM

アナログ検波部はセンサキャリア除去、デジタル検波部は TCO または AM 復調を行うためのブロックである。

表2 方式の類別

方式1：

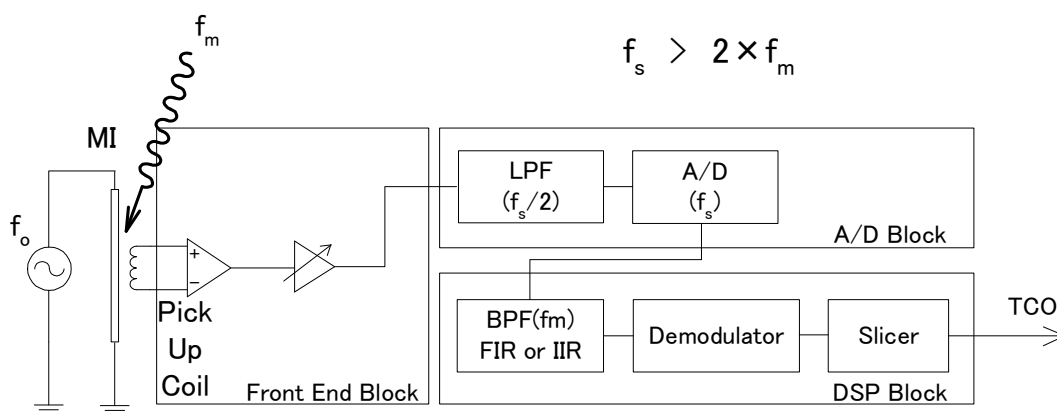


図 13-1 OFG による交流磁界受信システム・・・方式1

最も基本的な方式1は、センサ出力信号を増幅直後に LPF に通し、これに AD 変換を行う古典的ソフトウェアラジオである。周波数変換を行わなくてもスペクトル上はベースバンドが現れることを利用している。

ディスクリート部品により試験回路を作成し、実験を行った結果、40kHz 磁束密度として 0.4~0.5nT 程度まで受信可能であることが判明した。磁気センサ業界では、処理し易い 1kHz 程度の低い周波数で解像度としての磁束密度 0.5nT という数値が公表されており、これと比較しても遜色ない値であることが分かる。部品点数が少ない割には高感度を示す利点があり、リファレンスシステムに定めている。

方式 2 :

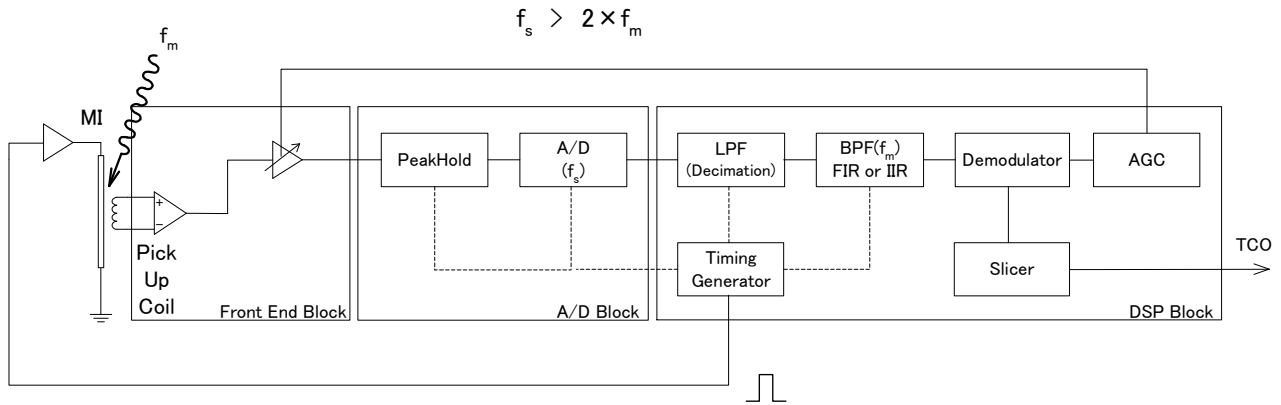


図 13-2 OFG による交流磁界受信システム・・・方式 2

方式 1 において、サンプリング時のみ MI 素子を駆動する様にしたもので、ピークホールドが必要であるが、消費電力を抑えながらオーバーサンプリングを行うことができる構成のため、実用的なシステムである。

方式 1 と共に特許出願、磁気学会学術講演会にて発表を行った。他に類似システムの発表は無く、本内容に新規性があることを確認した。

方式 3 :

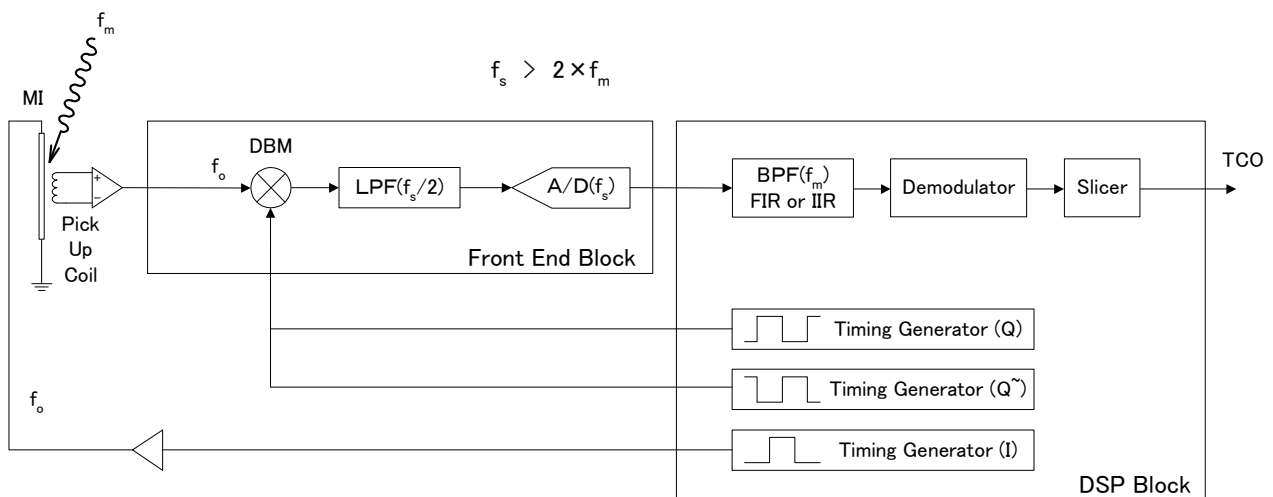


図 13-3 OFG による交流磁界受信システム・・・方式 3

高感度化、低雑音化を目的としてダイレクトコンバージョンを応用したものである。DSP や FPGA は自由にデジタルタイミングを生成することができるため、ミキサに必要なローカル信号発振器としても都合が良い。位相が既知である直交信号を生成すれば IQ 信号分離は不要であり、PLL でロックする必要もない。新たに DBM(Double Balanced Mixer)が必要となるが、これは近年ワンチップで安価に供給され、DSP 同様に使い易くなっている。

復調エラーを含むが、最小磁束密度は 0.3nT 付近まで下げることができた。

キャリア周波数が高くなると、古典的ソフトウェアラジオ構成は困難になるので、世に出回っているソフトウェアラジオ、DSP 無線機やスペクトラムアナライザのほとんどは、実はこの様に周波数変換を行っている。消費電力は大きい安定した高感度受信ができる利点がある。

方式 4 :

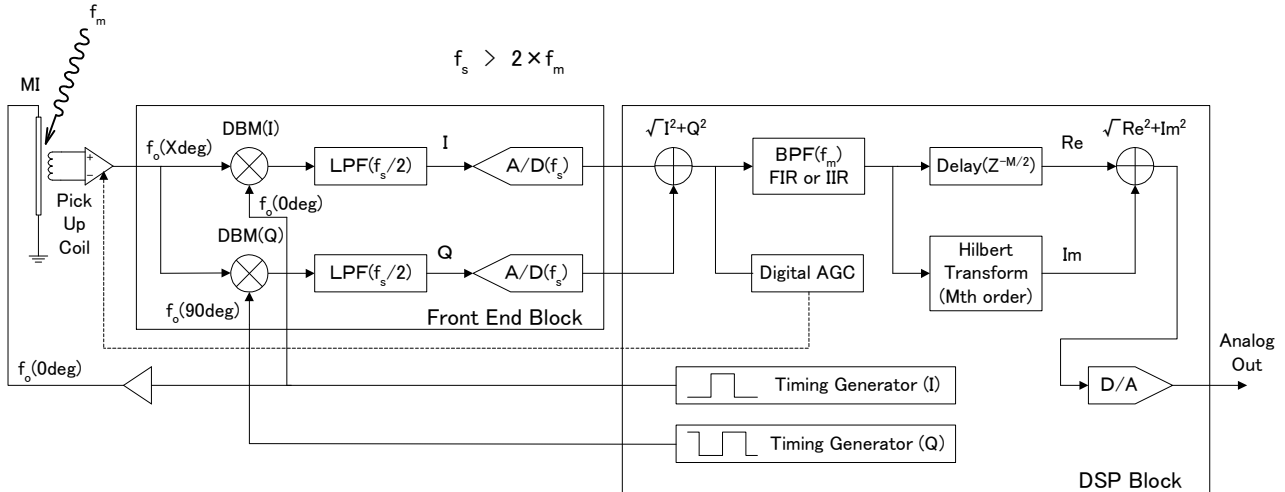


図 13-4 OFG による交流磁界受信システム・・・方式 4

方式 3 を発展させ、長波帯 TCO 受信のみならず中波帯 AC 受信をも視野に入れたものである。AD 変換後の信号を BPF に通した後、ヒルベルト変換により解析信号に変えて即時性を出すことで、良好なリニアリティを得ることができる。

前方式と比較して複雑になるが、レベルスライスを行わないのでそのまま ASK と AM 受信の両方に対応することができる。

Front End Block において IQ 信号分離を行っているが、IQ 分離を行わない方式 3 と同じ構成でも良い。直交変換を 2 度用いることで磁気センサ特有の問題を解決しようとするもので、方式 2 と共に実用的なシステムである。

周波数領域における検証 :

DBM の周波数領域における動作検証をするため、方式 3 の参照信号を用いてその入力信号と出力信号をスペクトラムアナライザにより観測した。DBM 出力振幅は損失により小さくなるため、キャリア先頭値が双方同じ程度になる様に DBM 後段増幅器の利得を調整した。発振周波数の誤差により中心周波数は 5MHz から少々高い方にシフトしている。入力では両側波帯の形が明確でないが、出力はノイズレベルが若干上昇しているにも拘わらず両側波帯が明確に浮き出ており、先頭部分で 20dB 近く上昇している。汎用部品と簡単な回路により、搬送波抑制と同じ効果が得られることが分かった。

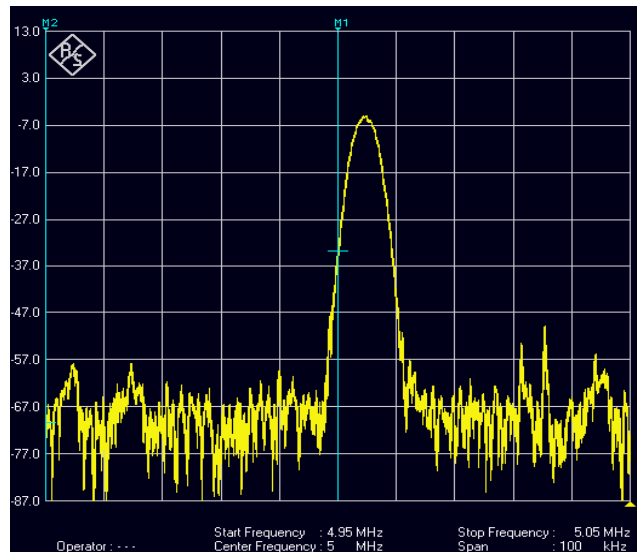


図 13-5 DBM 入力信号のスペクトル

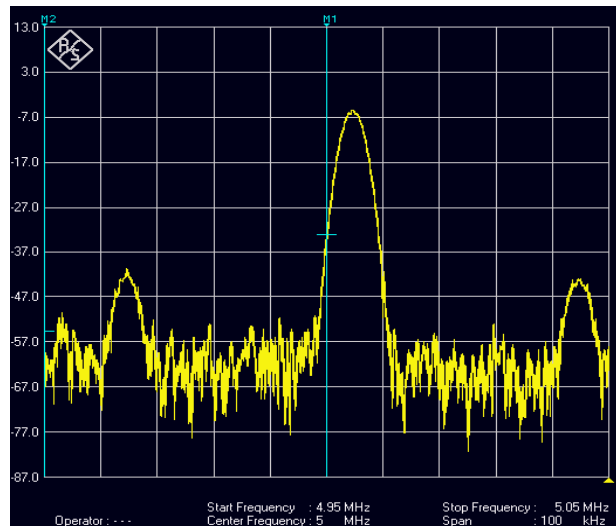


図 13-6 DBM 出力信号のスペクトル

4-1-3 サブテーマ「MI 素子集積化の研究開発」のまとめ

本サブテーマに関し、各詳細項目別に平成 20 年度の達成度と平成 21 年度の実施予定をまとめる。

・集磁構造体の研究：

平成 20 年度：集磁体実装基板の改良設計・製作を行い、試験を実施した。サブテーマ 3 における集積 MI 素子モジュール基板の設計に反映した。また、新規構想の単体 MI 素子の設計・製作・評価を行った。

平成 21 年度：本項目単独での実施予定はないが、集積 MI 素子モジュールとして下記受信機プロトタイプの研究に包含された形での動作評価に供する。

・バイアス磁界用プレーナ・コイルの研究：

平成 20 年度：プレーナコイル・チップに関し、改良版プレーナコイル・チップの設計・製作を行い、試験を実施した。

平成 21 年度：本項目単独での実施予定はない。集積 MI 素子モジュールとして下記受信機プロトタイプの研究に包含された形での動作評価に供する。

・パルス方式・検出回路の改良研究：

平成 20 年度：新規 OFG 方式の第 2 段階の試験を実施し、CMOS-LSI 化のための回路設計を行った。説明の都合上、後述の B/B の製作の項で記述するが、続いて、回路シミュレーション・レイアウト設計・データ検証・マスク製作を実施した。半導体プロセス流動 (Bi-CMOS) を行い、CMOS-LSI チップを製作し、評価を実施した。

平成 21 年度：20 年度の成果の一部である新規構想の I/Q (In Phase / Quadrature) 分離または位相ロック等による位相ずれ捕捉後、直交変換を用いたダイレクトコンバージョンによるセンサ信号入力構想の実際の試験を実施予定。また、後述の受信機プロトタイプの研究の項と密接に関係するが、必要に応じ CMOS-LSI 化した新規回路および新規 MI 素子の機能修正品試作を予定している。

上記全般をまとめると、達成度としては「集磁構造体の研究」について 70%、「パルス方式・検出回路の改良研究」について 80%としたが、新規 OFG 方式の研究などが作業量としては予定より進捗しており、トータルではほぼ予定通り、通年での計画全体に対する遅延は生じないと見通している。

4-2 デジタルフィルタ部の研究

4-2-1 研究開発の内容

受信回路のデジタルフィルタ部の研究を行う。まずフィルタリングスキーム (積和演算処理) の詳細な検討 (計算・シミュレーション) を行い、ハードウェアの設計・設計製作・評価を行っていく。(研究期間 平成 19 年 12 月～平成 21 年 7 月)

具体的には、デジタルフィルタの数値演算、シミュレーション、測定器ベースでの回路ブロック検証

を行い基本原理動作の確認後、FPGA を用いてブレッドボード (B/B) を設計・製作し、詳細に測定・評価を行っていくものである。

上記が、本サブテーマに関し概略、実施計画書記載の実施内容である。

本サブテーマも、

・数値演算・シミュレーション

および

・B/B の製作・評価

の2つの詳細項目から成る。

4-2-2 実施状況

上記本サブテーマ・各詳細項目に関し、平成20年度の実施状況について下記に記述する。

・数値演算・シミュレーション：

平成20年度：数値演算ソフトの正式版導入等を行い、FPGA/CPLD 開発ボードと上記 MI 素子評価試作品および試作装置類と組み合わせて試験を実施した。フィルタリングスキーム等を決定し、後述の B/B の製作仕様を策定した。

周波数選択性を持たせるための BPF に使われるデジタルフィルタについては、安定だが DSP のメモリを大きく消費する FIR よりも、所要メモリが少ない上に高い Q を実現できる IIR を用いた方が、同じシステムリソースにおけるパフォーマンスが高い。

振幅特性をシミュレートしながら IIR の係数を算出することにより、最も MI センサに適した特性を得ることとした。

デジタルフィルタ特性：

以下は振幅特性の一例である。

フィルタ係数設定により Q を大きくし過ぎると、サンプリング周波数の誤差が BPF 通過中心周波数 f_m のずれを引き起こし、結局は感度を下げることになるので、Q=140 程度が最も扱いやすいと判断した。

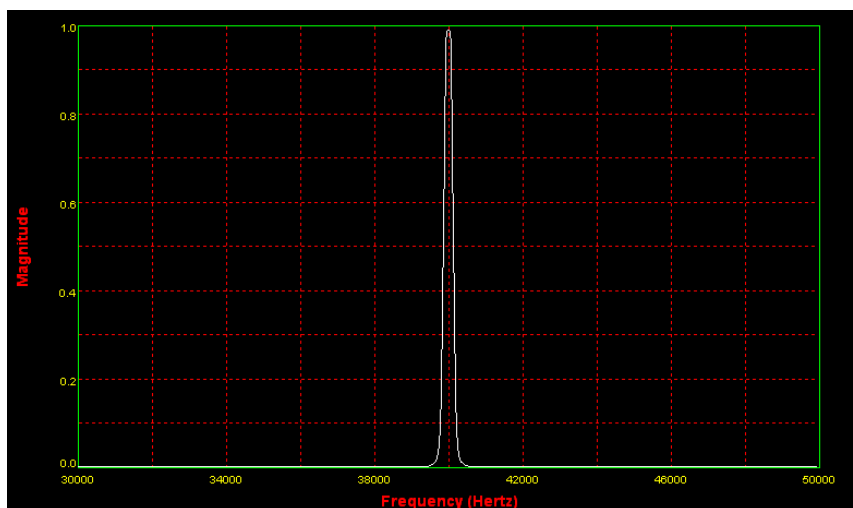


図 13-7 中心周波数 40kHz, Q=140, Butterworth 8 次 相当の IIR フィルタ振幅特性

BPF 後処理の工夫：

BPF 後の数値データは f_m を中心とした極狭い通過域しか含まないが、入力レベルが微小では振幅が一定にならない。後段でレベルスライスを行うとしても、これは復調信号に乗る H/L 論理反転の原因となるので、TCO 復調に限ってはスムージング除去することが望ましい。しかし、それは BPF 後さらに LPF を通すことと等価となり、選択性ひいては感度の低下をもたらす。これがどの程度であるかを動作により確認した。処理フローは以下の通りである。

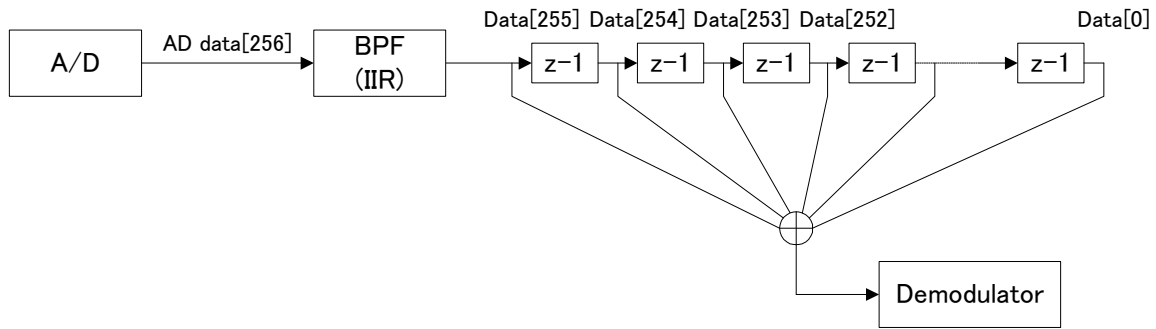


図 13-8 スムージングフロー

TCO 周期が 1s であるため、スムージングに要するサンプル数は 256 程度まで可能であった。BPF 後にリングバッファまたはバッチ処理によるスムージングを行っても、AD 入力振幅を大きめに設定することにより、同程度の感度を得ることができた。逆に AD 入力振幅が小さい場合 (1V_{p-p} 程度以下) はスムージングを行わずに、BPF からの数値データをそのままレベルスライスしなければ復調できないことが分かった。

以上は実際にシステムを構築しなければ分からないことであり、デジタル処理であっても前段アナログ部の調整が如何に重要かを示す結果となった。

参照信号生成部：

ダイレクトコンバージョンを行う動作方式では参照信号を生成する必要があるが、センサ回路特有の位相特性を利用したため、使用している DBM に対しては、クロックを元にしたシンプルな同期カウンタとロジック出力を利用すれば良く、1 チップ化と省電力化に極めて有利となった。FPGA/CPLD 内で構成したブロックは僅かこれだけで済んだ。

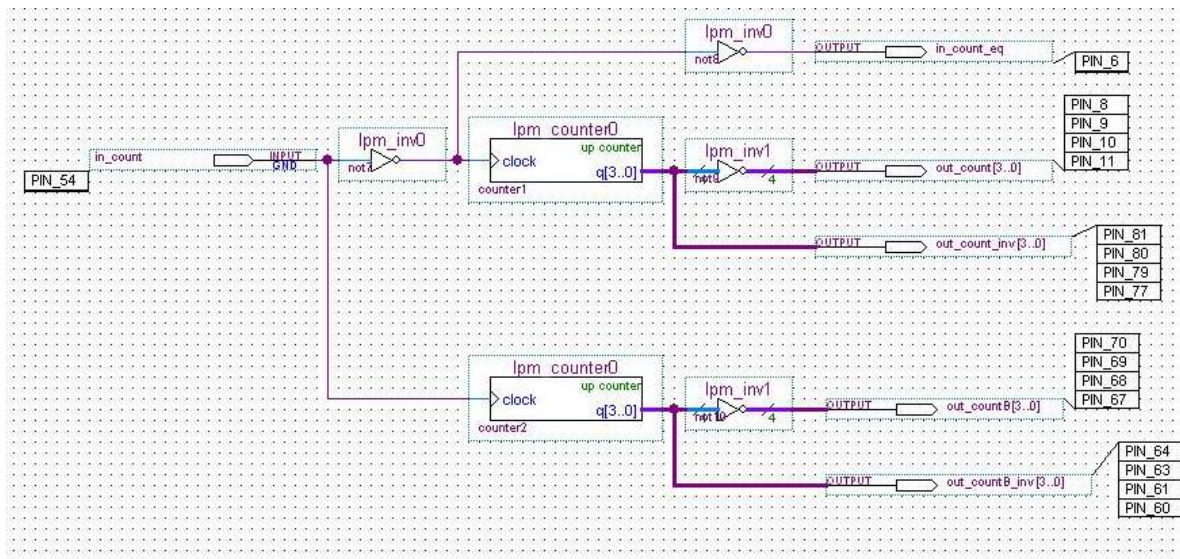


図 13-9 デジタル参照信号生成部

全体のデジタル処理フロー：

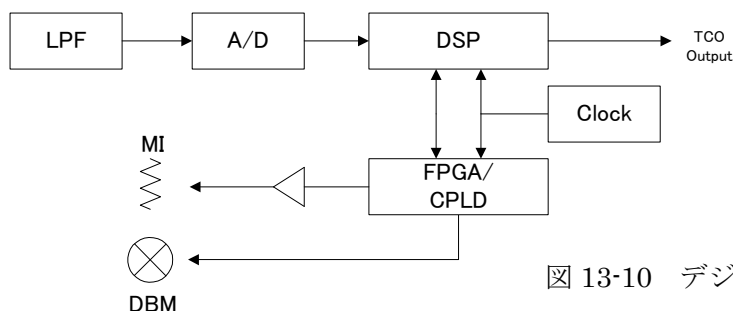


図 13-10 デジタル処理フロー

実際はこの様に、1つのクロックを基準に逐次処理系として DSP、同時処理系として FPGA/CPLD を並立動作させる方が構成し易く、所望の動作が実現できた。

・B/B の製作・評価：

平成20年度：上記、新規 OFG 方式の CMOS-LSI 化である TEG 作成の前にディスクリート部品による試験基板を製作した。試験基板評価後、CMOS-LSI 化のため、回路設計・シミュレーション・レイアウト設計・データ検証・マスク製作を実施し、半導体プロセス流動を行い、TEG としてチップを製作した。完成後、MI 素子と組合せ、センサ信号フロントエンド、DSP/FPGA コアから構成される「デジタルフィルタ試験装置システム」の構成が成った。「標準電波信号試験装置システム」と合せ評価に供した。

ディスクリート部品による試験基板：

センサ入力部は種々の MI 素子に対応し、動作方式の切り替えを可能とした。デジタル部は将来のワンチップマイコンへの組み込みを考慮して、転用できるローコストな部品で構成した。

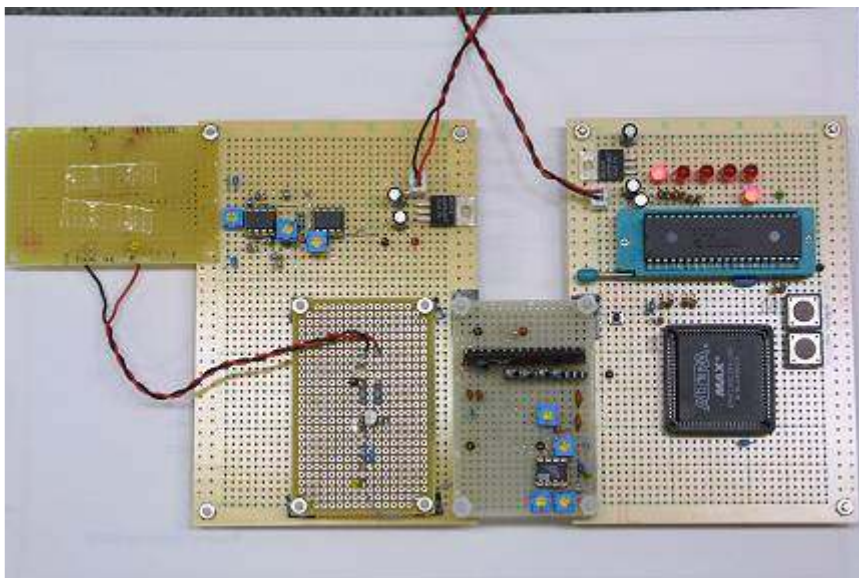


図 14-1 試験基板

動作試験：

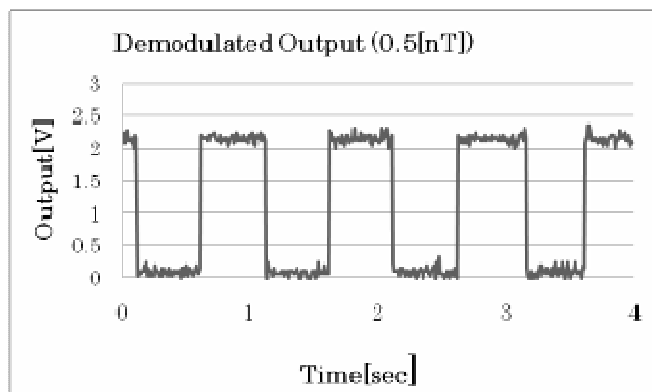


図 14-2 Duty50%パルス変調の復調例(0.5nT)

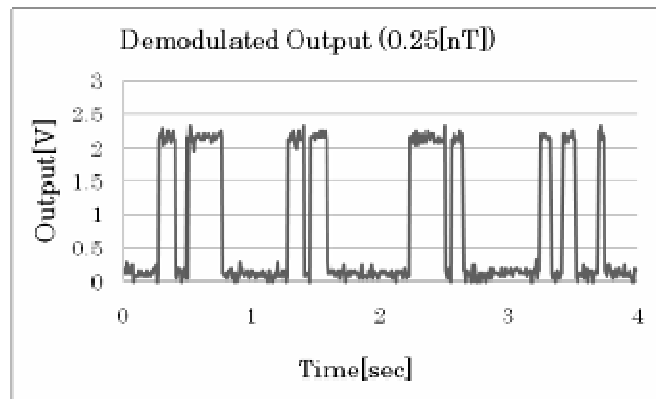


図 14-3 Duty50%パルス変調の復調例(0.25nT)

復調エラーによる H/L 論理反転を明らかにするために、方式 1 システムに、擬似 TCO 変調とも言える周期 1 秒 Duty50%のキャリア 40kHz のパルス変調信号を加えて復調したものが上図である。磁束密度が十分なレベル 0.5nT ではほぼ反転なく復調するが、レベルが半分の 0.25nT になると High であるはずの周期にランダムに Low 出力が現れ、復調エラーが出ていることが分かる。地磁気の十万分の一程の僅かな交流磁束密度の違いで復調エラー出現の確率が大きく変わった。

最小磁束密度の推移：

受信可能な最小磁束密度の推移

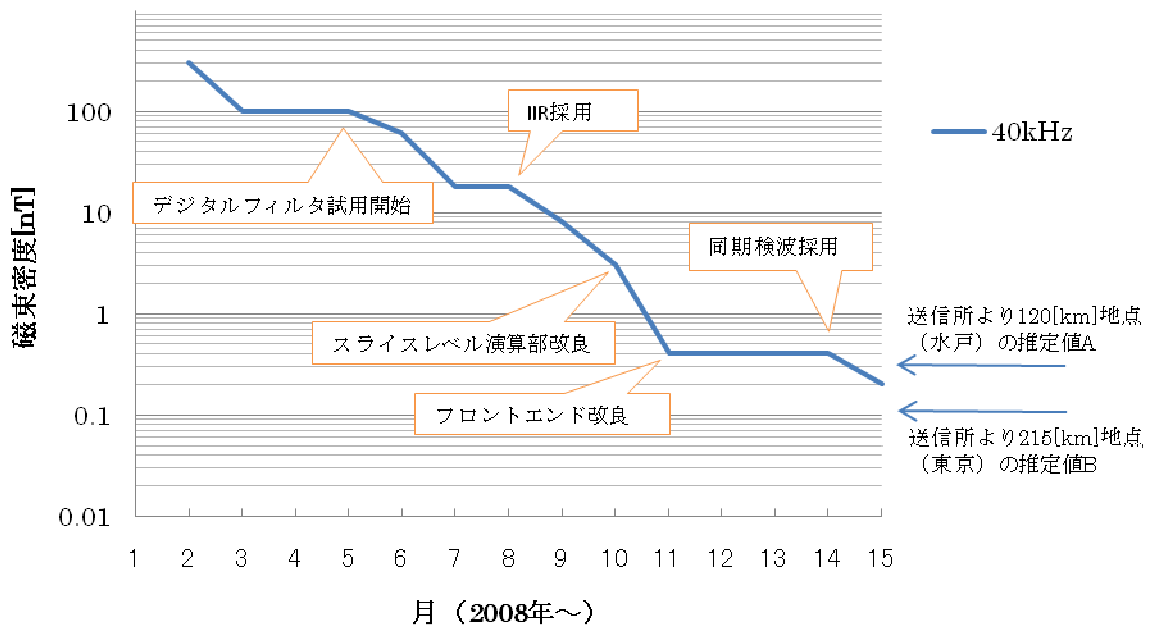


図 14-4 最小磁束密度の推移

方式 1 システムに Duty50%パルス変調信号を加えて、受信可能な最小磁束密度を示したものが上図である。横軸は昨年 1 月から起算した月単位の作業時系列であり、約 1 年間に種々のアイデアと改良により 3 桁程度の高感度化を実現したことが分かる。

0.3nT 以下まで測定可能な交流磁界強度計を持ち合わせていないため、図中に示す磁束密度推定値 A,B は、送信所直下の磁束密度測定値を基準に、公表されている電界強度減衰量を当てはめた値である。

磁束密度の推定値：

TCO 信号や AM 放送の送信アンテナは電界による励振を行っており、公表されている各地のデータも電界強度であるため、導き出される磁界の定義は近傍界か遠方界かにより違う。従って、受信可能な最小磁束密度も遠方界か近傍界かにより意味が違って来る。定義上の違いは

- ・遠方界：空間インピーダンス $E/H=377\Omega$ が成り立つ。
- ・近傍界：空間インピーダンス $E/H=377\Omega$ が成り立たない。

概して言えば、送信アンテナより1波長以上の距離があれば遠方界と見なす。従って40kHzの場合、7km以上離れれば遠方界である。

近傍界とならざるを得ないTEMセルなどでは、特性インピーダンスが50Ωならば $E/H=50\Omega$ の関係を使用しなければならない。同じく近傍界の実験室系では377Ωよりも低いと見られ、公表電界強度から磁界を計算すると磁界強度は若干大きくなることに注意しなければならない。

(磁束密度推定値A,Bは、磁界基準値から計算することにより上記の勘案はほぼ必要ないと考え、目安として図に示した。)

逆に磁界励振による実験を行った場合、磁界強度から換算した電界強度は、近傍界では小さくなると考えなければならない。

当初の目標値70dB μ V/mは電界強度表現であったため、磁界強度により目標値を定める場合は、より大きい値となることに注意しなければならない。

電界強度の公表値は、地点Aで85dB μ V/m、地点Bで75dB μ V/m程度である。

従って同じスケール上で、受信可能な電界強度は80~85dB μ V/m(40kHz)相当となる。これは当初の電界強度目標値70dB μ V/mと比較した場合、10~15dB μ V/m程度感度が低いことを示している。しかし磁界強度基準を用い、遠方界受信が出来ていることを考慮することにより、あと1桁程度の高感度化ではほぼ十分であると言えることができる。試験基板においては信号線長の最短距離化、電源回路や部品配置の改良、またMI素子の感度最適化設計の余地を未だ残しているため、この程度の高感度化は決して非現実的なことではなく、いよいよ最終段階が視野に入ってきた。

磁気学会発表においても40kHz受信でここまでの感度を示した報告はなく、H20年度の研究段階としての目標は達成したと考えている。

[参考：JJY おおたかどや送信所にいたる交流磁界測定]

ここで、上記感度推移の中では平成20年6月と非常に早い段階での実験ではあるが、東京・首都圏からJJY おおたかどや送信所にいたる道中、本研究でのディスクリート部品による試験基板等を持参し、磁界感度測定を行ったので紹介しておく。

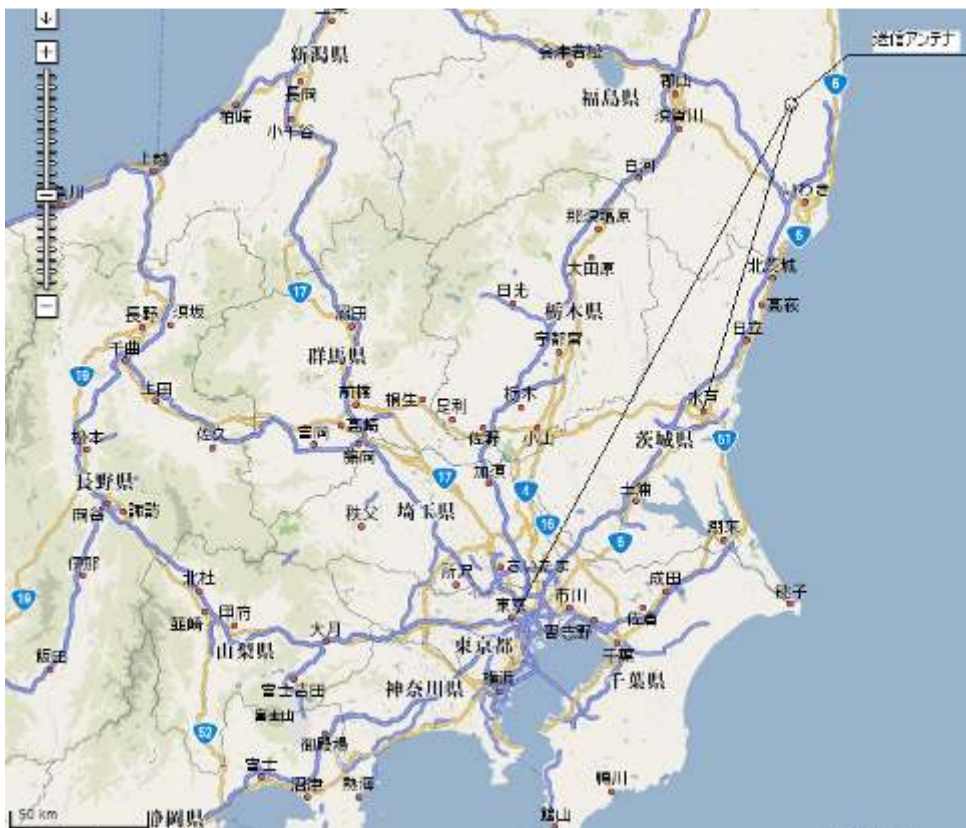


図 14-5
広域地図

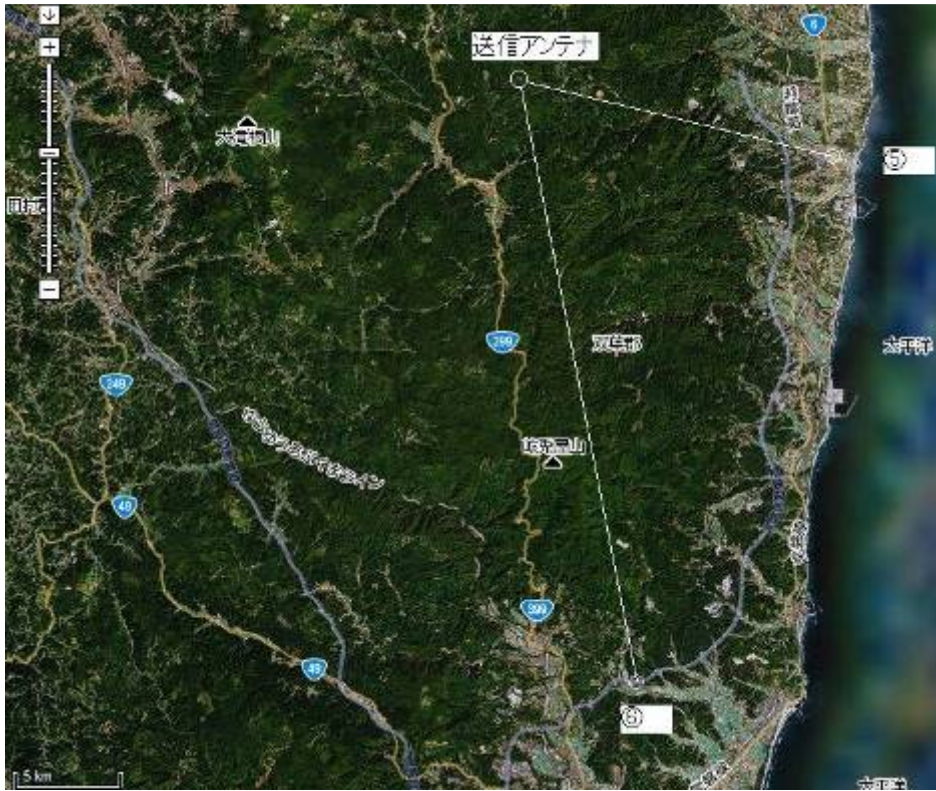


図 14-6
中城地図



図 14-7
送信所近辺



図 14-8 送信アンテナ



図 14-9 ポイント①



図 14-10 ポイント②



図 14-11 ポイント②



図 14-12 ポイント⑤

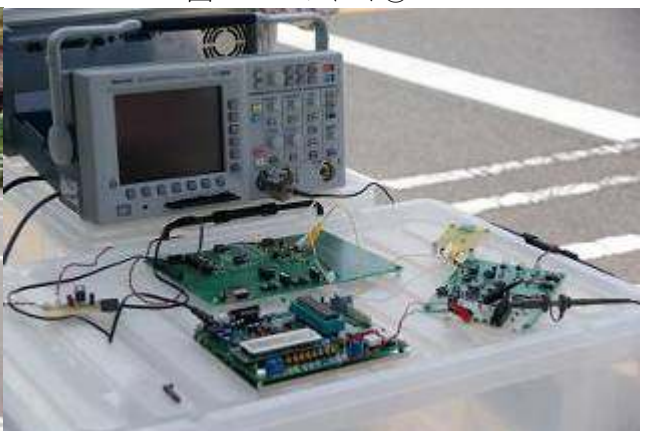


図 14-13 ポイント⑤

測定結果：

ポイント	送信アンテナ中心からの直線距離[m]	見通し	見通し上の障害物	基準 LC の最大誘導起電力[mVrms]	換算磁束密度	試験回路による TCO 復調
① 第一ゲート前	600	可	樹木、鉄ゲート、電線	29	12.6[nT] 0.126[mGauss]	可
② 空き地	650	可	無し	67	26.2[nT] 0.262[mGauss]	可
③ 路上 1	700	不可	樹木	56	25.1[nT] 0.251[mGauss]	可
④ 路上 2	900	不可	樹木	16	6.28[nT] 0.0628[mGauss]	不可
⑤ 富岡ショッピングプラザ駐車場	14000	不可	樹木、建造物等	5	3.14[nT] 0.0314[mGauss]	不可
⑥ 四倉 PA	28000	不可	樹木、建造物等	3	2.09[nT] 0.0209[mGauss]	不可

(*注、TCO 復調可否の欄はあくまで当時の完成度においてということである)

表 3 各ポイントでのデータ

場所	送信アンテナ中心からの直線距離[m]	見通し	見通し上の障害物	基準 LC の最大誘導起電力[mVrms]	換算磁束密度
水戸(-38dB)	120000	不可	樹木、建造物等	0.848	0.332[nT] 0.00332[mGauss]
東京都心(-45dB)	215000	不可	樹木、建造物等	0.376	0.147[nT] 0.00147[mGauss]

表 4 水戸ないし首都圏での見積

空き地②で測定した最大値 26.2[nT]を基準として、水戸と東京において得られる磁束密度を推定する。JJY のデータによれば、電界の減衰量は水戸：-38dB、東京都心：-45dB であるため、磁界も同程度に減衰すると仮定する。電界を空間インピーダンスで割った単純計算によれば、目標とする電界 70[dB μ V/m]は磁界 100[nGauss]相当であったが、下記によれば東京では 1470[nGauss]あれば良いことになり、1桁大きい現実的な値となる。

-----ここまで当時のまとめ-----

このように、当時の実測でも、上述本文中の考え方を裏付ける形となっていた。なお、上述したように、現時点では 0.332[nT]は達成しており、水戸での受信は可能と考えるが、東京都心での 0.147[nT]の確証が得られた段階で最終年度の仕上げで再度遠征測定として予定している。

MI-F/E TEG によるチップの製作 :

ディスクリート部品による試験基板評価が一段落した後、CMOS-LSI 化を視野に入れ、回路設計・シミュレーション・レイアウト設計・データ検証・マスク製作を実施し、半導体プロセス流動を行い、TEG としてチップを製作した。

1 ショット当たりのチップ構成は下記の通りである。これらを組み合わせることにより交流磁界受信のみならず他の試験機能をも実現する様に設計した。

チップ名: チップの機能 → 個数/ショット

- AA1: 不平衡型 MI センサフロントエンド(Size:4×4[mm]) →1 個
- AA2: 差動型 MI センサフロントエンド(Size:4×4[mm]) →1 個
- AA3: MI 駆動(Size:2×2[mm]) →1 個
- AA4: マッチングおよびプリアンプ(Size:2×2[mm]) →1 個
- AA5: 検波(Size:2×2[mm]) →1 個
- AA6: LPF (Size:2×2[mm]) →2 個
- AA7: 計装アンプ(Size:2×2[mm]) →2 個
- AA8: 差動型 MI センサフロントエンド 2 (Size:4×4[mm]) →2 個
- AA9: スwitching Bipolar Tr.+ アクティブ DBM(Size:2×2[mm]) →2 個
- AA10: Digital Delay Detector(Size:2×2[mm]) →2 個
- BB1: 試験用オペアンプ OpAmp_PNP1(Size:2×2[mm]) →2 個
- BB2: 試験用オペアンプ OpAmp_Rail1(Size:2×2[mm]) →2 個
- DD1P: 直流磁界感度確認フロントエンド (正極ピークホールド) (Size:2×2[mm]) →1 個
- DD1M: 直流磁界感度確認フロントエンド (負極ピークホールド) (Size:2×2[mm]) →1 個
- DD3: MI 駆動(Size:2×2[mm]) →2 個
- DD4: マッチングおよびプリアンプ(Size:2×2[mm]) →2 個
- DD5P: 正極ピークホールド(Size:2×2[mm]) →1 個
- DD5M: 負極ピークホールド(Size:2×2[mm]) →1 個
- JFETPA01: 試験用オペアンプ(Size:7×5[mm]) →1 個
- MOSPA01: 試験用オペアンプ(Size:7×5[mm]) →1 個
- TEG4-1: 試験用オペアンプ(Size:2×2[mm]) →2 個
- TEG4-2: 試験用オペアンプ(Size:2×2[mm]) →2 個
- TEG4-3: 試験用オペアンプ(Size:2×2[mm]) →2 個
- TEG4-4: 試験用オペアンプ(Size:2×2[mm]) →2 個
- TEG4-5: 試験用オペアンプ(Size:2×2[mm]) →1 個
- TEG4-6: 試験用オペアンプ(Size:2×2[mm]) →1 個
- TEG4-7: 試験用オペアンプ(Size:2×2[mm]) →1 個
- TEG4-8: 試験用オペアンプ(Size:2×2[mm]) →1 個
- E1: 試験用オペアンプ(Size:2×2[mm]) →2 個
- E2: 試験用オペアンプ(Size:2×2[mm]) →2 個
- E31: 試験用オペアンプ(Size:2×2[mm]) →2 個
- E32: 試験用オペアンプ(Size:2×2[mm]) →2 個
- F1: TAD Ring Oscillator High Speed Type(Size:2×2[mm]) →1 個
- F2: TAD Ring Oscillator Low Speed Type (Size:2×2[mm]) →2 個

例えば AA1,2,8 は以下の様なブロックにより、これだけでセンサフロントエンドを構成する。

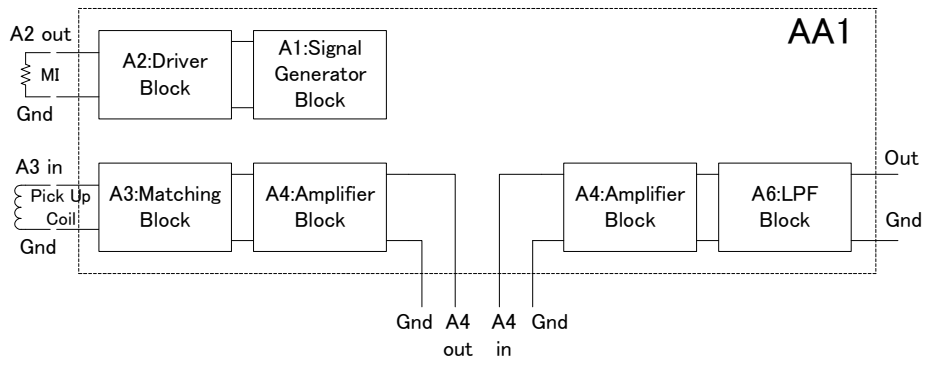


図 14-14 AA1 のブロック

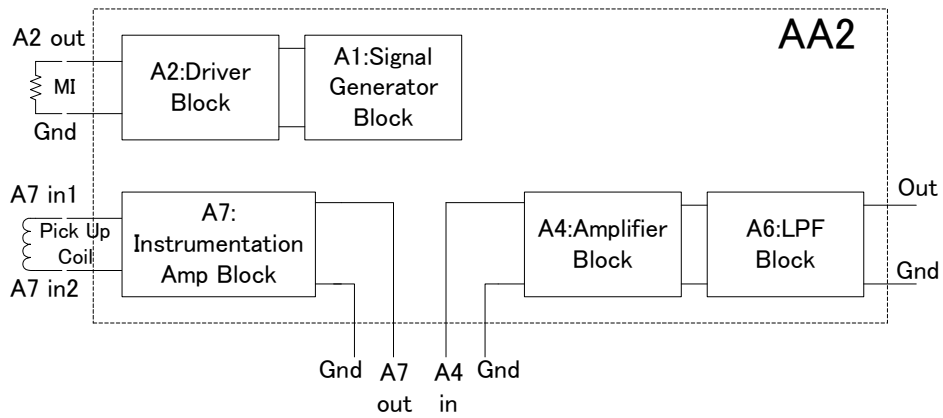


図 14-15 AA2 のブロック

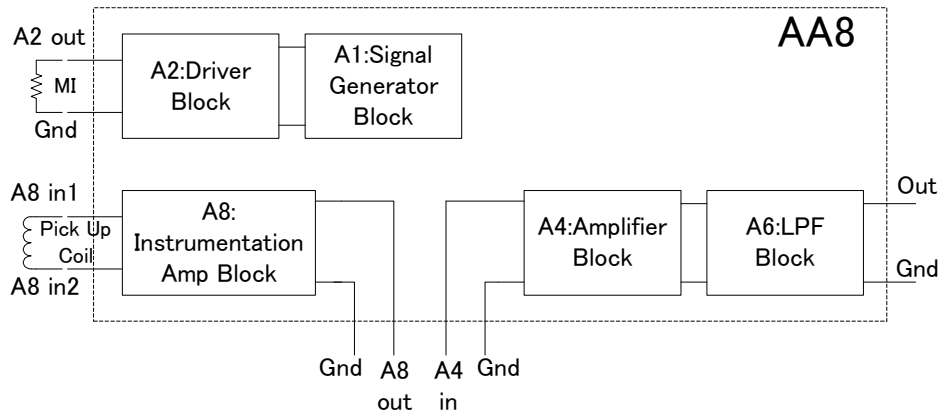


図 14-16 AA8 のブロック

1ショット当たりのチップ配置は下図である。

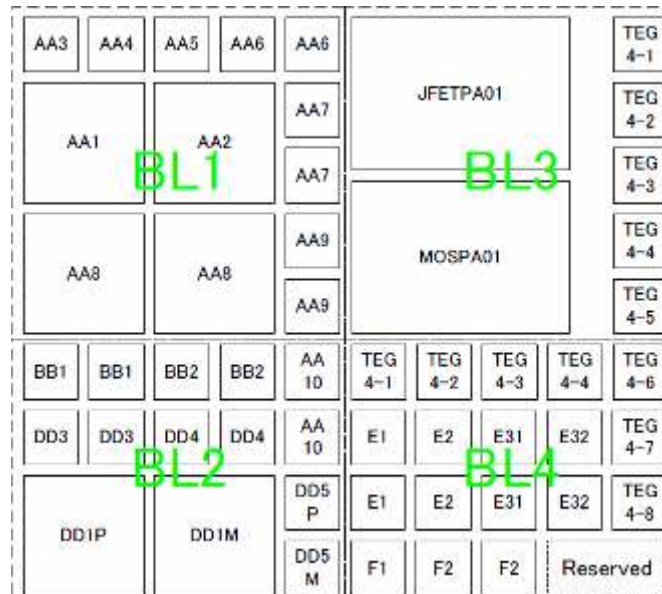


図 14-17 チップ配置

AA1~AA9 の GDS データを以下に示す。

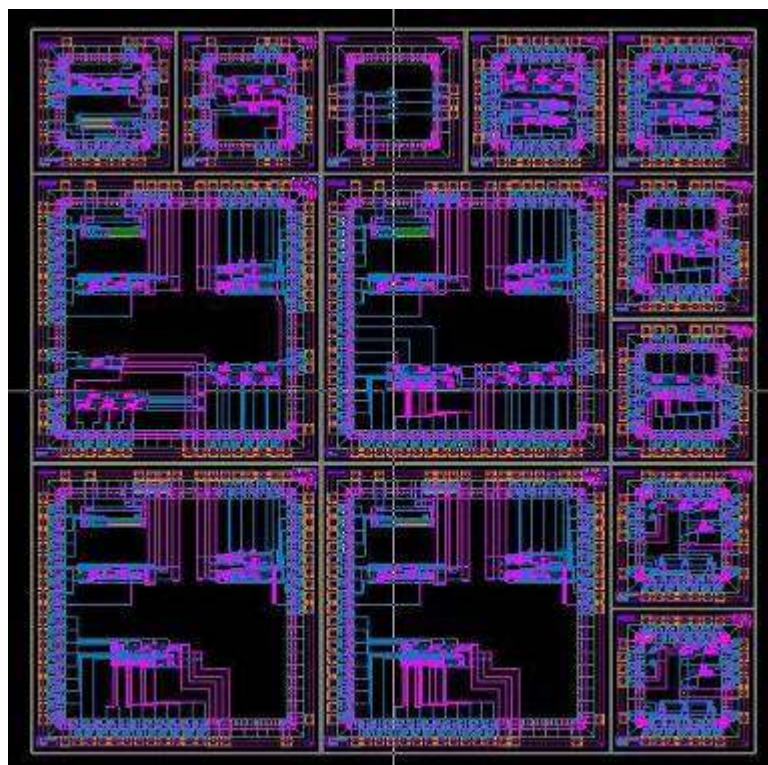


図 14-18 AA1~AA9 の GDS

Bi-CMOS プロセス流動を行い完成したチップ（一部）を以下に示す。

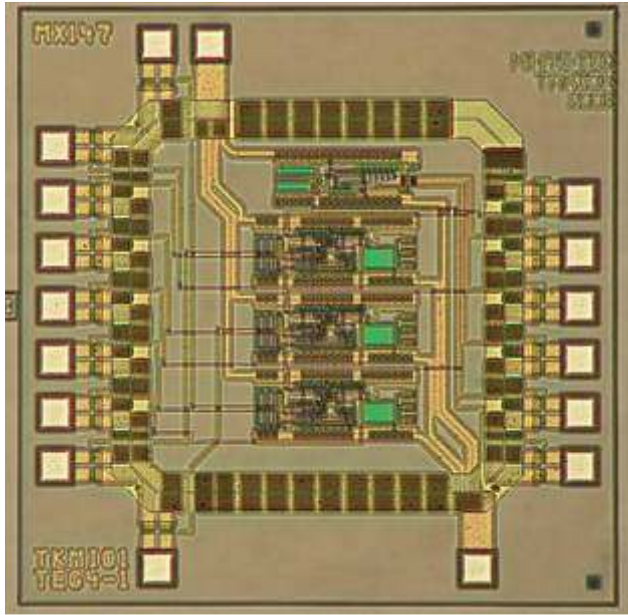


図 14-19 ベアチップ金属頭微鏡写真

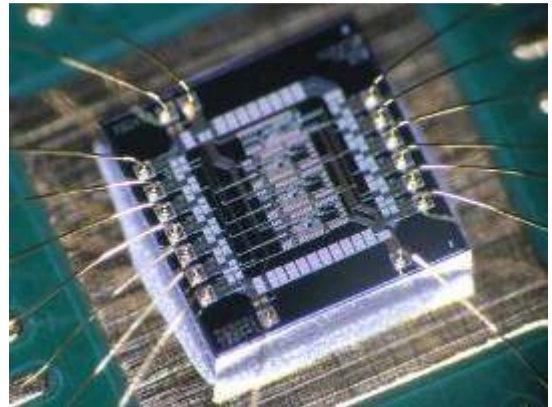


図 14-20 W/B（ワイヤボンド）
実装の様子

MI-F/E TEG 評価基板の製作：

COB に搭載した MI-F/E IC TEG を実際に動作させるための評価基板を製作した。図は方式 1 を AA6,AA9 チップにより実現した場合の評価基板であり、Front End Block（左側）を変えても対応できる様にデジタル基板（右側）を分離させた。方式 1 は同期検波部が無く、参照信号が不要であるためデジタル部もシンプルとなった。MI 素子を選択することで既存のディスクリート部品による試験基板と同等の動作性能を得た。

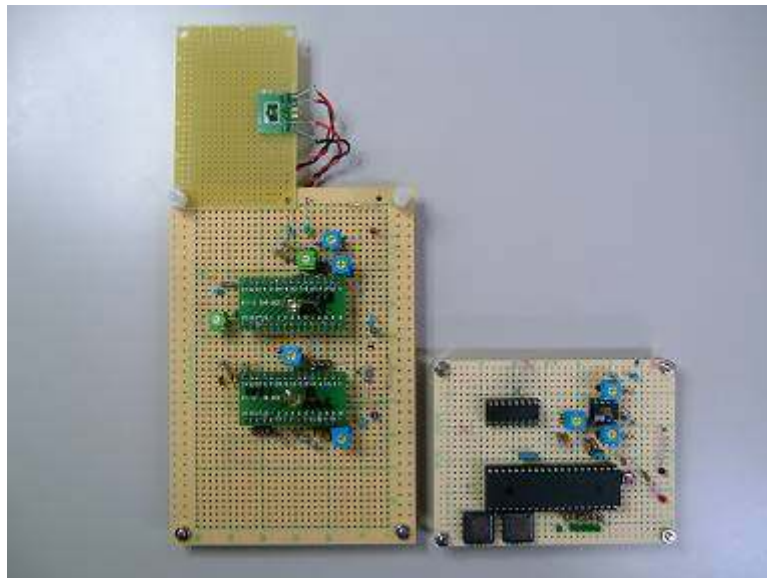


図 14-21 AA6,AA9 チップ評価基板

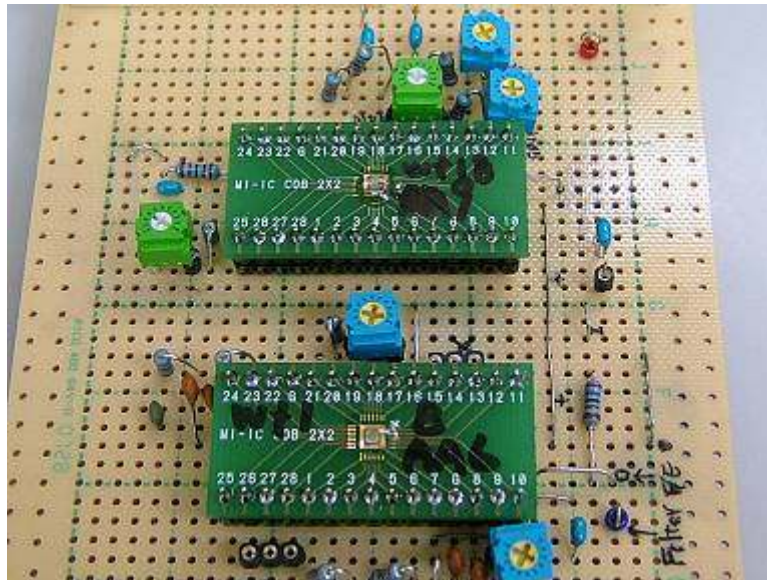


図 14-22 COB と周辺回路

並行して、MI センサ出力信号をピークホールド検出する AA9,DD5P チップ搭載評価基板を作成した。簡易な構成のため、MI 素子とマイコンを含めて一体型とした。意図した通り、センサ出力信号を正確に数値化する動作を確認した。

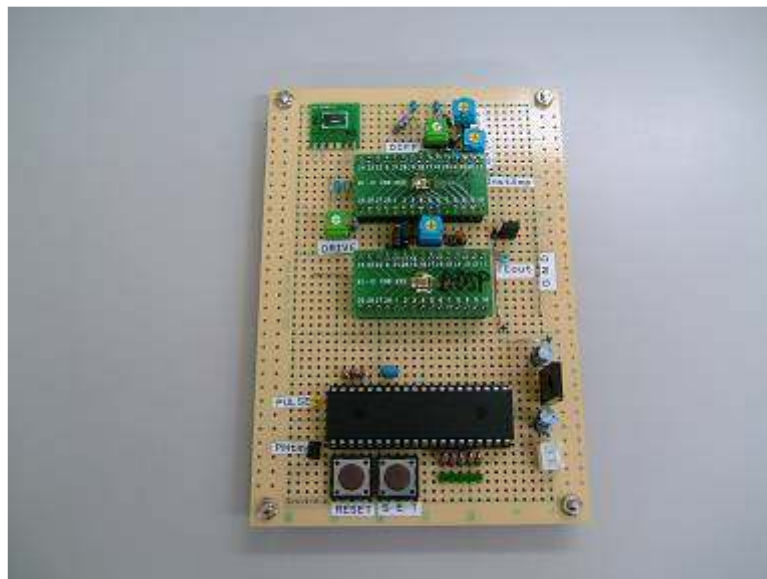


図 14-23 AA9,DD5P チップ評価基板

デジタルフィルタ試験装置システム：

センサ信号フロントエンド、DSP/FPGA コアから構成される「デジタルフィルタ試験装置システム」を製作した。A/D 部は分解能 10bit 以上、入力電圧分解能 2mV 以下の性能を有し、BPF 部は IIR フィルタとし、中心周波数 40kHz にてサンプリング周期を 80ksps に抑えることにより $Q=140$, Butterworth 8 次 相当を実現した。復調部は、磁界強度と変調度に応じてスライスレベルを自動計算して TCO 出力を行う構成とした。また、製作した「標準電波信号試験装置システム」は①変調基板部、②復調基板部、③信号発生部等から構成され JJY から DCF77 まで世界 5 局準拠の擬似信号を発信でき、変調度 0~100、デューティ 0~1000msec でそれぞれ任意設定可能の性能を有する装置であり、本実施項目での評価に供した。

標準電波信号試験装置システム：

上記システムの評価に使用するため、①変調基板部、②復調基板部、③信号発生部等から構成され JJY から DCF77 まで世界 5 局準拠の擬似信号を発信でき、変調度 0~100、デューティ 0~1000msec でそれぞれ任意設定可能な性能を有する装置を構成した。

4-2-3 まとめ

・数値演算・シミュレーション：

平成 20 年度：数値演算ソフトの正式版導入等を行い、FPGA/CPLD 開発ボードと上記 MI 素子評価試作品および試作装置類と組み合わせて試験を実施した。フィルタリングスキーム等を決定し、後述の B/B の製作仕様を策定した。

周波数選択性を持たせるための BPF に使われるデジタルフィルタについては、安定だが DSP のメモリを大きく消費する FIR よりも、所要メモリが少ない上に高い Q を実現できる IIR を用いた方が、同じシステムリソースにおけるパフォーマンスが高い。

振幅特性をシミュレートしながら IIR の係数を算出することにより、最も MI センサに適した特性を得ることとした。

平成 21 年度：本年度は新たに AM 復調を目標とした解析信号ヒルベルト変換、その他 DSP 上の複素信号処理手法を行うシミュレーションを実施予定。

・B/B の製作・評価：

平成 20 年度：新規 OFG 方式の CMOS-LSI 化である TEG 作成の前にディスクリート部品による試験基板を製作した。試験基板評価後、CMOS-LSI 化のため、回路設計・シミュレーション・レイアウト設計・データ検証・マスク製作を実施し、半導体プロセス流動を行い、TEG としてチップを製作した。完成後、MI 素子と組合せ、センサ信号フロントエンド、DSP/FPGA コアから構成される「デジタルフィルタ試験装置システム」の構成が成った。「標準電波信号試験装置システム」と合せ評価に供した。

平成 21 年度：本年度は上記の AM 復調を目標とした複素信号処理を実行するため DSP/FPGA コアから構成される「デジタルフィルタ試験装置システム」への機能追加を実施予定。

4-3 受信機プロトタイプの研究開発

4-3-1 研究開発の内容

研究してきた MI 素子を集磁構造体との集積モジュール（COB 実装等）の形に仕上げ、デジタルフィルタ部（B/B）との融合を行い、受信機として機能するセットアップ（受信機プロトタイプ）を製作する。（研究期間 平成 20 年 5 月～平成 21 年 7 月）

その上で、受信性能等につき、詳細に測定・評価を行う。感度、金属ケース筐体の影響等を詳細に測定・評価する（標準電波&AM 放送受信帯域を想定）。

目指す目標、「超小型化と同時に薄型でフレキシブル。さらに、金属ケース内での動作可能を達成し、筐体材料・デザインの自由度向上と小型化（女持ち）にも対応する」という観点からの評価を行う。

「アンテナ部含めた超小型受信部モジュールの達成 FINAL イメージ」を前記 2-2 研究開発の最終目標で提示の図 9-1 に示した。「受信機プロト・セットアップイメージ」を同、図 9-2 に示した。

上記が、本サブテーマに関し概略、実施計画書記載の実施内容である。

本サブテーマも、

・集積 MI 素子モジュールの製作
および

・総合評価

の 2 つの詳細項目から成る。

4-3-2 実施状況

上記本サブテーマ・各詳細項目に関し、平成 20 年度の実施状況について下記に記述する。

・集積 MI 素子モジュールの製作：

平成20年度：サブテーマ1での研究成果を反映した集積MIモジュール用基板の設計・製作を実施した。MI素子、集磁構造体、新規製作LSI等を集積搭載し、集積MI素子モジュール（FPC実装）の形で製作し、下記総合評価に供した。

MIセンサと集磁体を実装するType-A、MIセンサと集磁体に加えフロントエンドICを実装するType-B、それらに加え周辺回路を包括するType-Cを設計した。

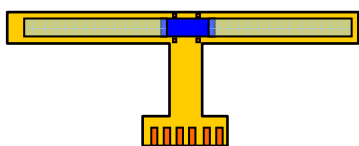


図15-1 Type-Aの形状イメージ

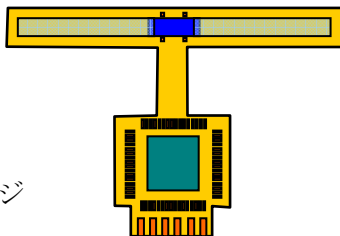


図15-2 Type-Bの形状イメージ

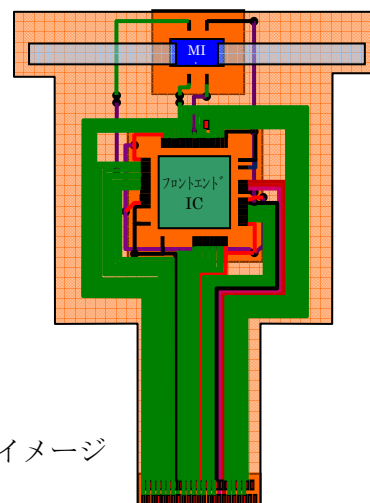


図15-3 Type-Cの形状イメージ

製作した集積MI素子モジュール用FPC基板：

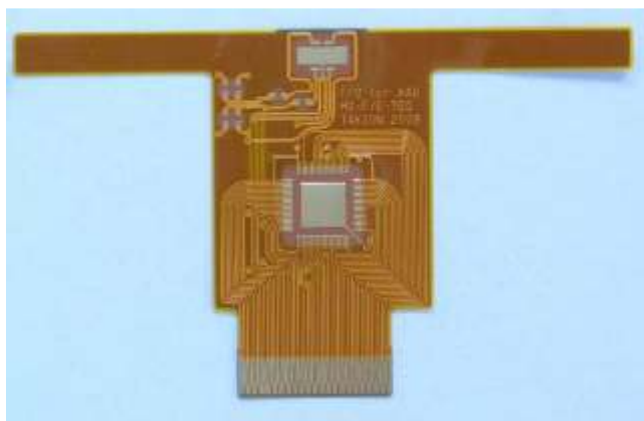


図15-4 集積MI素子モジュール基板完成品（左上からType-A、Type-B、右Type-C）

これらのFPC基板は、MI素子、F/E-ICチップを搭載し集積MI素子モジュールを形成する。

チップ搭載FPC

集積MI素子モジュール基板にMI素子およびMI-F/E-ICを実装した。



図15-5 1 mm x 1 mmチップ実装

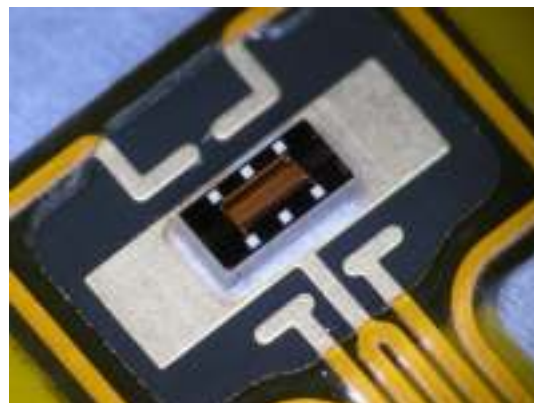


図15-6 1 mm x 2 mmチップ実装

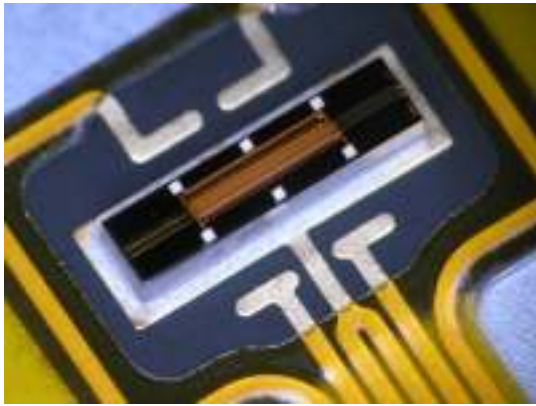


図15-7 1mm×4mmチップ実装

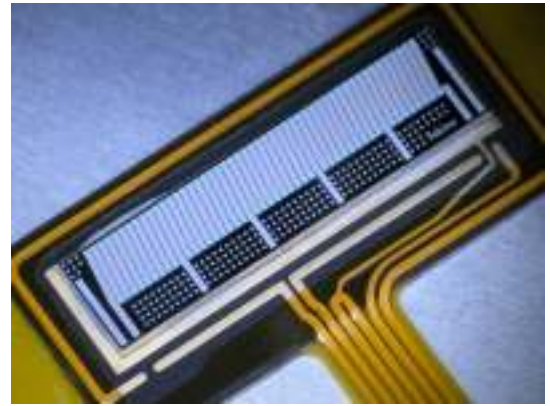


図15-8 3mm×1.2mmチップ実装



図15-9 Type-Aに1mm×2mmチップ
実装
0.8mm×22mmアモ箔帯付き

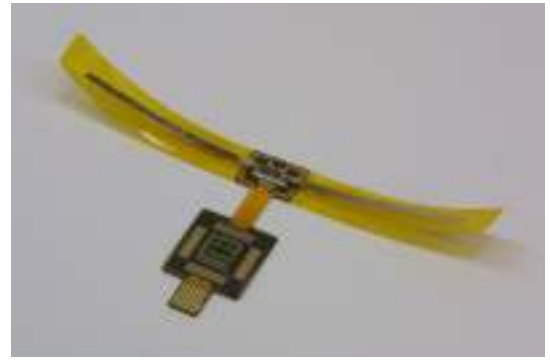


図15-10 Type-Bに1mm×4mmチップ
およびMI-F/E-IC実装
0.8mm×22mmアモ箔帯付き

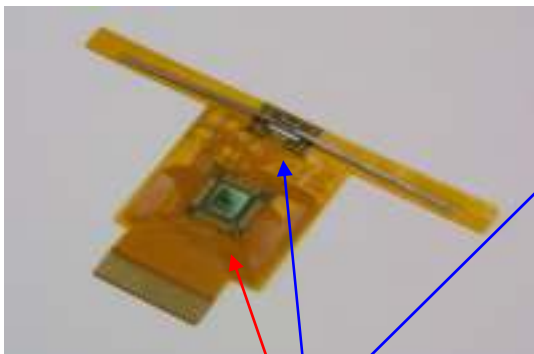
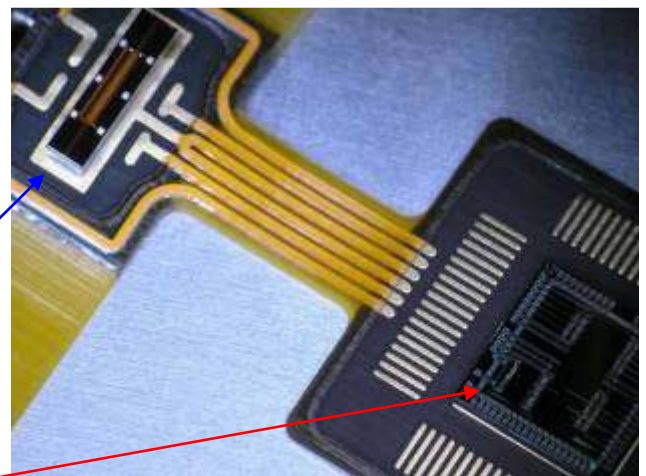


図15-11
Type-Cに1mm×4mmチップ
およびMI-F/E-IC実装
0.8mm×22mmアモ箔帯付き



・総合評価：

平成20年度：上記集積MI素子モジュールとデジタルフィルタ試験装置システム、標準電波信号試験装置システム等を組合せ、受信機として機能するセットアップ（受信機プロトタイプ）を組上げ、各種評価を実施した。標準電波対応として目標の受信可能電界強度達成の目処が立った。金属対応として樹脂筐体内との比較において有意差がないことが確認できた。

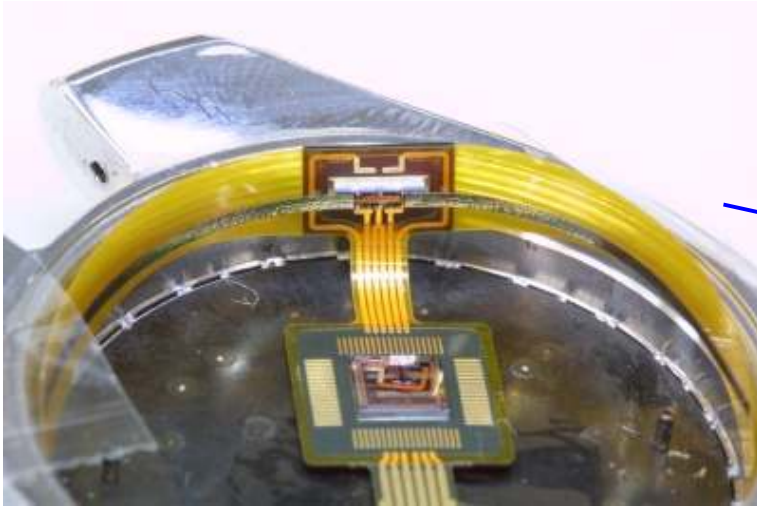


図 15-12 集積MI素子モジュールが時計筐体に収まった状態

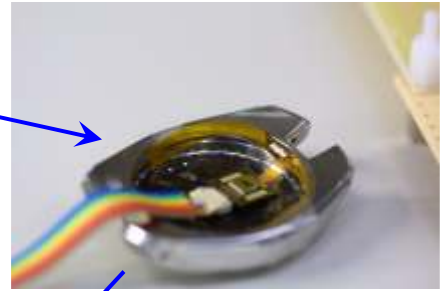


図 15-13 時計筐体



図 15-14 DSPボードとデジタルフィルタ評価システム装置と上記時計などを配置して評価を行っている状態

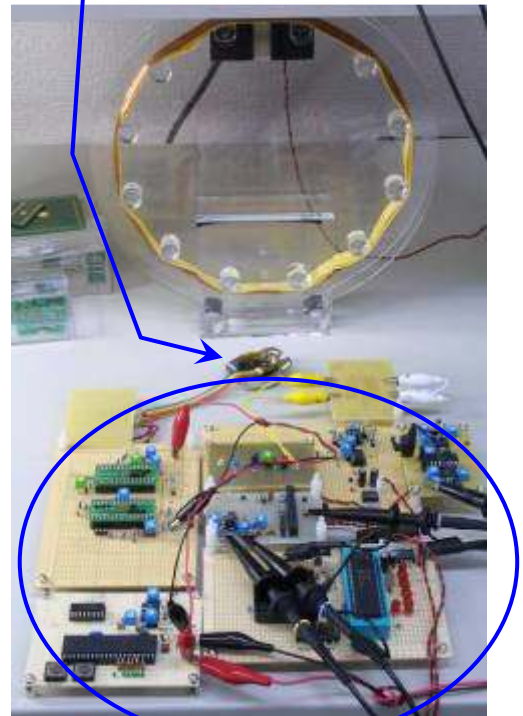


図 15-15 デジタルフィルタボード

現状、受信可能な電界強度は $80\sim 85\text{dB}\mu\text{V/m}$ (40kHz) 相当のデータが得られている。しかしながら、まだまだ発展途上であり、H21の継続研究の中で、各種機能の拡充・性能向上を図っていく。

4-3-3 まとめ

・集積 MI 素子をモジュールの製作：

平成20年度：サブテーマ1での研究成果を反映した集積 MI モジュール用基板の設計・製作を実施した。MI 素子、集磁構造体、新規製作 LSI 等を集積搭載し、集積 MI 素子モジュール（FPC 実装）の形で製作し、下記総合評価に供した。

平成21年度：集積 MI 素子モジュールとデジタルフィルタ試験装置システム、標準電波信号試験装置システム等を組合せたセットアップを受信機プロトタイプとしているが、集積 MI 素子モジュールは本プロトに組み込んだ状態で特性の調整・改善実験を行っていく。また、必要に応じ製作した CMOS-LSI チップの機能修正品試作を行う。

・総合評価：

平成20年度：上記集積 MI 素子モジュールとデジタルフィルタ試験装置システム、標準電波信号試験装置システム等を組合せ、受信機として機能するセットアップ（受信機プロトタイプ）を組上げ、各種評価を実施した。標準電波対応として目標の受信可能電界強度達成の目処が立った。金属対応として樹脂筐体内との比較において有意差がないことが確認できた。

平成21年度：受信機プロトタイプにおいては、本年度は新たに AM 電波受信評価を行うものであるが、CMOS-LSI の改良や集積 MI 素子モジュール、デジタルフィルタの改良を加えて標準電波受信の更なる性能向上を図ると同時に時刻表示装置等を付加し、本プロトタイプをデモ可能な形に仕上げるのを実施予定とする。

4-4 総括

本年度の研究の総括を各サブテーマ毎にまとめると、以下のようになる。

・MI 素子集積化の研究開発：

本年度は新規構想の単体 MI 素子の製作、新規集磁体実装基板の改良などを達成し、サブテーマ3における総合評価に供することができた。検出回路としては新規回路方式の CMOS-LSI 製作を達成して、同様総合評価に供することができた。

・デジタルフィルタ部の研究：

FPGA/CPLD 開発ボードと上記 MI 素子よび試作装置類と組み合わせて試験を実施した。フィルタリングスキーム等を各種検討、目標とする感度達成の目処が立った。サブテーマ3の「受信機プロトタイプ」の一部を構成する DSP/FPGA コアから構成される「デジタルフィルタ試験装置システム」を製作し、「標準電波信号試験装置システム」と合せて評価に供した。

・受信機プロトタイプの研究開発：

サブテーマ1での研究成果を反映した集積 MI モジュールの設計・製作を実施した。MI 素子、集磁構造体、新規製作 LSI 等を集積搭載し、FPC 実装の形で集約された集積 MI 素子モジュールとサブテーマ2でのデジタルフィルタ試験装置システム、標準電波信号試験装置システム等を組合せ、受信機として機能するセットアップ（受信機プロトタイプ）を組上げ、各種評価（総合評価）を実施した。標準電波対応として目標の受信可能電界強度達成の目処が立った。詳細にはサブテーマ2の項で記述したが、数値的な話としては受信可能な電界強度は $80\sim 85\text{dB}\mu\text{V/m}$ (40kHz) 相当のデータが得られている。これは当初の申請書中の電界強度目標値 $70\text{dB}\mu\text{V/m}$ と比較した場合、 $10\sim 15\text{dB}\mu\text{V/m}$ 程度感度が低いことを示している。しかし磁界強度基準を用い、遠方界受信が出来ていることを考慮することにより、あと1桁程度の高感度化でほぼ十分であると言えることができる。試験基板においては信号線長の最短距離化、電源回路や部品配置の改良、また MI 素子の感度最適化設計の余地を未だ残しているため、この程度の高感度化は決して非現実的なことではなく、いよいよ最終段階が視野に入って来た。磁気学会発表においても 40kHz 受信でここまでの感度を示した報告はなく、H20 年度の研究段階としての目標は達成したと考えている。

これまで述べてきたように、新規 MI 素子の設計・製作、新規回路方式 CMOS-LSI の設計・製作、それらを集約した集積 MI 素子モジュールの設計・製作、デジタルフィルタ試験装置システムの設計・製作、受信機として機能するセットアップ(受信機プロトタイプ)の組上げまで完遂することができた。このように平成 20 年度は、総じて物づくりに力を注いだ感がある。現在素材の山に囲まれている状況であるが、まだまだ咀嚼が充分でないことは否めない。測定・評価の追加、データ・分析の深耕、試料・試作品のファインチューンは平成 21 年度も行うので、研究として最大限の成果が実るよう仕上げている。

5 参考資料・参考文献

5-1 研究発表・講演等一覧

平成20年度は9月に日本応用磁気学会での発表を行った。平成21年度も同学会での発表を予定している。

第32回磁気学会学術講演会（東北学院大学・仙台）

平成20年9月13日（口頭）、9月14日（ポスター）

薄膜磁界センサとDSPによる交流磁界の受信

小串憲明、林俊春、斉藤豊、糸井和久*、石山和志**

(株式会社タキオン、*株式会社フジクラ、**東北大学電気通信研究所)

Reception of AC Magnetic Field Using Thin-Film Magnetic Field Sensor and DSP

N. Kogushi, T. Hayashi, Y. Saitoh, K. Itoi*, K. Ishiyama**

(Takion CO.,LTD., *Fujikura Ltd., **Research Institute of Electrical Communication, Tohoku Univ.)

はじめに

MI効果を利用して高感度な磁界センサを開発する試みが盛んに行われている。なかでも、センサ素子に高周波電流やパルス電流を加え、磁気結合したピックアップコイルから電圧を取り出してその変化を観測することにより、素子の印加磁界によるインピーダンス変化を検知するOFG（直交フラックスゲート）方式の検討が行われている。筆者らはDC磁界のみならずAC磁界を受信することを目的として、種々のセンサ駆動回路を提案しており、DSP（Digital Signal Processor）で数値的に処理を行うことにより、ファームウェアの改良だけで高感度化、無調整化を図ることができるセンサが実現可能であると考えている。特に、電波時計に利用されるTCO（Time Code Output）信号受信への応用については、TCO処理用マイコンとの一体化も考えられ、利点は大きい。また昨今の集積回路技術の進歩により、ローコストなDSP処理が可能になりつつある。本報告では、薄膜磁界センサとDSPにより構成した試験回路を用いて、TCO信号を受信する実験を行った結果について述べる。

