

平成21年度 成果報告書
(地域中小企業・ベンチャー重点支援型)

「磁界センサを用いた電波受信装置の研究開発」

目 次

1	研究開発課題の背景	2
2	研究開発の全体計画	
2-1	研究開発課題の概要	6
2-2	研究開発の最終目標	6
2-3	研究開発の年度別計画	7
3	研究開発体制	8
3-1	研究開発実施体制	8
4	研究開発実施状況	
4-1	MI素子集積化の研究開発	9
4-1-1	研究開発の内容	9
4-1-2	実施状況	10
4-1-3	サブテーマ「MI素子集積化の研究開発」のまとめ	23
4-2	デジタルフィルタ部の研究	24
4-2-1	研究開発の内容	24
4-2-2	実施状況	24
4-2-3	サブテーマ「デジタルフィルタ部の研究」のまとめ	41
4-3	受信機プロトタイプの研究開発	42
4-3-1	研究開発の内容	42
4-3-2	実施状況	42
4-3-3	サブテーマ「受信機プロトタイプの研究開発」のまとめ	48
4-4	総括	49
5	参考資料	50
5-1	研究発表・講演等一覧	50
5-2	産業財産権	50
5-2-1	出願特許数	50
5-2-2	公開特許一覧	50
5-2-3	登録特許一覧	50

1 研究開発課題の背景

高度 IT 化社会の進展で電波使用環境は高周波へシフトする傾向にあるが、いわゆる長波から中波帯にかけての電波は標準時刻放送やAMラジオ放送として高い信頼性が支持され使用が継続されている。しかしながら、到達距離が非常に延伸できるというメリットの一方、波長が長いためその受信方式はいわゆる磁界結合（直列 LC 共振）のバー型コイルアンテナの初段部と検波・アナログフィルタ回路を用いる旧態然たるものである。本研究ではバー型コイルアンテナに替えて近年進歩が顕著な磁気インピーダンス素子を使用し、さらには検波以降をデジタルフィルタ処理することで新規の受信システム（受信機）を実現し、普及が期待されながらも小型化や金属ケース化で足踏みしている電波修正腕時計や長年進歩の停滞しているAMラジオに革新をもたらそうというものである。

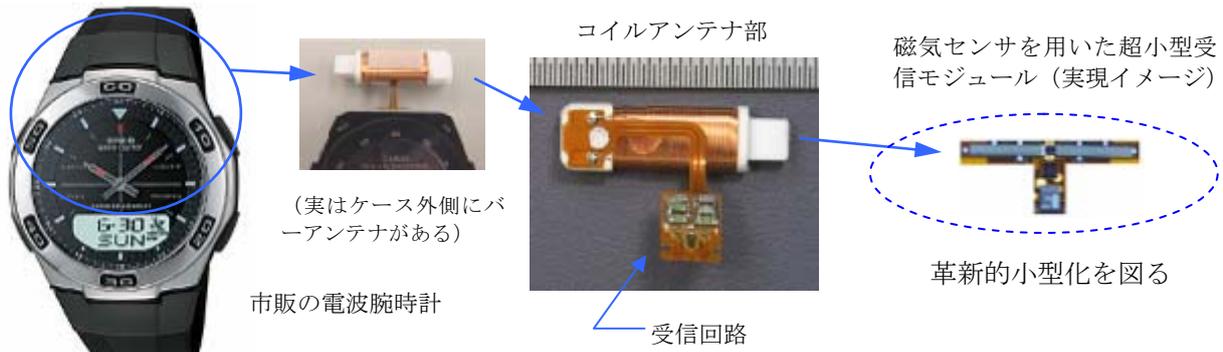


図1 本研究開発で革新的小型化を図る標準電波受信部変革のイメージ

磁気インピーダンス素子とは、高周波電流やパルス波を通電し、外部磁界を印加することで、その透磁率変化を介し、表皮効果および自然共鳴によりインピーダンスが大きく変化する MI (Magneto-Impedance effect) 素子と呼ばれている高周波キャリア型磁界センサ素子のことである。これを薄膜で形成した薄膜磁気インピーダンス素子 (MI) 素子を本研究開発では以降、薄膜型 MI 素子と称する。このような MI 素子を利用した磁界検出素子はその高感度な性能により近年産業界での各種実用化の期待が高まっている。

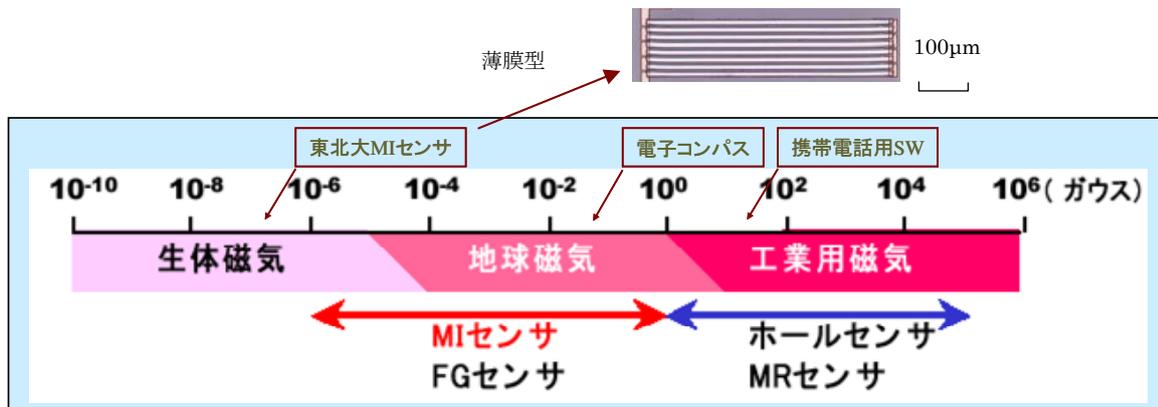
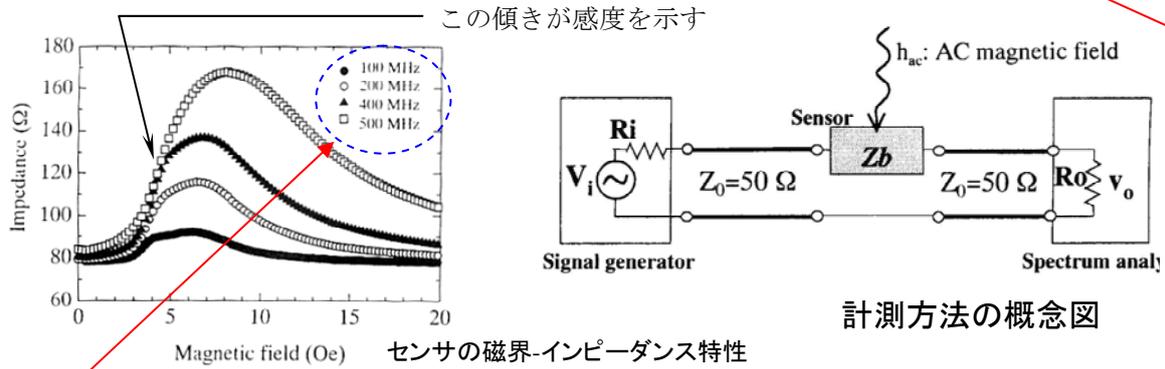
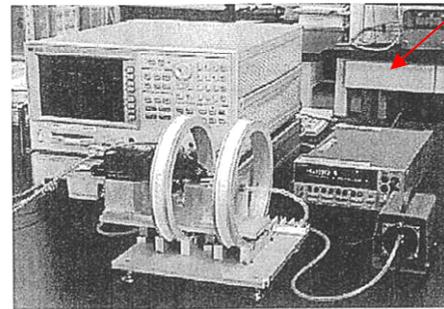
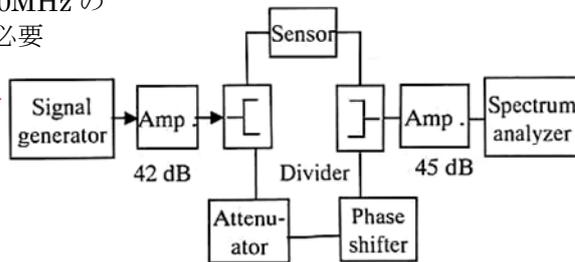


図2 磁界検出素子の感度帯域

しかしながら MI 素子は原理上、所望の感度出力を得るためには、非常に高い周波数の AC バイアスが必要な上、検出においては高精度な測定器を多数使用するような環境が必要であった。



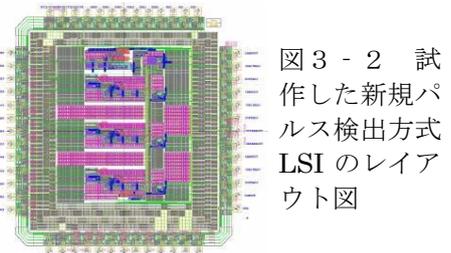
AC100~500MHz の発振回路が必要



実際の計測系のブロック図と写真

図 3-1 MI 素子の計測系および特性

そのような状況に対して我々は一昨年来より新規パルス検出方法を考案し、検出回路のソリッドステート化 (LSI 化) を達成した。また、本構想実現のための高感度化は MI 素子+集磁構造体 の考案で達成の目処が得られている。局所磁界の検出ではなく、あまねく磁界 (標準時刻電波等) の検出なのでこの構成が有効となる。



全体構想を要約すると、長波 (標準時刻放送) や中波 (AM ラジオ放送) は高い方でも 1~2MHz オーダの速度であるので、磁気センサが充分応答できる範囲である (波長が長いためもともと磁界結合受信である)。そこへ加えて上記のように近年、磁気検出素子の感度が向上している背景がある。ただし、コイルアンテナ方式と異なり、周波数選択性がなく、広い帯域の信号を捉えてしまうため、なんらかのフィルタ処理が必要である。一方、デジタル技術の進展、LSI 技術の進展でデジタルフィルタでの検波が現実の範囲に入ってきている (ソフトウェア無線機)、磁界センサ+デジタルフィルタによる電波受信機 構想が手の届く範囲に入ってきたという認識に至っている。

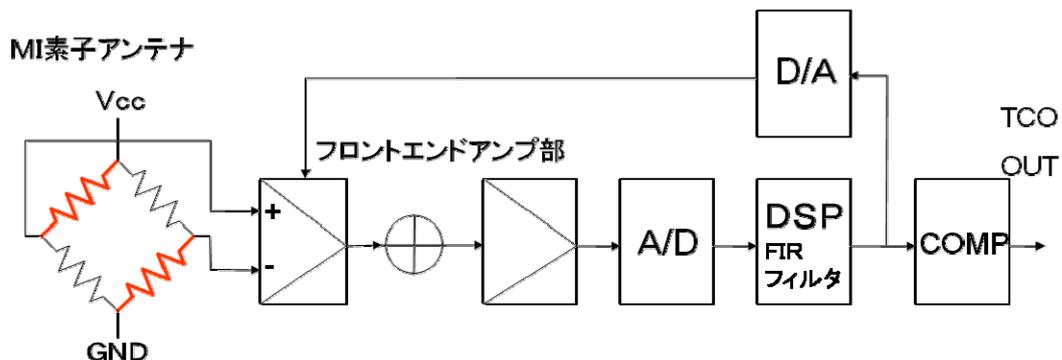


図 4 本研究で構想の受信機の模式的ブロック構成図

「研究開発分野の現状（国内外および当社での）」

磁気に感度を持つ物質は数多あるが、ソリッドステートタイプを主体に産業上利用可能なセンサとしてはホール素子、MR（磁気抵抗）素子、フラックスゲートセンサ、SQUIDなどが挙げられる。本開発で用いるMI素子は1－研究開発課題の背景の項で図2に示したように、近年、室温ではSQUIDに次ぐ高感度を成しえている。

MI素子・高周波キャリア型薄膜磁界インピーダンス素子、すなわちMagneto-Impedance effect素子は、原理的現象が明確に報告され始めたのは90年代初頭であるが、近年さらなる高感度化の研究および実用化検討が続伸されている。この分野の研究では名古屋大学、毛利教授のグループと東北大学における荒井教授（現 石山研究室）のグループがあり、国内での実質上の両雄であった。

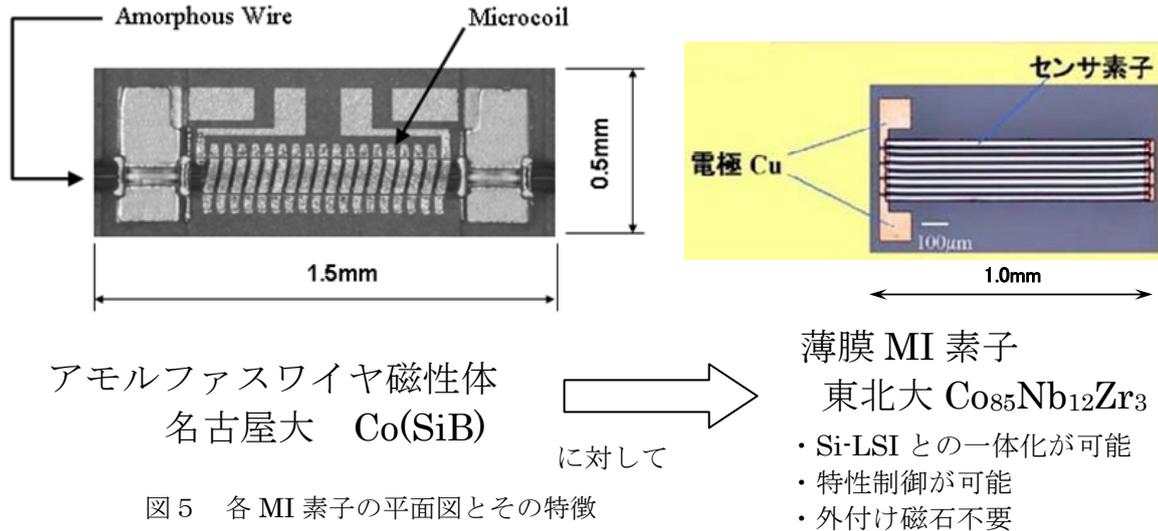


図5 各MI素子の平面図とその特徴

両者は対象とする材料（名古屋大はワイヤ、東北大は薄膜）や検出原理が根本から異なり、現状学術的意味での感度競争では東北大に軍配が上がる。またアモルファスワイヤが感度特性の自由度がないのに対して、薄膜MI素子は感度・検出磁界方向等の特性の制御が可能である等の種々のアドバンテージも有する。しかしながら、実用化の点では名古屋大学が一步先んじた形となっていた（方位計等）。東北大のMI素子においては原理上、所望の感度出力を得るためには、非常に高い周波数のACバイアスが必要な上、検出においては高精度な測定器を多数使用するような環境が必要であった。それに対して一昨年来よりの弊社と東北大との共同作業において新規パルス検出方法を考案し、その動作確認が成った段階である。検出回路のソリッドステート化（LSI化）に目処がついたと言える。

一方、弊社でのこれまでの研究に触れると、

・バー型コイルアンテナの開発・改良・革新に取り組んできた(平成14年中頃～現在)

布線コイル方式でのLF帯アンテナへの可能性探索を機に、電波修正用コイルアンテナのエンジニアリングに着手。電波受信用ICでは圧倒的市場シェアの三洋電機受信IC開発チームとも連携してきた。

磁性コアをフレキシブルなアモルファス材とすることで、従来からの大振りの直線的バーアンテナを細いフレキシブルなもの（円弧状に屈曲可能）まで改良することに成功。平成16年、技術リリース後、三洋電機から時計ムーブメントメーカー数社に量産デリバリーを開始している。

・MI素子と集磁構造の考案(平成15年中頃～現在)

バーアンテナの開発過程での解析結果から、「集磁している」というメカニズム解析に到達。

磁気センサ素子での検出・受信の可能性とそのアドバンテージが確認できた。磁性体の近年の急速の進歩（透磁率 μ の長足の向上や周波数応答性の向上）も磁気センサでの標準電波捕捉という発想の要因のひとつとなっている。

直線的バーアンテナを細い円弧状のフレキシブルなものに改良



図6-1 コイルアンテナ時計筐体内実装の様子

集磁のポイントは体積より長さ

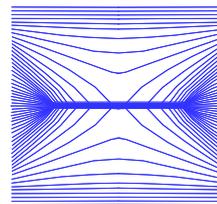


図6-2 アンテナ長手方向を直径とする円柱体空間の磁束を集めている様子

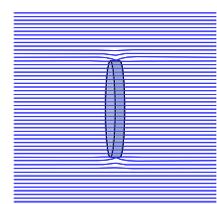


図6-3 平坦な円盤状では集磁しない様子

・MI素子の感度向上、検出回路のソリッドステート化検討(平成16年後半～現在)

MI素子に関わる東北大荒井研(現石山研)との共同作業中、新規パルス検出方法を考案し、その動作確認を達成した。また、平成17年度、薄膜磁気インピーダンス素子を用いたセンサデバイスの実用化を目指し、検出回路のソリッドステート化(LSI化達成。以下MI-ICと称する)および、方位計アプリケーション実現の目処を達成した。また、集磁構造体による感度向上の考案・原理効果確認を達成した。平成18年、同MI素子を応用した電波受信構想に着手、先行実験・検討では十分な可能性を支持するデータと計算結果が得られている。また、上記MI-ICのパルス検出方式の改良にも着手した。

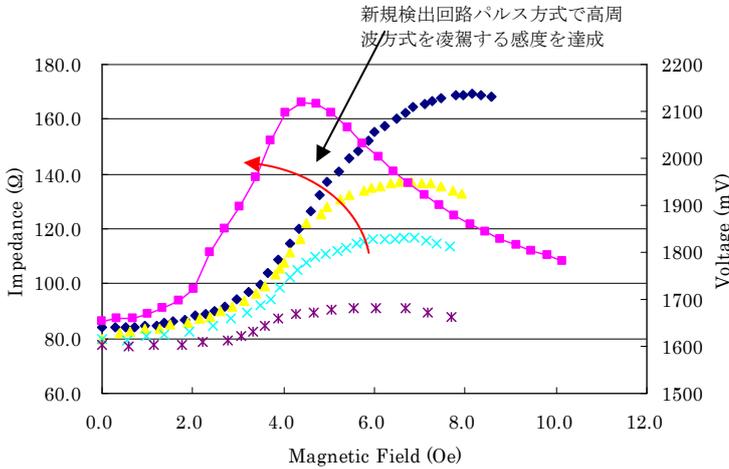


図7-1 パルス方式検出、直流磁界感度

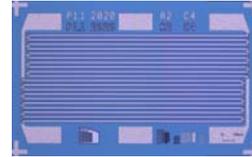


図7-2 試作した薄膜MI素子(単体)

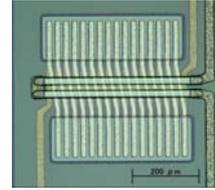


図7-3 試作した薄膜MI素子(オンチップコイル付き)

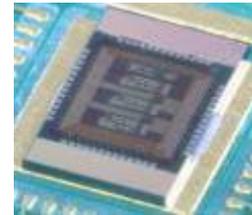


図7-4 新規開発パルス検出方式IC(MI-IC)

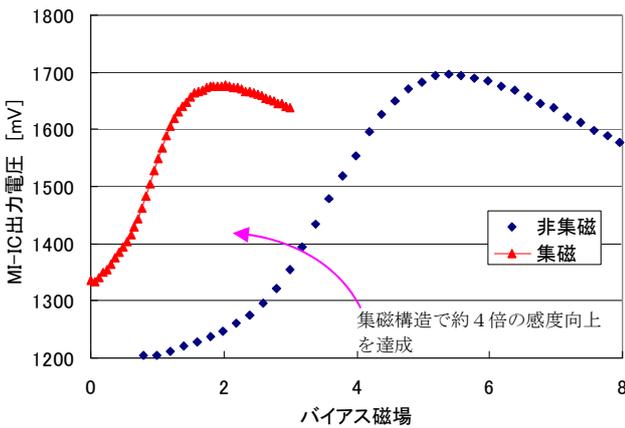
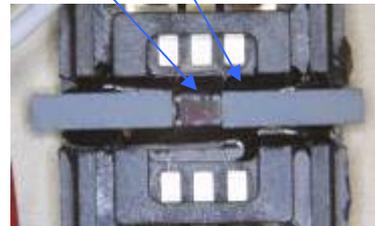


図8-1 集磁構造付加、直流磁界感度(予備実験)

図8-2 MI素子+集磁構造(先行実験)



磁界センサ+デジタルフィルタによる電波受信機についてはこれまで例がなく国内外初の試みとなり、今後の通信技術に一石を投ずる形となろう。検出回路のデジタルフィルタ化に加え、高感度化のためのMI素子+集磁構造体の発想は、単体での感度追求(生体磁気の検出まで可能等)の大学における研究スタンスからは生まれないであろうアプローチである。局所磁界の検出ではなく、あまねく磁界(標準時刻電波等)の検出なのでこの構成が有効となる。産学の発想の融合である。

2 研究開発の全体計画

2-1 研究開発課題の概要

高度 IT 化社会の進展で電波使用環境は高周波へシフトする傾向にあるが、いわゆる長波から中波帯にかけての電波は標準時刻放送やAMラジオ放送として高い信頼性が支持され使用が継続されている。しかしながら、到達距離が非常に延伸できるというメリットの一方、波長が長いためその受信方式はいわゆる磁界結合（直列 LC 共振）のバー型コイルアンテナの初段部と検波・アナログフィルタ回路を用いる旧態然たるものである。本研究ではバー型コイルに替えて近年進歩が顕著な高周波キャリア型薄膜磁界センサ素子を使用し、加えて検波以降をデジタルフィルタ処理することで新規の受信システム（受信機）を実現し、普及が期待されながらも小型化や金属ケース化で足踏みしている電波修正腕時計や長年進歩の停滞しているAMラジオに革新をもたらそうというものである。

本研究開発では、

サブテーマ：

- ・MI 素子集積化の研究開発
- ・デジタルフィルタ部の研究
- ・受信機プロトタイプの研究開発

の実施を通じ、以下の最終目標の達成を図るものである。変革達成イメージについては、本報告書「1 研究開発の背景」中の図「図1 本研究開発で革新的小型化を図る標準電波受信部変革のイメージ」を参照のこと。

2-2 研究開発の最終目標（平成21年7月末）

・薄膜 MI 素子および高感度化（集磁構造体等との集積構造）としては、集磁構造体、プレーナコイルとの集積構造の達成とパルス方式検出 IC の改良版の製作を達成するとともに、特性としては

標準電波対応としては 40、60KHz において受信可能電界強度 $70\text{dB}\mu\text{V/m}$ （以下）の達成。

AM 電波受信対応としては 594KHz（まずは JOAK）において受信可能電界強度 $100\text{dB}\mu\text{V/m}$ （以下）の達成。

の目処をつけることとする。

・受信回路のデジタルフィルタ化においては、標準電波、AM 電波信号の弁別（フィルタリング）機能の達成。

MI-IC とのインターフェース機能（インピーダンス整合、信号通過帯域確保）の達成を
目処とする。

・集磁構造体付き MI 素子とデジタルフィルタ BB を融合させた受信機として機能するセットアップ（受信機プロトタイプ）の項としては、集磁構造体、プレーナコイルとの集積構造をひとつの COB モジュールの形に仕上げることに
ともに、性能として、

標準電波対応としては上記電界強度レベルでフィルタリングからタイムコードデジタル出力（TCO 出力）までの受信機能達成。

金属対応として樹脂筐体内との比較において彼我の差がないことの効果を確認する。

AM 電波対応としては上記電界強度レベルでフィルタリングから振幅変調信号の再現出力までの受信機能達成。

受信機プロトタイプとして上記機能を満足し、ユーザデモ可能なものとする。
というものである。

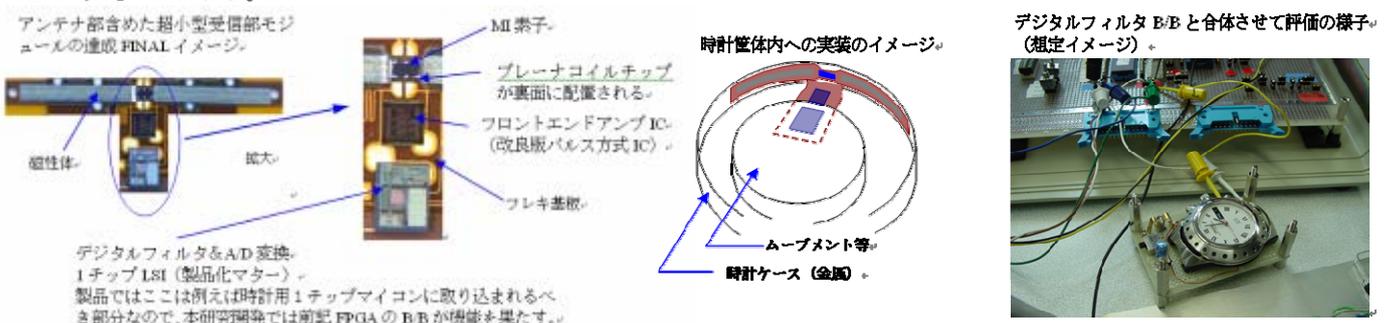


図9-1 超小型受信部モジュール達成イメージ

図9-2 受信機プロト・セットアップイメージ

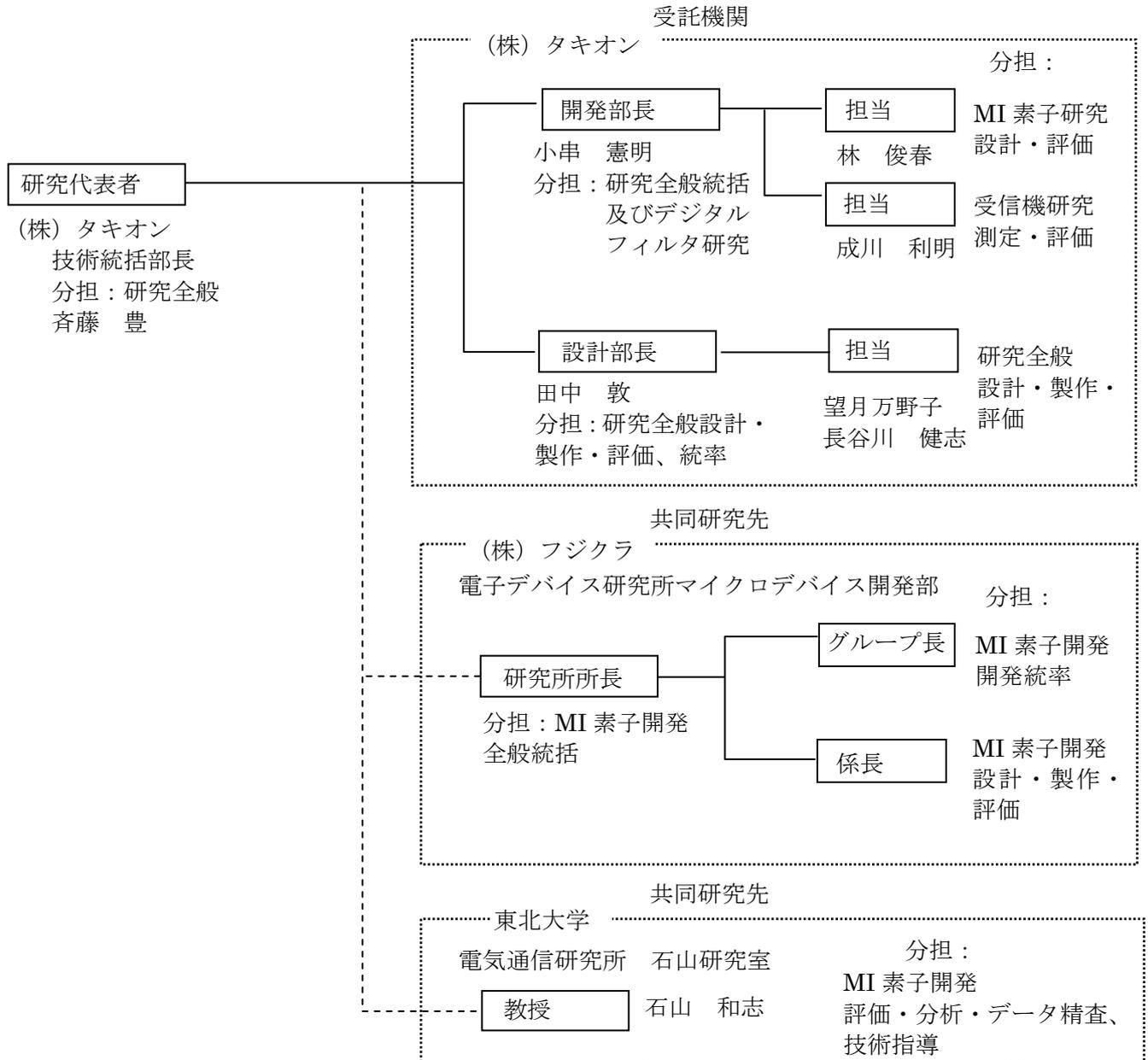
2-3 研究開発の年度別計画

金額は非公表

研究開発項目	H19年度	H20年度	H21年度	計	備考
磁界センサを用いた電波受信装置の研究開発					(再委託は特になし)
1. MI素子集積化の研究開発 集磁構造体の研究 バイアス磁界用プレーナ・コイルの研究 パルス方式・検出回路の改良研究	—	—	—	—	
2. デジタルフィルタ部の研究 数値演算・シミュレーション B/Bの製作・評価	—	—	—	—	
3. 受信機プロトタイプの研究開発 集積MI素子モジュールの製作 総合評価・まとめ		—	—	—	
間接経費額	—	—	—	—	
合計	—	—	—	—	

3 研究開発体制

3-1 研究開発実施体制



4 研究開発実施状況

本報告書中 2 - 3 項に研究開発の全体計画の概要を示したように、1 年 11 ヶ月の期間の中で次の項目・内容にて開発を推進していく。大きくは 3 本の流れ（サブテーマ）があり、1. としては薄膜 MI 素子に関わる部分として集磁構造体・バイアスコイルとの集積や検出 IC のリファインで MI 素子およびそのモジュール部分の研究がある。2. として受信回路のデジタルフィルタ部の研究である。フィルタリングスキーム（積和演算処理）の詳細な検討とブレッドボード（B/B）の製作・評価まで行う。3. として 1. の集積 MI 素子をモジュールとし、2. のデジタルフィルタ部との融合を行い、受信機として機能するセットアップ（受信機プロトタイプ）を製作・評価するものである。

4-1 MI 素子集積化の研究開発

4-1-1 研究開発の内容

まず薄膜 MI 素子に関わる部分として集磁構造体と集積する部分の詳細な研究を行う。測定器・専用装置を用いて、交流磁界感度の評価および高感度化（集磁構造体の作成、測定、評価。バイアス磁界用プレーナ・コイルの研究。パルス方式・検出回路 IC のリファイン。）の確立を行う。つまり本サブテーマは以下のさらに詳細な個別項目に分けられる。（研究期間 平成 19 年 9 月～平成 21 年 7 月）

・集磁構造体の研究：

MI 素子のパターン（配置・寸法）・プロセス条件、集磁構造体の各寸法等の因子・水準別に試作製作・評価を行う。

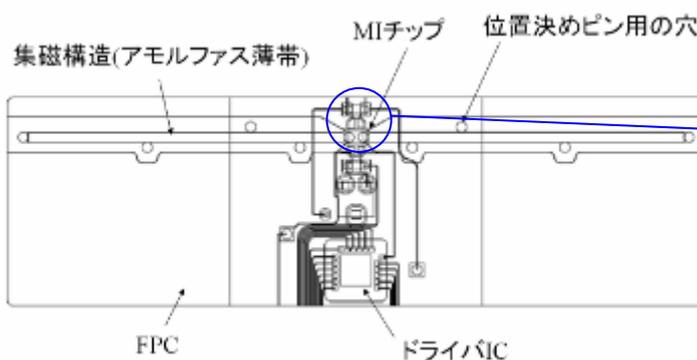


図 10-1 FPC を用いた集磁構造体の構想図面

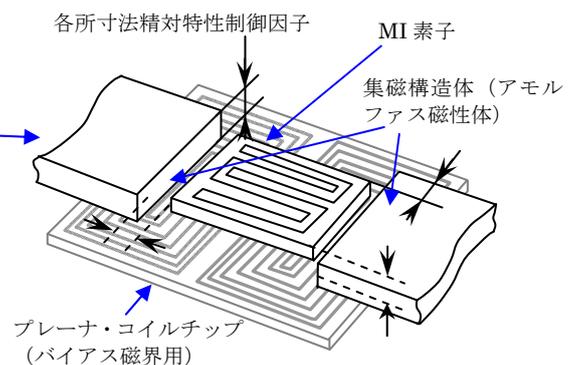


図 10-2 各種構造物の相互関係

・バイアス磁界用プレーナ・コイルの研究：

本構想で用いる MI 素子は感度を得るために、直流磁界バイアスが必要であり、これまでボビンを用いたソレノイドコイルを使用していたが、新たに考案したプレーナ・コイルチップを用い、集磁構造と集積していく。集積した構造体において寸法的な因子・水準（長さ、枚数、厚み、中心ずれ等）について詳細にデータ取得を行う。

・パルス方式・検出回路の改良研究：

検出回路のソリッドステート化を達成した新規パルス方式・検出はさらなる改良（平成 18 年度の当社研究である直交フラックスゲート方式との融合）を行えばさらに高感度化が期待できることが判り、本研究でブレッドボード（B/B）を作成し、リファインのための研究を行っていく。ブレッドボード（B/B）作成後、CMOS 回路設計、SPICE シミュレーション、レイアウト設計を行い、CMOS-LSI の形で IC の製作まで行う。TSMC 0.25 ないし 0.18 μm クラスの Bi-CMOS プロセスを想定している。

上記が、本サブテーマに関し概略、実施計画書記載の実施内容である。

4-1-2 実施状況

上記本サブテーマ・各詳細項目に関し、各年度の実施状況について下記に記述する。

・集磁構造体の研究：

平成19年度：9月からの研究開始であり、特性評価のための「半導体特性測定器」、試料作成のための機械装置として「ボールボンダー」、評価・測定のための「無磁場空間装置」等の導入を完了した。集磁体実装基板1を用いての第1段階の試験を実施した。



図11-1 半導体特性測定器および、それを用いての測定の様子



図11-2 無磁場空間装置および、それを用いての直流磁界感度測定の様子



図11-3 ボールボンダ装置



図11-4 ボールボンダでの試料組立の様子

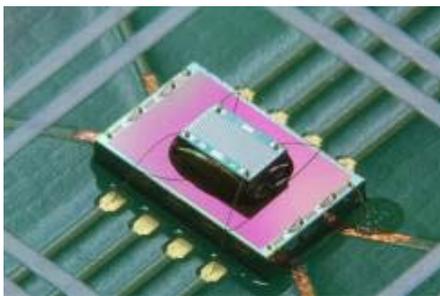


図11-5 微細化プロセス・プレーナコイルチップとMI素子を積層実装した試料

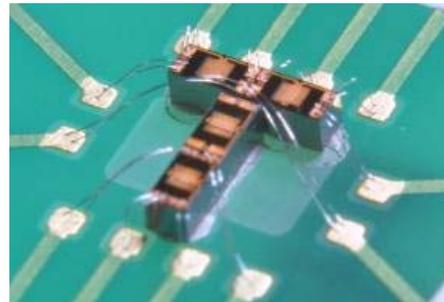


図11-6 WLPコイルー体型MI素子を実装した試料

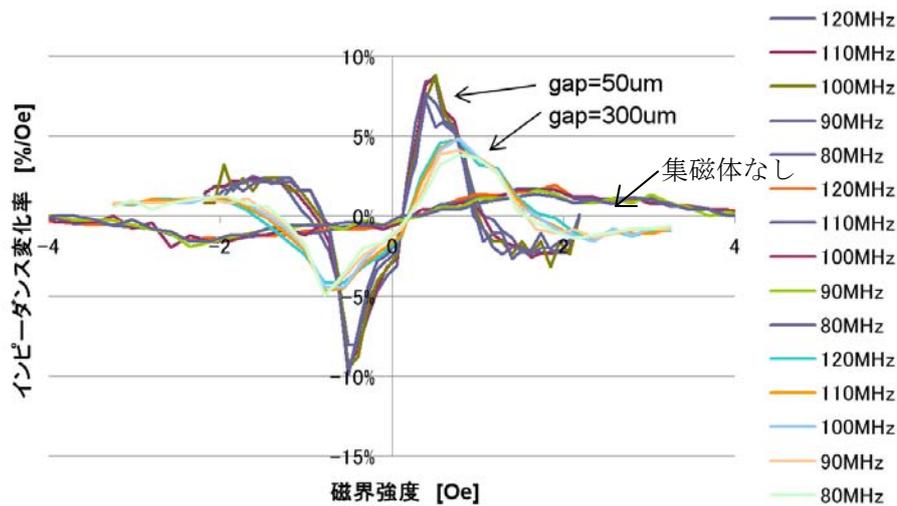


図11-7 直流磁界感度・集磁体の効果

集磁構造体付加による効果を確認するため、直流磁界感度の測定を行った。ここではZ（インピーダンス）方式による測定を行った。これら方式の種別については、後述「検出回路の改良研究」の項で解説する。図 11-7 のグラフ中に示す集磁構造体がない場合の素子感度は、1.33%/Oe（エルステッド）、1.2x11mm サイズのアモルファスを MI 素子端面と集磁体端面とのギャップ距離 gap=300 μ m で実装した場合の素子感度は、4.55%/Oe（効果：3.42 倍）、同 1.2x11mm サイズのアモルファスを gap=50 μ m で実装した場合の素子感度は、10.0%/Oe（効果：7.52 倍）となり、集磁体付加による感度向上の効果が確認できた。このように、ギャップ距離依存性が顕著であることが判った。この時点では、水平面軸方向等のブレは管理していないので、それも含めてこの時点で精度を上げた集磁実装基板を製作する必要が明確となった。

平成 20 年度：集磁体実装基板の改良設計・製作を行い、試験を実施した。サブテーマ 3 における集積 MI 素子モジュール基板の設計に反映した。

まず、MI 素子と集磁体を密接させるための新規 COB 基板を設計・製作し、寸法的な因子・水準（長さ、枚数、厚み、中心ずれ等）について評価・測定を行った。

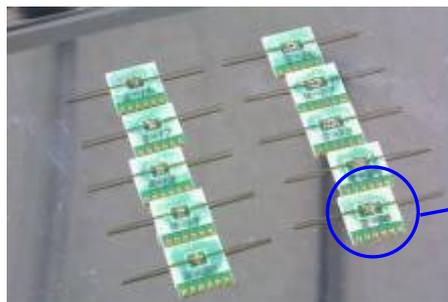


図11-8 COB基板に各種試料が実装された様子

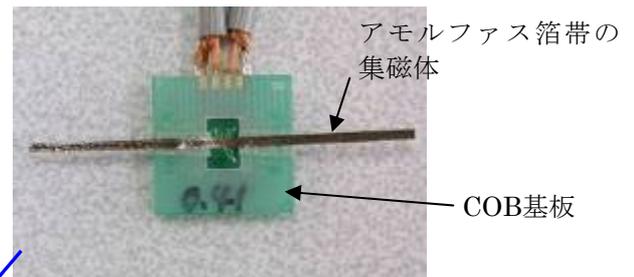
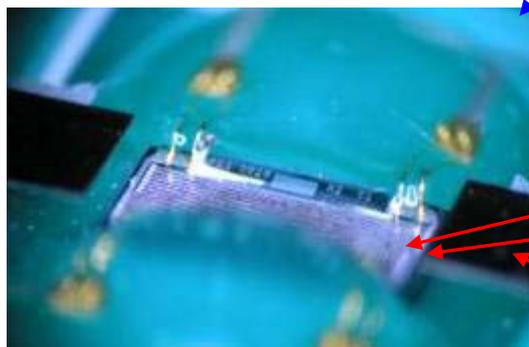


図11-9 COB基板上の集磁体



ザグリを設けて高さ方向のアジャストも可能としたが、MIチップの構造上の問題で集磁体が完全には密接できない。
チップ端部と、MI薄膜端部に一定のギャップが残る。

集磁体

図11-10 前頁図10-2に模式的に示した構成の実際の様子



図11-11-(a) マイクロステージにて位置合せ中の試料

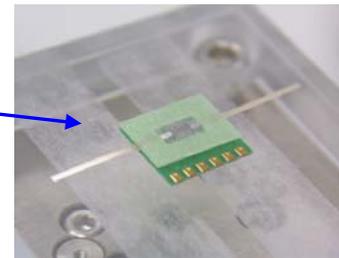


図11-11-(b) 試料
10 μ m精度で位置合せ

ここでは、旧来のMI素子（これまでのType-IV）を使用したのでは素子選択の限界があり、例えば図11-4(a)に示したように10 μ m精度で組立可能な治具も製作したのであるが、ここでは前年の特性を改善するに至っていない。そこで、まずは新規MI素子の設計・製作を踏まえることとした。

新規単体MI素子は、1mm \times 1mm、1mm \times 2mm、1mm \times 4mmの3種類のサイズとし、従来型センサと比較して磁性材の長さを長くすることによって素子単体でも高感度化を狙った。基本構造を以下に示す。

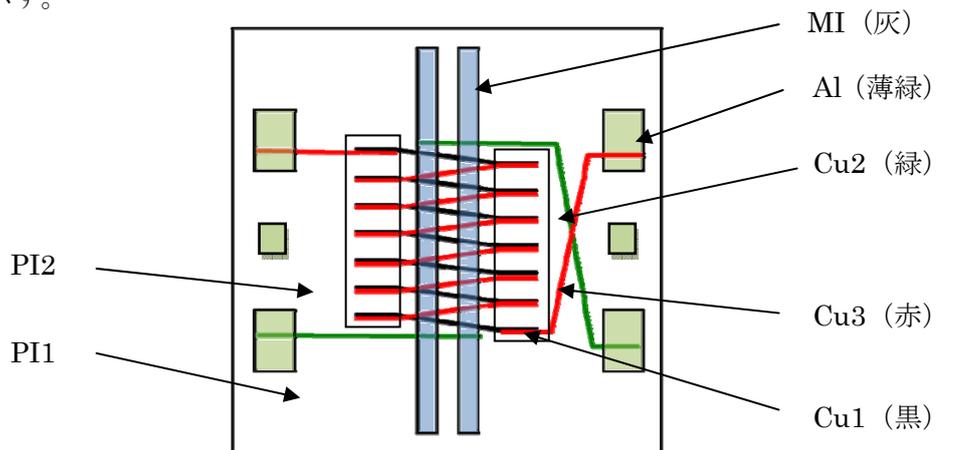


図 11-12-(a) 基本構造平面

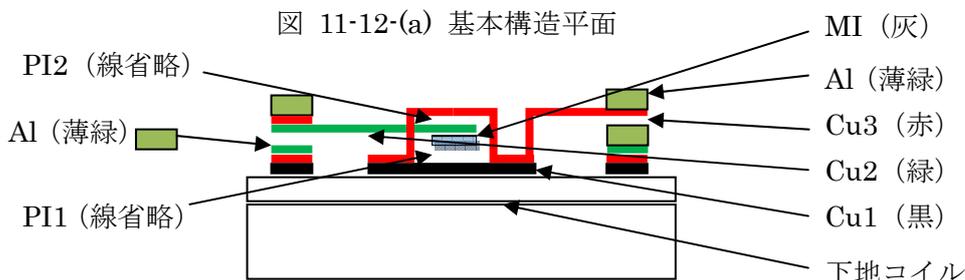


図 11-12-(b) 基本構造断面図

同一チップ上にバイアス磁場を与える目的で下地コイルを設ける事とした。その上に、WLPプロセスによりMI薄膜とCu膜によりMI薄膜周囲にスパイラルコイルを形成し、両者はPIにより絶縁する事とした。集磁体の効果をもつことを狙いに、端面で突き合わせるより面で結合させることにより磁束が通過する面積を広くするため、MI薄膜と集磁構造体を重ねる構造とした。

表 1. 因子および水準

因子	水準
チップサイズ [μm]	1000×1000／1000×2000／1000×4000
MI の L/S [μm]	20/20、40/20、80/20、160/0
MI の Turn 数	0.5、1、2、3
MI の素子数	1、2、4、6
MI 素子中電流方向	ワン・ウェイ(a)、ターン(b)、ベタ(c)
Coil の L/S [μm]	30/15、20/15、15/10
下地コイルの有無と L/S [μm]	有 10/10 他

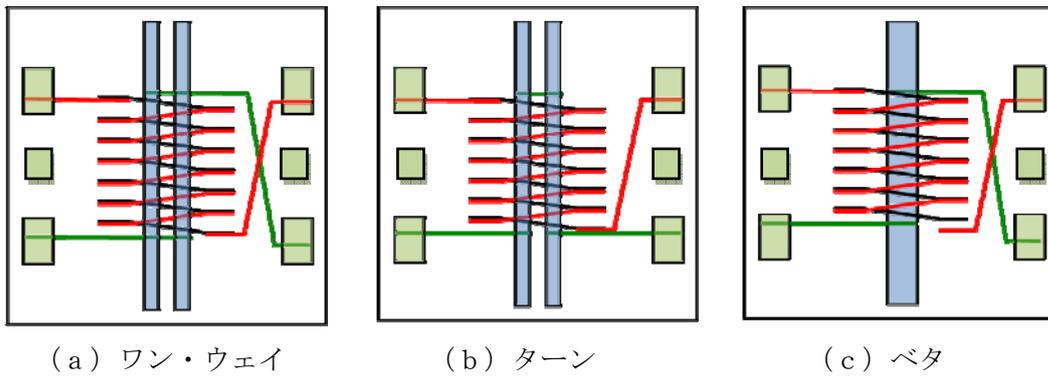


図 11-13 MI ドライブ電極配置タイプ別模式図

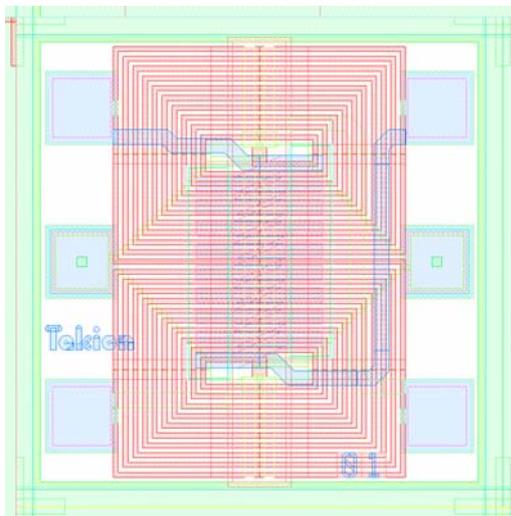


図 11-14 No.01 の実際のレイアウトデータ

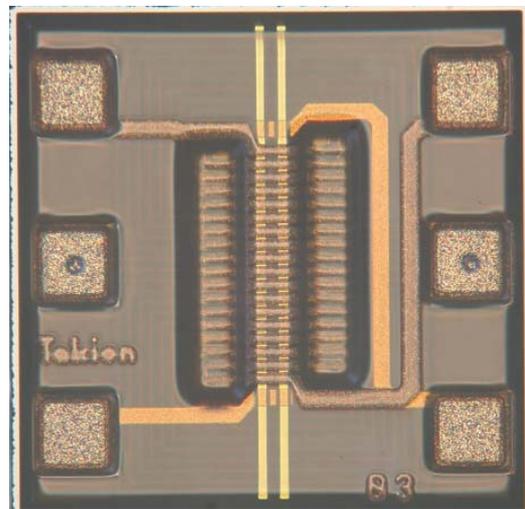


図 11-15 完成後の 1 mm×1 mm MI チップ No.03 コイル部は絶縁層に覆われて見え難い

製作した MI 素子を COB 基板に実装し、集磁体と集積した

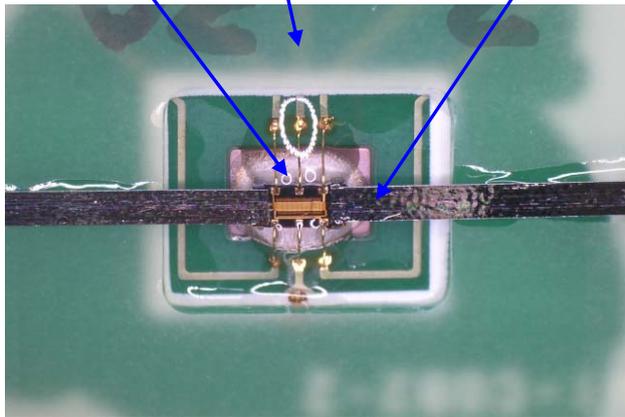


図 11-16 新規 MI 集磁 COB 実装

磁性体

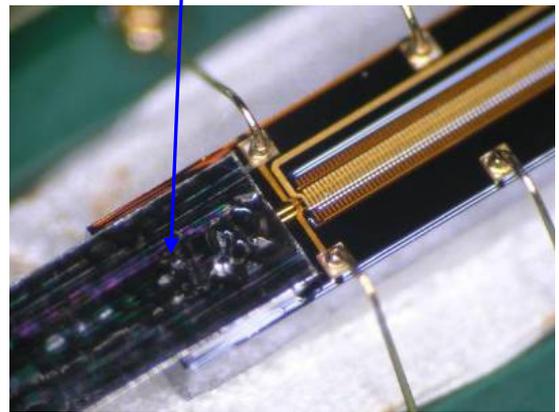


図 11-17 集磁体実装部拡大 (No.26)
50 μ m ワイヤ使用

集磁体実装 MI サンプル感度特性を測定したが、(No.2-16 with Amo) サンプルではほぼ理想的な特性を示し、かつ感度も良好といえる。一方 (No.2-26 with Amo)、(No.2-30 with Amo) サンプルでは非対称性が強く駆動波形のリングングもしくは、アニール条件が影響しているとみられる。

評価した素子は今回新規設計 1 mm \times 1 mm サイズ品である。これを用いて集磁体とのギャップ・位置関係を調べていったところ、集磁体との合体構造としては、磁性材間のギャップコントロールがひとつの解であると判った。



図 11-18 MI センサ単体感度特性例

重要なのは、下の図中で赤い線で囲んだ部分の隙間を小さくすることが磁路の連続性を保ち、磁気抵抗が低く保てるのでセンサ部分の磁束密度を上げ、感度向上につながる当初の想定が確認できた。

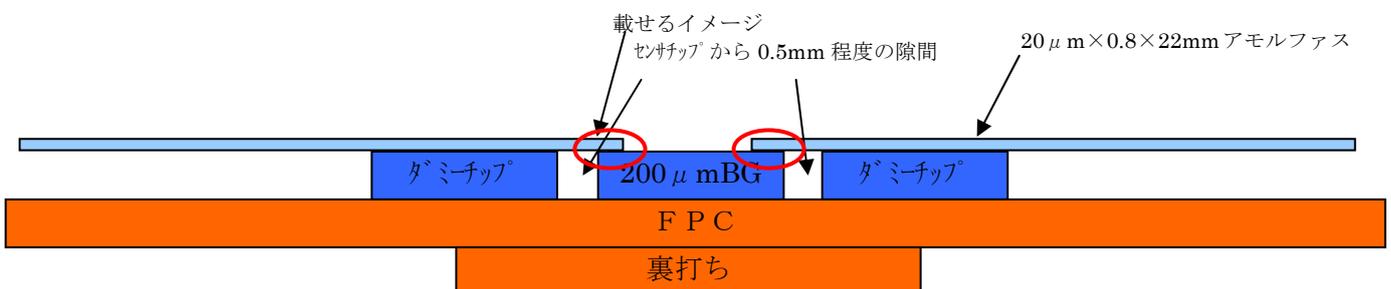


図 11-19 MI 素子と集磁体との位置関係を示す模式的断面

本構成を集積 MI 素子モジュール用 FPC 構造体へ反映させることとした。

平成 21 年度：上記成果に基づき、後述の集積 MI 素子モジュールを組上げ、受信機プロトタイプの研究での動作評価に供した。

・バイアス磁界用プレーナ・コイルの研究：

平成19年度：設計ツールを導入し、微細半導体プロセスを用いたプレーナコイル・チップの設計・製作を完了し、評価を実施した。上記同様、試料作製、評価のための導入した「ボールボンダ」、「半導体特性測定器」等を活用した。改良版 WLP コイル一体型 MI 素子 (WLP 1 : 表 1 での MI 試料 Type-III、WLP 2 : MI 試料 Type-IV) の評価を実施した。

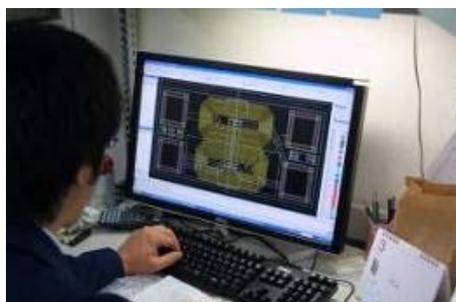


図12-1 設計ツールを用いてコイルチップ設計の様子

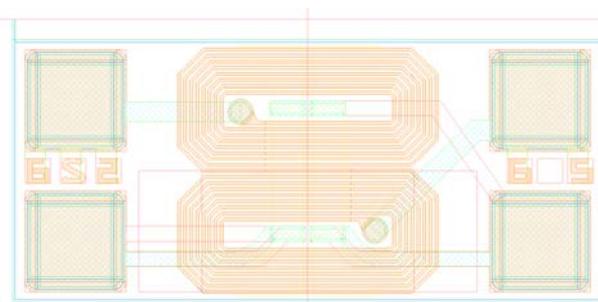


図12-2 プレーナコイル・チップ設計図面

本プレーナコイルのコイル形成に当たっては、微細半導体プロセスを用いた手法と WLP プロセスを用いた手法の 2 つを対象とした。後述するように、WLP プロセスを用いて作成したコイルがピックアップコイルとして機能することが確認できた。

一方、微細半導体プロセスを用いたプレーナコイル・チップの初回試作品（図 12-1 に外形、金属顕微鏡写真を示す）においては想定した磁界を発生するには至らなかった。原因は想定していた Metal 配線の抵抗値 $0.01 [\Omega/\text{単位平方}]$ が実測すると最大で $0.13 [\Omega/\text{単位平方}]$ であったためであり、必要な電流を流すことができていないためと考えられる。抵抗値の見積りは最小線幅におけるパラメータの変化（サイドエッチ等）の考慮不足であった。また今回の実装精度ではコイルと MI 素子が約 $700 \mu\text{m}$ 離れているのも一因である。これに関連して、コイルピッチ間の磁場分布シミュレーションを行った結果、コイルピッチの $1/10$ の距離ではコイル上とコイル中間では 10 倍ほどの磁場のばらつきが生じるが、コイルピッチの 60% 以上離れた場合はほぼ平坦な磁場となることも判った。このことは、コイルと MI 素子は当然近づけなくていけないが ($700 \rightarrow$ 数 $10 \mu\text{m}$)、近づけ過ぎても今度はバラツキが生じるということの意味している。今回の試料は特性として想定した磁界強度が得られていないが、再設計・製作に向けた数値的な指針、すなわち、線幅、ピッチ、実装精度を得ることはできたと考えている。

平成20年度：プレーナコイル・チップに関し、改良版プレーナコイル・チップの設計・製作を行い、試験を実施した。

まずプレーナコイルの必要性であるが、集磁構造体を持たないセンサと集磁構造体をつけたセンサでは、空間磁場中に置いたとき、磁気抵抗の関係で集磁構造体を持つセンサを通過する磁束の密度が高くなるため、磁束密度(グラフ横軸)を圧縮した特性を示し、感度が最大(傾斜最大)となる点は無磁場の状況とは異なり、センサを最大感度で使うには適正なバイアス磁場が必要となる。

平坦な磁場を必要とし、可変範囲を持たせるためにプレーナコイルを使った設計をした。

バックエンドプロセスによる AL2 層配線による構造とした。

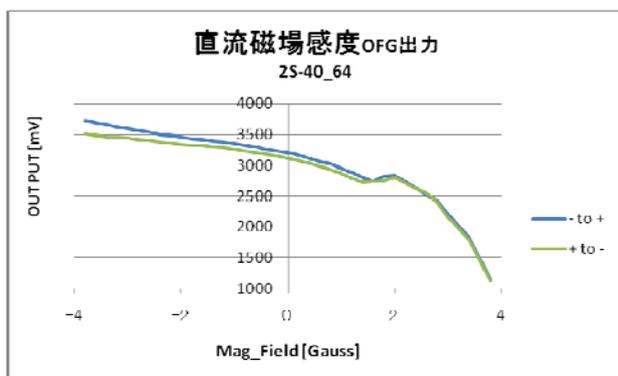


図 12-3 直流磁場感度特性 (集磁なし)

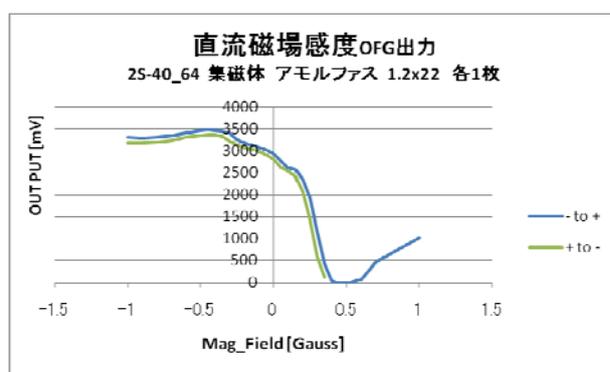
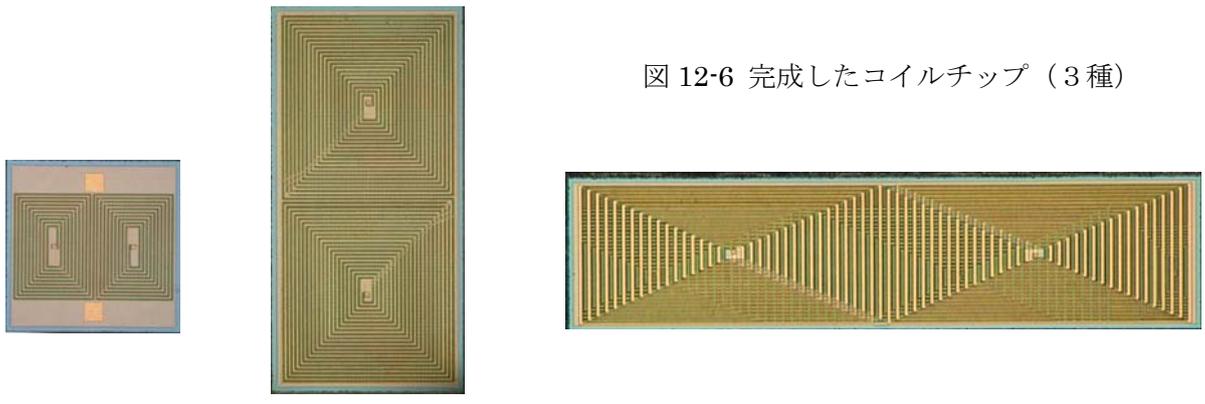
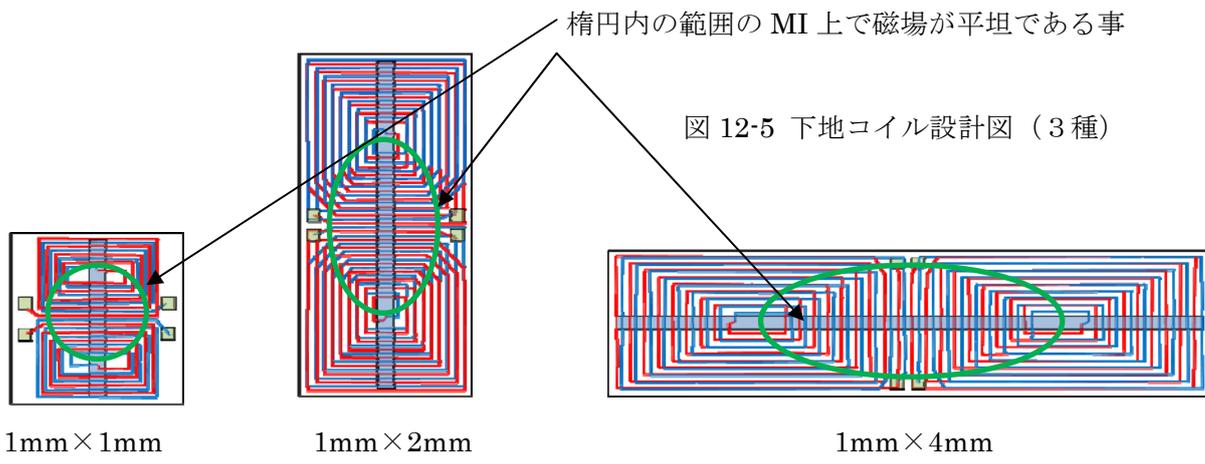
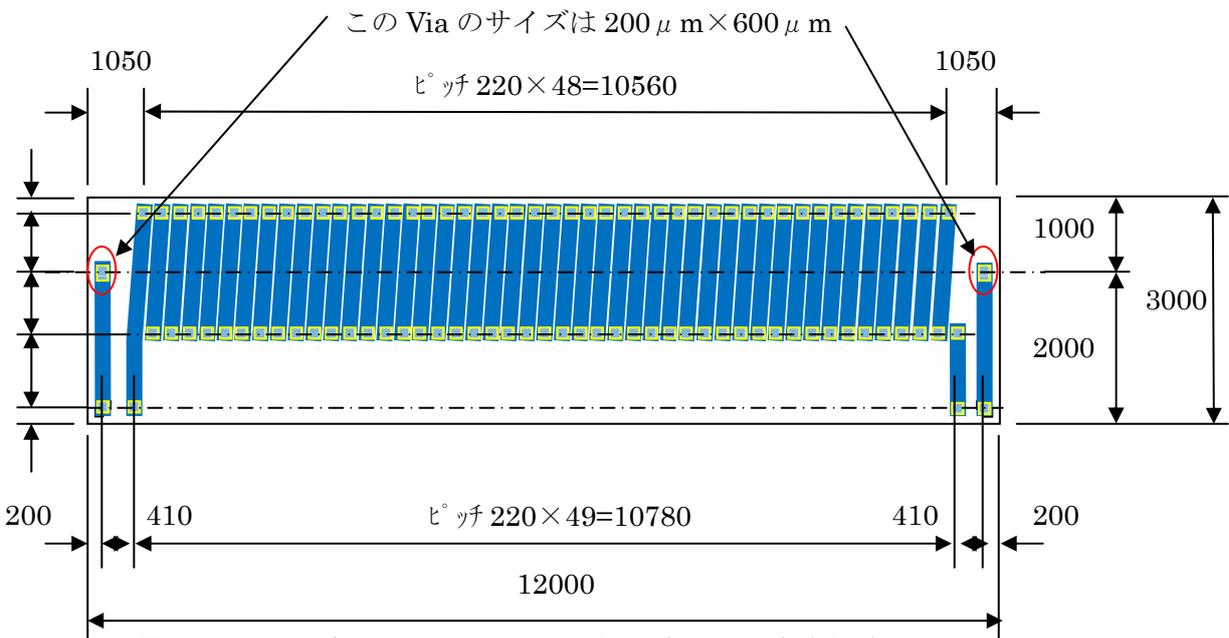
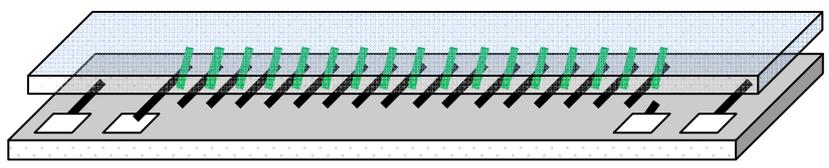


図 12-4 直流磁場感度特性 (集磁あり)



アモルファスワイヤー集磁体用のコイルも設計・製作した。



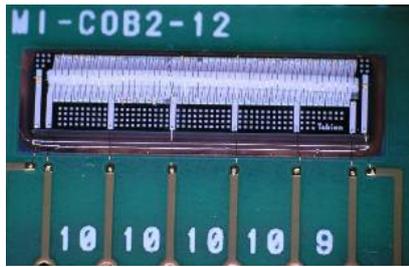


図 12-9 ワイヤー配線

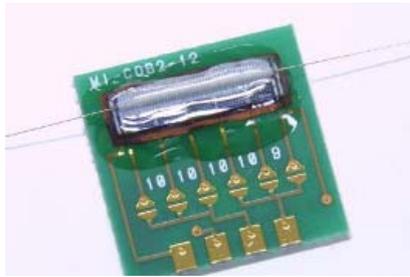


図 12-10 MI ワイヤー用チップへの MI ワイヤー実装



図 12-11 MI ワイヤーへの手巻き加工（参考）

今回製作のプレーナ・コイルは、所定の動作を達成し、本研究中のひとつの技術成果となった。ただ、本研究中、後述の交流磁界感度測定等において必ずしも MI 素子と合せてモノリシック化したものは使用していない。要因の複雑化を避けるためであるが、製品化時に合体の準備は整ったと言える。なお、本技術はアモワイヤタイプの集磁体用にも有効であることが確認でき、思わぬ成果であった（これは平成 20 年度特許出願済み）。

・パルス方式・検出回路の改良研究：

平成 19 年度：従前 MI-IC を用いた TEM-CELL での試験、WLP コイル一体型 MI 素子での試験、新規検出方式（直交フラックスゲート方式：以降、新規 OFG 方式と称する）の第 1 段階の試験を実施した。

ここで、今回検討した新規検出方式（直交フラックスゲート方式）について説明する。これまでの研究においては、Z 方式（インピーダンス方式）を基本に主には以下の 2 つの検出方法を用いていた。

- ・高周波キャリア方式（位相スプリットが必要で東北大で実施している測定器のセットアップが必要）
- ・パルス方式（旧 MI-IC、ノイズの改良が必要）

これに対して、今回、通常のトロイダルコイルを用いたフラックスゲート方式が励磁磁界方向と測定磁界方向が並行しているのに対して本方式は直交していることから、直交フラックスゲート方式、OFG：Orthogonal Flux Gate、として

- ・新規 OFG 方式

と我々が呼称する方式の検討を実施した。

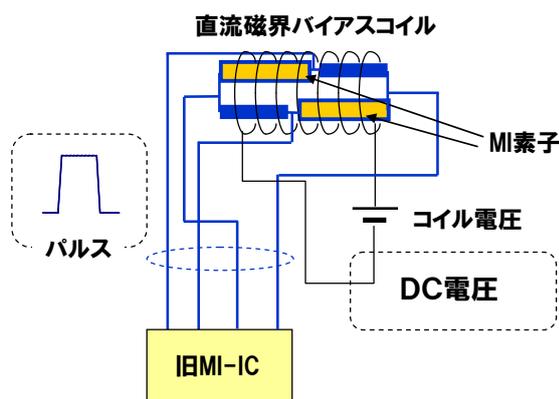


図13-1 旧MI-ICを用いたパルス方式の模式的検出回路ブロック図

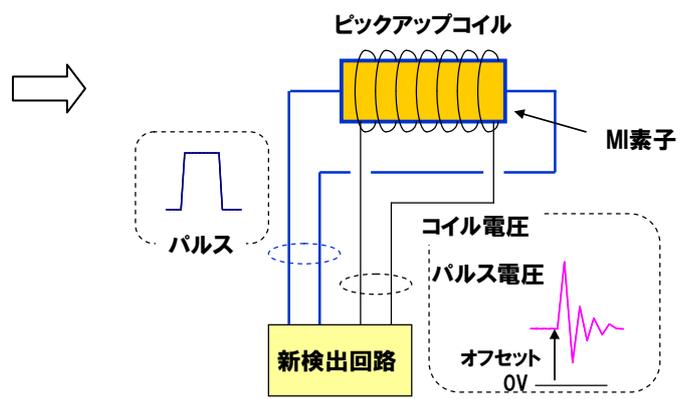


図13-2 新規OFG方式を表す模式的検出回路ブロック図

動作原理として MI 素子の物性的挙動については割愛するが、新規 OFG 方式は磁束の時間的変化をピックアップ電圧として検出する方式であり、図 13-1 と 2 に検出側から見た両者の違いを示す。最も大きな違いはコイルへ印加する電圧がパルスであるか DC であるかの点になる。新規 OFG 方式は DC

電圧で発生させるバイアス磁界が不要であるが、ピックアップのためのコイルは同様に必要である。ただし、同コイルに要求される特性が異なるため、例えばインダクタンス値で言えば、新規 OFG 方式ではコンマ数 μH 程度で良く、一方直流磁界バイアス用で要求される数 mH （直流抵抗は両者とも数 $10\ \Omega$ 以下が望ましい）である点と異なり、WLP によるオンチップコイルで形成が可能という利点がある。

以下が得られる波形の模式図であり、グラフ中矢印で示した波高値が磁気感度を表す。

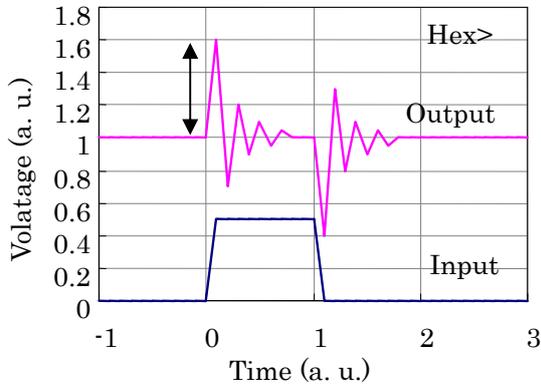


図13-3 新規OFG方式での検出波形、正電圧側の例

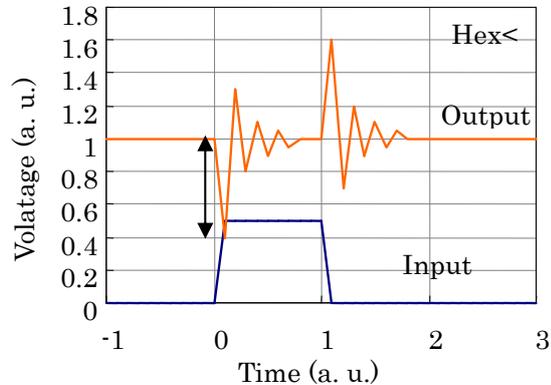


図13-4 新規OFG方式での検出波形、負電圧側の例

平成19年度はWLPコイル一体型MI素子（Type-IIIおよびIV）を用いて、新規 OFG 方式による検出の第1段階の試験を実施した。試験に当たっては、年度内設計・製作の素子評価試作品（評価試作基板Aなど）・試作装置（コイル駆動装置など）等を用いて実施した。

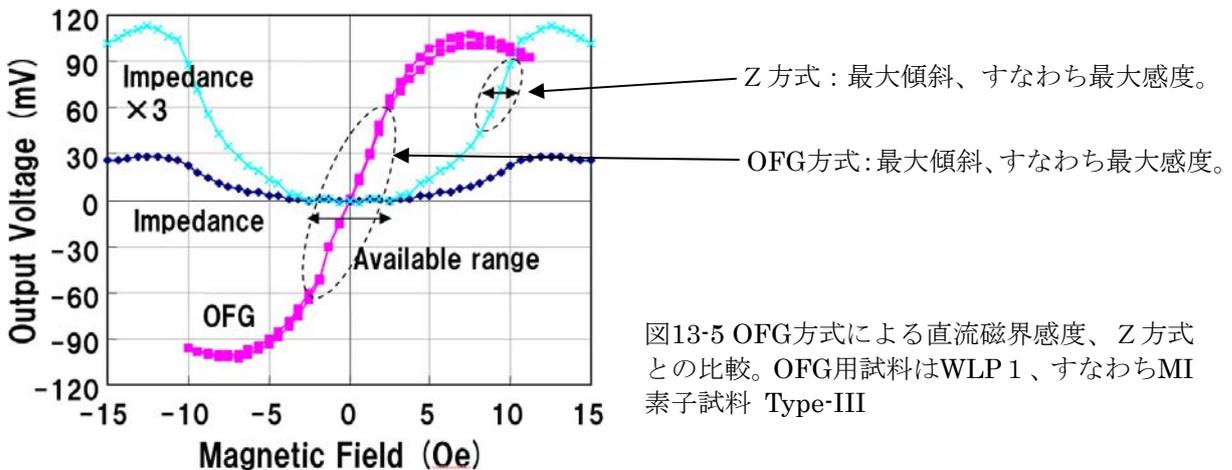


図13-5 OFG方式による直流磁界感度、Z方式との比較。OFG用試料はWLP1、すなわちMI素子試料 Type-III

図13-5に OFG 方式による直流磁界感度をZ方式との比較を実験値で示す。図中、Impedance と表記したプロットがZ方式でのデータであるが、ゼロ磁界近辺に極小点があり変化率ゼロとなる。したがって、良好な感度を得るためには、図中に示したような最大傾斜すなわち最大感度のところに直流磁界バイアスを加える必要がある。それに対して OFG と表記したプロットが OFG 方式であり、負電圧側から正電圧側へ連続して変化している。最大傾斜すなわち最大感度で使うに当たって直流磁界バイアスは不要であるという特徴を有する。ここでは感度 $25.1\ \text{mV/Oe}$ が得られている。対して同等サンプルのZ方式による感度であるが、上記で説明してきたように、Z方式での感度が $\%/Oe$ で表されるのに対して、OFG方式では mV/Oe となり、これは厳密には規格化して同じ単位にはできないが、ここでは両者の傾向の違いを示すため、あえて併記した。グラフ中Z方式のデータに関しては、最大傾斜で、 $4.3\%/Oe$ 、ただしこれは3素子シリーズなので、単体では約 $1\%/Oe$ として、3V電源電圧として 30mV/Oe と算出できる。Z方式と OFG 方式とではここで用いている指標が異なり（Z方式は素子出力であるのに対し OFG 方式は回路出力）、直接の比較はできないが、一つの目安としてほぼ同程度の感度測定が可能であると判断される。

続いて、OFG方式において、集磁構造体付加の効果確認の実験を行った。実験に先立っては、前記「集磁構造体の研究」の項での直流磁界感度測定も同様であるが、先んじて集磁構造体用の磁性体の準備を行った。次の表2に示す材料を用意し、平成19年度は次の表3に示すような寸法に加工し、実験に使用した。

表2 集磁構造体用に用意した磁性体の諸特性

フェライト 戸田工業株式会社 低温焼結Ni-Zn-Cuフェライト フェロキサイド焼結体 密度：3.5g/cm ³ 引っ張り強度：18MPa 焼成温度：900℃ 焼結密度：5.13g/cm ³ 透磁率：112(10MHz) 110(1MHz) 複素透磁率：1(10MHz) Q：78(1MHz) キューリー温度：300℃	アモルファス 東芝マテリアル株式会社 Fe-Si-B-Nb-Cu 薄膜非晶質磁性体 密度：7.3g/cm ³ 初透磁率：17000(100kHz) 飽和磁束密度：1.23T 残留磁束密度：0.62T 保磁力：2.5A/m 抵抗率：1.2μohm・m キューリー温度：570℃	アモルファス薄体の短冊の様子 
---	--	---

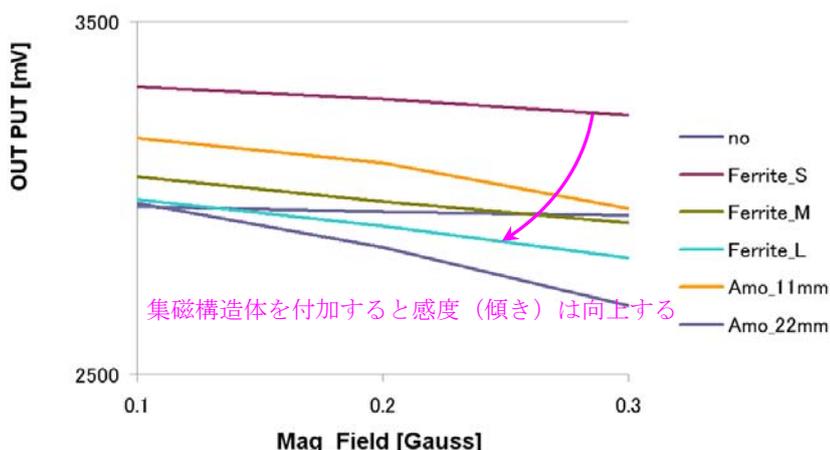


図13-6 OFG方式による直流磁界感度、集磁体付加効果、試料は Type_IV

表3 各試料の集磁構造体寸法および感度

試料	付加集磁体寸法 (厚x中x長さmm)	ゼロ磁場付近感度	感度上昇率
no(集磁なし)	(集磁体なし)	128mV/Oe	
Ferrite_S	0.3x1.8x5.5サイズ フェライト	396mV/Oe	3.09倍
Ferrite_M	0.3x1.8x7.7サイズ フェライト	590mV/Oe	4.61倍
Ferrite_L	0.4x3.1x9.6サイズ フェライト	640mV/Oe	5.00倍
Amo_11mm	0.02x1.2x11サイズ アモルファス	748mV/Oe	5.84倍
Amo_22mm	0.02x1.2x22サイズ アモルファス	933mV/Oe	7.29倍

図13-6にOFG方式における直流磁界感度の集磁構造体付加効果を示す。Z方式と同様に感度向上の効果が確認できた。図中のグラフの数値結果を表4にまとめた。アモルファス磁性材の厚さは片面絶縁層を含め20μmに過ぎず、集磁体としての体積は圧倒的にフェライトが大きく、磁気抵抗も低いとみるべきだが、アモルファス磁性材をつけた場合のほうが感度が良好であり、MIセンサと集磁構造磁性体を含めた磁気回路の磁気抵抗が空間全体に対し低いほうがMIセンサを通る磁束が増えるためと考えた。このデータが示す限りでは、感度向上へは、材料に関してはアモルファスを使用するのが望ましく、同じ材料同士においては長さ等寸法の影響はあるが、傾向は明言できないというものである。今後傾向を明確にし、かつ裏付けるデータの積み上げを行い精査していきたい。本年度段階では、まず上記5種類の寸法、材質の因子・水準で集磁構造体付加の効果を大綱(おおあみ)で測定したものであるが、もちろん、それぞれの材料で因子・水準をさらに深耕しての測定はこれからである。加えて、アモルファス材料を積層した効果について、またフェライト材料の交流特性の詳細の評価についても今後検討を進

める予定である。なお、今回の MI 試料は Type_IV を使用しているが、ここで Type_IV のウエハー内面付けにおける因子・水準の一部の次の表 4 に示す。

表4 Type_IV 因子・水準 割付表 (部分)

番号	MI結線型名	チップ内テキスト	素子巾 (μm)	間隔 (μm)	ターン数	素子長さ (μm)	コイル ターン数	チップサイズ (μm 角)
1	double	2-2 R1C1 8N	20	20	1	500	8	700
2	double	2-2 R1C1 12N	20	20	1	500	12	700
3	double	2-2 R1C1 16N	20	20	1	500	16	700
4	double	3-2 R1C1 17	30	20	1	970	17	1400
5	double	3-2 R1C1 25	30	20	1	970	25	1400
6	double	3-2 R1C1 36	30	20	1	970	36	1400
7	double	2-2 R1C1 8W	20	20	3	500	8	700
8	double	2-2 R1C1 12W	20	20	3	500	12	700
9	double	2-2 R1C1 16W	20	20	3	500	16	700
10	double	3-2 R1C1 17	30	20	3	970	17	1400
.
.
123	bridge	3-2 xx 12N	30	20	0.5	500	12	700
124	bridge	3-2 xx 12N	30	20	1	500	12	700

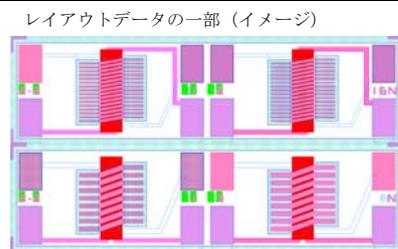


表 4 に示したように、Type_IV 試料の MI 素子の巾や長さなどの因子・水準 において、全てでは 124 種類ときわめて多数となりそのすべてを評価することは不可能である。そこでポイントとなる因子を抽出・評価し最短の時間で最適特性を探し出せるよう、注意深く検討を行う。本報告では検討の緒に就いた段階であり数か所の点を評価した段階である。したがって、上記図 13-6 のグラフにおいて大網的には「磁性体の寸法、特に長さの影響も大きそう」と解釈もできるのであるが、裏付けは不十分であった。試料の因子・水準も多数ありこれらも踏まえて、平成 20 年度の総合的分析を通じ、最終的には最適な制御因子・設計指針を数値で確定していった。

平成 20 年度：新規 OFG 方式の第 2 段階の試験を実施し、CMOS-LSI 化のための回路設計を行った (上記 MI 試料の因子・水準に関する解析は説明の都合上、前記「集磁構造体の研究」の項の 21 年度実施内容で既述した)。同様に説明の都合上、後述の B/B の製作の項で記述するが、続いて、回路シミュレーション・レイアウト設計・データ検証・マスク製作を実施した。半導体プロセス流動 (Bi-CMOS) を行い、CMOS-LSI チップを製作し、評価を実施した。

新規 OFG 方式の第 2 段階の試験についてまずは、システムの類別から説明する。製品への応用を視野に入れた場合、用途と仕様は幅を持つため 1 つの動作方式だけでの対応は困難である。そこで方式 1 から 4 までのシステムを構想し、特に方式 1、3 は試験基板上に組み込み、動作試験を行った。アナログ検波部はセンサキャリア除去、デジタル検波部は TCO または AM 復調を行うためのブロックである。

表 5 方式の類別

方式	アナログ検波方式	センサキャリアと受信部との同期	デジタル検波方式	対応モード
1	ストレート	非同期	レベルスライス	長波 TCO
2	ストレート	同期	レベルスライス	長波 TCO
3	ダイレクトコンバージョン	同期	レベルスライス	長波 TCO
4	ダイレクトコンバージョン	同期	ヒルベルト変換	長波 TCO、中波 AM

方式1：

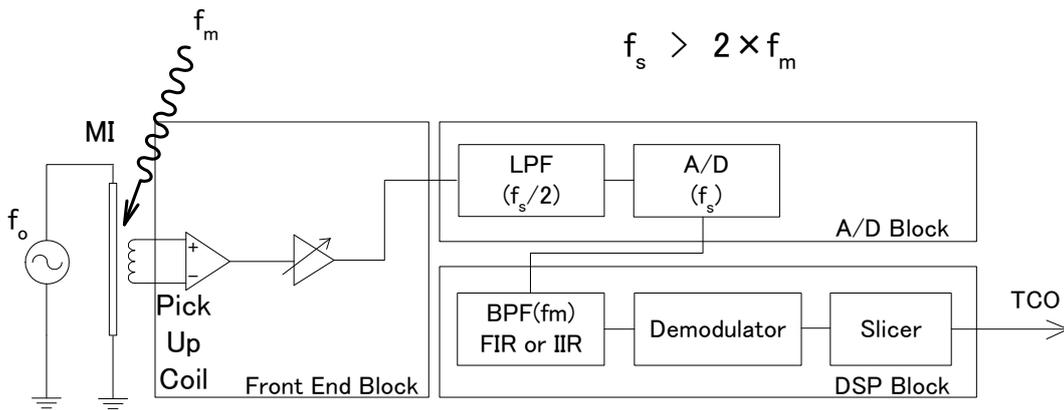


図 13-7 OFG による交流磁界受信システム・・・方式1

最も基本的な方式1は、センサ出力信号を増幅直後に LPF に通し、これに AD 変換を行う古典的ソフトウェアラジオである。周波数変換を行わなくてもスペクトル上はベースバンドが現れることを利用している。

ディスクリート部品により試験回路を作成し、実験を行った結果、40kHz 磁束密度として 0.4~0.5nT 程度まで受信可能であることが判明した。磁気センサ業界では、処理し易い 1kHz 程度の低い周波数で解像度としての磁束密度 0.5nT という数値が公表されており、これと比較しても遜色ない値であることが分かる。部品点数が少ない割には高感度を示す利点があり、リファレンスシステムに定めている。

方式2：

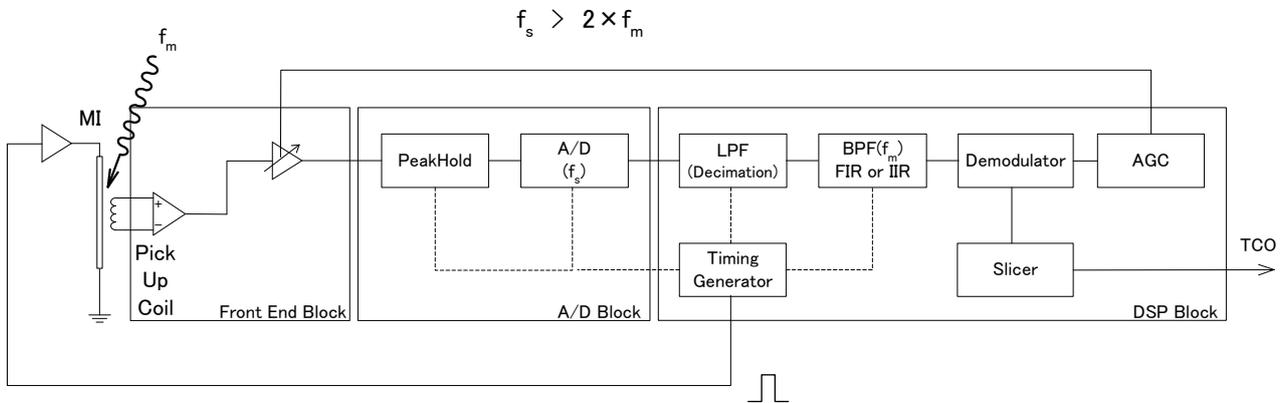


図 13-8 OFG による交流磁界受信システム・・・方式2

方式1において、サンプリング時のみ MI 素子を駆動する様にしたもので、ピークホールドが必要であるが、消費電力を抑えながらオーバーサンプリングを行うことができる構成のため、実用的なシステムである。

方式1と共に特許出願、平成20年度磁気学会学術講演会にて発表を行った。他に類似システムの発表は無く、本内容に新規性があることを確認した。

方式 3 :

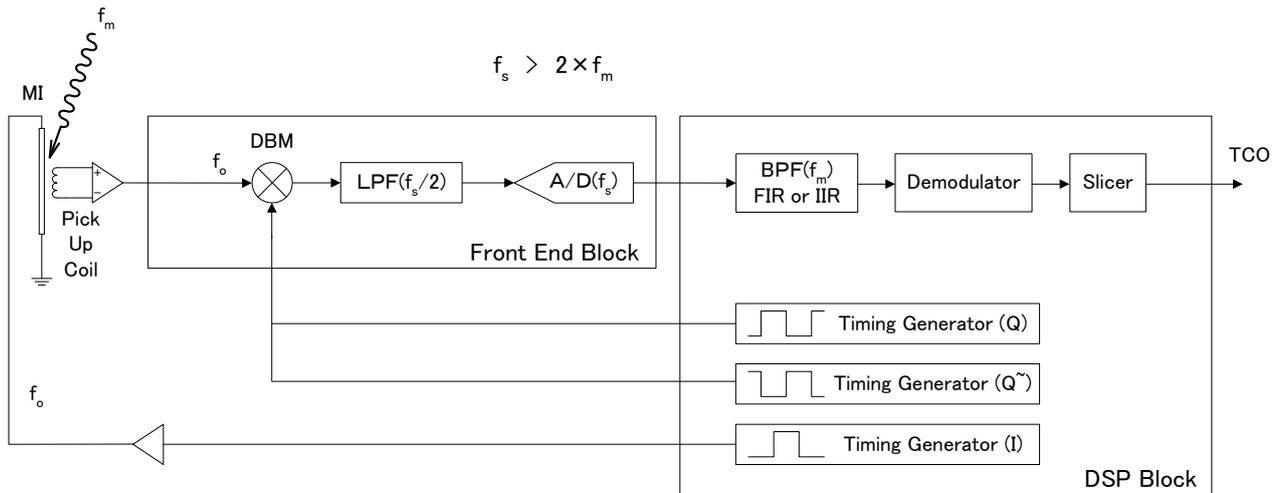


図 13-9 OFG による交流磁界受信システム・・・方式 3

高感度化、低雑音化を目的としてダイレクトコンバージョンを応用したものである。DSP や FPGA は自由にデジタルタイミングを生成することができるため、ミキサに必要なローカル信号発振器としても都合が良い。位相が既知である直交信号を生成すれば IQ 信号分離は不要であり、PLL でロックする必要もない。新たに DBM(Double Balanced Mixer)が必要となるが、これは近年ワンチップで安価に供給され、DSP 同様に使い易くなっている。

復調エラーを含むが、最小磁束密度は 0.3nT 付近まで下げることができた。

キャリア周波数が高くなると、古典的ソフトウェアラジオ構成は困難になるので、世に出回っているソフトウェアラジオ、DSP 無線機やスペクトラムアナライザのほとんどは、実はこの様に周波数変換を行っている。消費電力は大きいが安定した高感度受信ができる利点がある。

方式 4 :

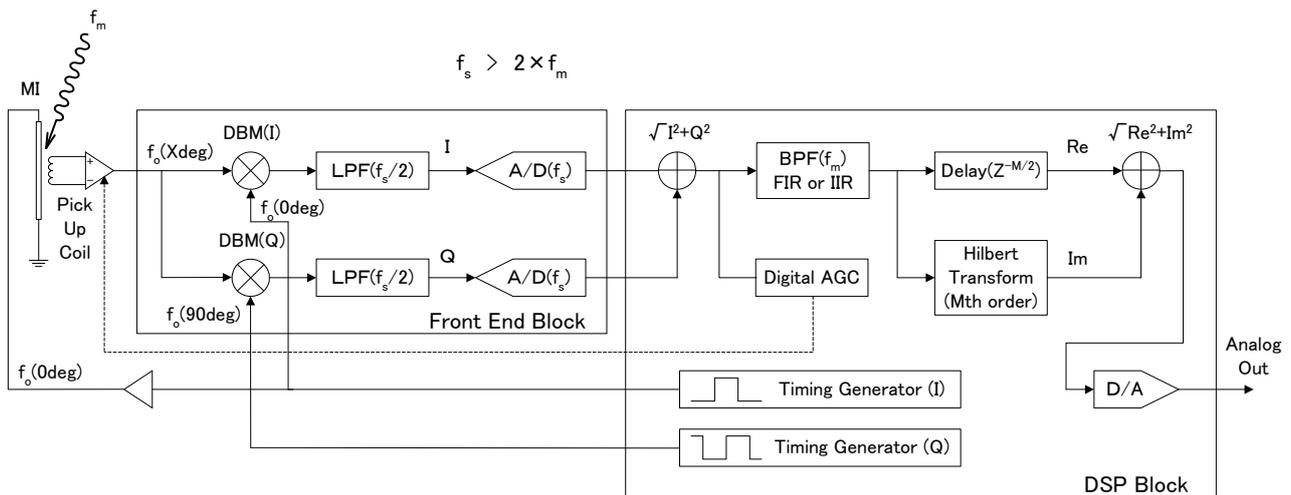


図 13-10 OFG による交流磁界受信システム・・・方式 4

方式 3 を発展させ、長波帯 TCO 受信のみならず中波帯 AC 受信をも視野に入れたものである。AD 変換後の信号を BPF に通した後、ヒルベルト変換により解析信号に変えて即時性を出すことで、良好なリニアリティを得ることができる。

前方式と比較して複雑になるが、レベルスライスを行わないのでそのまま ASK と AM 受信の両方に対応することができる。

Front End Block において IQ 信号分離を行っているが、IQ 分離を行わない方式 3 と同じ構成でも良い。直交変換を 2 度用いることで磁気センサ特有の問題を解決しようとするもので、方式 2 と共に実用的なシステムである。

周波数領域における検証：

DBM の周波数領域における動作検証をするため、方式 3 の参照信号を用いてその入力信号と出力信号をスペクトラムアナライザにより観測した。DBM 出力振幅は損失により小さくなるため、キャリア先頭値が双方同じ程度になる様に DBM 後段増幅器の利得を調整した。発振周波数の誤差により中心周波数は 5MHz から少々高い方にシフトしている。入力では両側波帯の形が明確でないが、出力はノイズレベルが若干上昇しているにも拘わらず両側波帯が明確に浮き出ており、先頭部分で 20dB 近く上昇している。汎用部品と簡単な回路により、搬送波抑制と同じ効果が得られることが分かった。平成 21 年度の実施内容については、次項 4-2 デジタルフィル部の研究と合せて報告する。

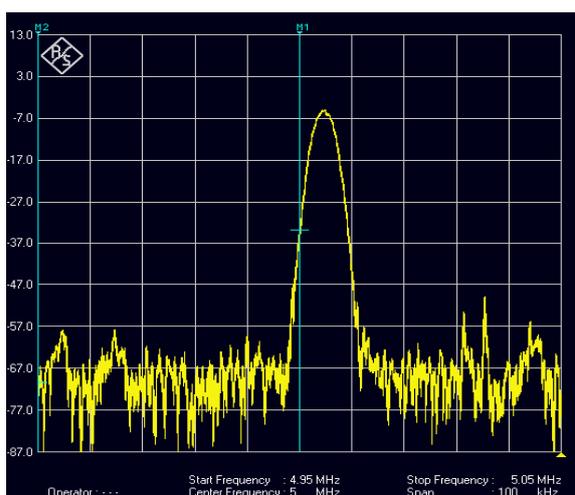


図 13-11 DBM 入力信号のスペクトル

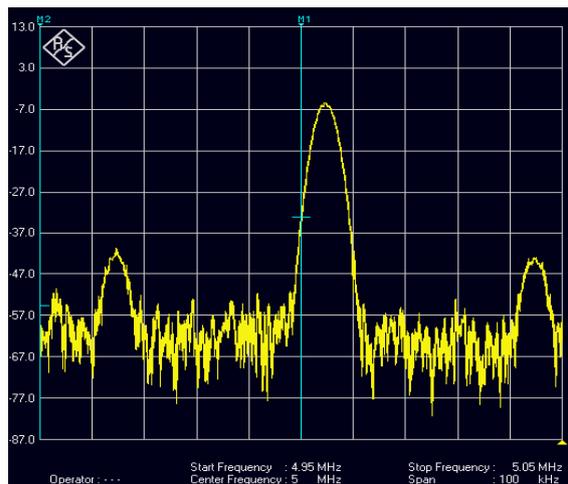


図 13-12 DBM 出力信号のスペクトル

4-1-3 サブテーマ「MI 素子集積化の研究開発」のまとめ

本サブテーマに関し、各詳細項目別に各年度の実施予定をまとめる。

・集磁構造体の研究：

平成 19 年度：試料作成のための機械装置として「ボールボンダー」、評価・測定のための「無磁場空間装置」等の導入を完了した。集磁体実装基板 1 を用いての第 1 段階の試験を実施した。

平成 20 年度：集磁体実装基板の改良設計・製作を行い、試験を実施した。サブテーマ 3 における集積 MI 素子モジュール基板の設計に反映した。また、新規構想の単体 MI 素子の設計・製作・評価を行った。

平成 21 年度：上記成果に基づき、後述の集積 MI 素子モジュールを組上げ、受信機プロトタイプの研究での動作評価に供した。

・バイアス磁界用プレーナ・コイルの研究：

平成 19 年度：WLP コイル一体型 MI 素子での試験を実施した。半導体プロセスを用いたプレーナコイル・チップの設計・製作を完了し、評価を実施した。改良版 WLP 2 コイル一体型 MI 素子 (Type-IV) の評価も実施した。

平成 20 年度：プレーナコイル・チップに関し、改良版プレーナコイル・チップの設計・製作を行い、試験を実施した。ワイヤタイプの集磁体用に新たな知見が得られ、特許出願を行った。

・パルス方式・検出回路の改良研究：

平成 19 年度：従前 MI-IC を用いた TEM-CELL での試験、WLP コイル一体型 MI 素子での試験、新規検出方式 (新規 OFG 方式) の第 1 段階の試験を実施した。

平成 20 年度：新規 OFG 方式の第 2 段階の試験を実施し、CMOS-LSI 化のための回路設計を行った。説明の都合上、後述の B/B の製作の項で記述するが、続いて、回路シミュレーション・レイアウト設計・データ検証・マスク製作を実施した。半導体プロセス流動 (Bi-CMOS) を行い、CMOS-LSI チップを

製作し、評価を実施した。

平成21年度：20年度の成果である、新規構想のI/Q (In Phase / Quadrature) 信号による直交変換を用いたダイレクトコンバージョン方式センサ信号処理システムを構築し、実験を行った。方式1、3においては薄膜MI素子のみならずアモルファスワイヤについても、エラー率変動が少なく安定した交流磁界受信を実現した。

4-2 デジタルフィルタ部の研究

4-2-1 研究開発の内容

受信回路のデジタルフィルタ部の研究を行う。まずフィルタリングスキーム（積和演算処理）の詳細な検討（計算・シミュレーション）を行い、ハードウェアの設計・設計製作・評価を行っていく。（研究期間 平成19年12月～平成21年7月）

具体的には、デジタルフィルタの数値演算、シミュレーション、測定器ベースでの回路ブロック検証を行い基本原理動作の確認後、FPGAを用いてブレッドボード（B/B）を設計・製作し、詳細に測定・評価を行っていくものである。

上記が、本サブテーマに関し概略、実施計画書記載の実施内容である。

本サブテーマも、

・数値演算・シミュレーション

および

・B/Bの製作・評価

の2つの詳細項目から成る。

4-2-2 実施状況

上記本サブテーマ・各詳細項目に関し、各年度の実施状況について下記に記述する。

・数値演算・シミュレーション：

平成19年度：数値演算ソフトおよびFPGAの機種検討・選定を実施した。フィルタリングスキーム初期検討を実施した。数値演算ソフト（シミュレータ）においては評価用ライセンス版、FPGAについてスタータ開発キットを用いて実施した。



図14-1 導入した各種DSP、FPGA評価キット

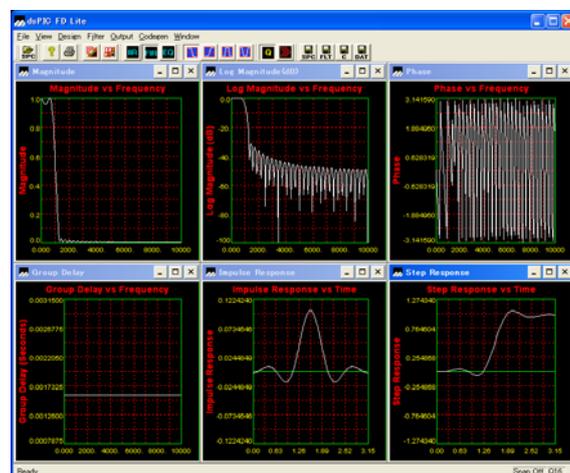


図14-2 Digital Filter Design Tool 実行画面

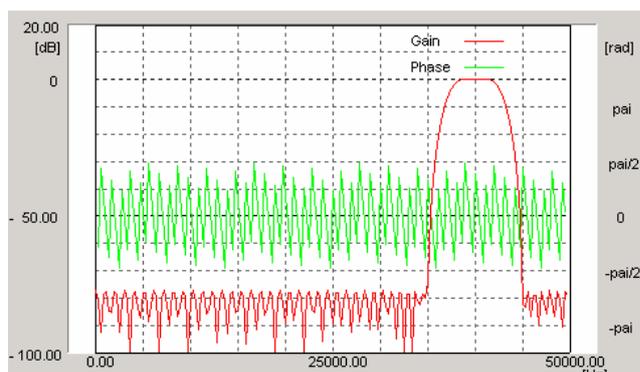


図14-3 サンプリング周波数100KHz時、タップ数100のFIRにより40KHzBPFを構成した場合の特性をシミュレートした例

通常のラジオが持つ同調回路の様な選択性を持たせる部分が無いので、BPFにより Q (=10 以上) を持たせることで、受信雑音の中から信号を取り出す機能を構成することを意図している。

フィルタリングスキームとして、申請時提案の IIR だけでなく FIR も検討対象に入れることにした。IIR は少ないタップ数で高 Q が期待できるが、帰還形のため不安定性がある。FIR は安定性が高いが、タップ数を多くしなければ所望の特性は得られない。しかし近年の著しいデバイス集積度の上昇とコスト低下により、タップ数は容易に多くできる方向にあり、むしろ構造が簡易で安定な FIR を採用することのメリットに期待している。感度の定量的評価はこれからであるが、FIR により 40kHz の変調を取り出し、TCO 信号を得ることができるところまで判った。

平成 20 年度：数値演算ソフトの正式版導入等を行い、FPGA/CPLD 開発ボードと上記 MI 素子評価試作品および試作装置類と組み合わせて試験を実施した。フィルタリングスキーム等を決定し、後述の B/B の製作仕様を策定した。

周波数選択性を持たせるための BPF に使われるデジタルフィルタについては、安定だが DSP のメモリを大きく消費する FIR よりも、所要メモリが少ない上に高い Q を実現できる IIR を用いた方が、同じシステムリソースにおけるパフォーマンスが高い。振幅特性をシミュレートしながら IIR の係数を算出することにより、最も MI センサに適した特性を得ることにした。

デジタルフィルタ特性：

以下は振幅特性の一例である。

フィルタ係数設定により Q を大きくし過ぎると、サンプリング周波数の誤差が BPF 通過中心周波数 f_m のずれを引き起こし、結局は感度を下げることになるので、 $Q=140$ 程度が最も扱いやすいと判断した。

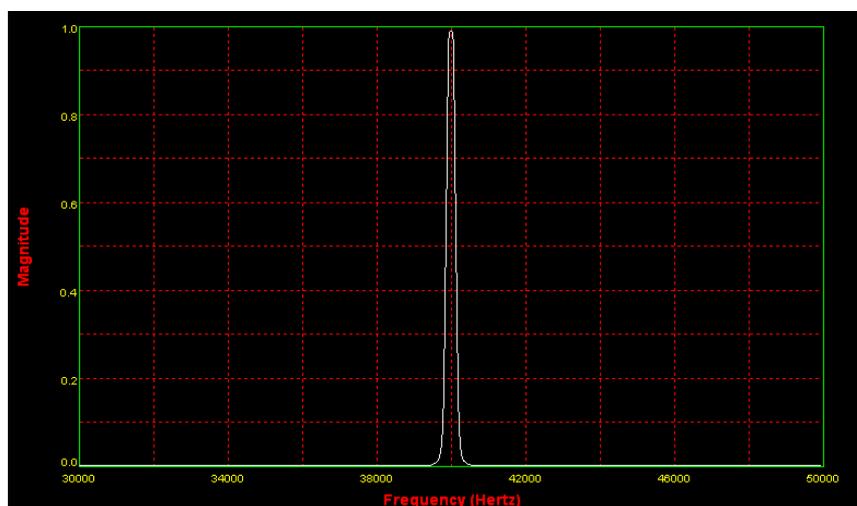


図 14-4 中心周波数 40kHz, $Q=140$, Butterworth 8 次 相当の IIR フィルタ振幅特性

BPF 後処理の工夫：

BPF 後の数値データは f_m を中心とした極狭い通過域しか含まないが、入力レベルが微小では振幅が一定にならない。後段でレベルスライスをを行うとしても、これは復調信号に乗る H/L 論理反転の原因となるので、TCO 復調に限ってはスムージング除去することが望ましい。しかし、それは BPF 後さらに LPF を通すことと等価となり、選択性ひいては感度の低下をもたらす。これがどの程度であるかを動作により確認した。処理フローは以下の通りである。

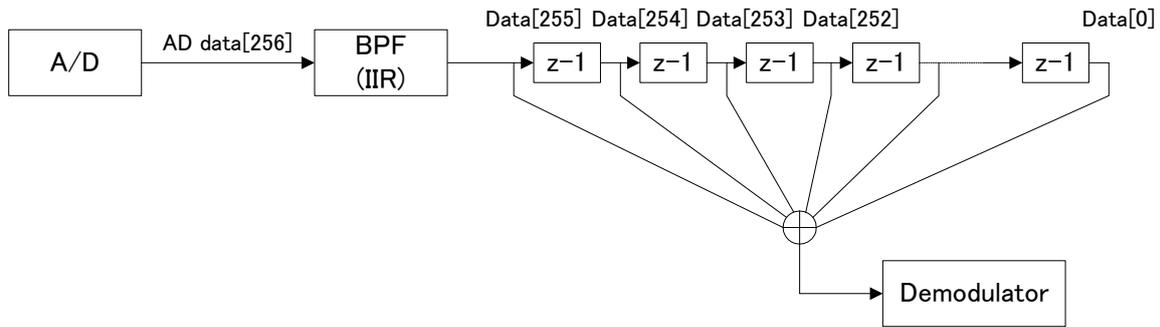


図 14-5 スムージングフロー

TCO 周期が 1s であるため、スムージングに要するサンプル数は 256 程度まで可能であった。BPF 後にリングバッファまたはバッチ処理によるスムージングを行っても、AD 入力振幅を大きめに設定することにより、同程度の感度を得ることができた。逆に AD 入力振幅が小さい場合 (1V_{p-p} 程度以下) はスムージングを行わずに、BPF からの数値データをそのままレベルスライスしなければ復調できないことが分かった。

以上は実際にシステムを構築しなければ分からないことであり、デジタル処理であっても前段アナログ部の調整が如何に重要かを示す結果となった。

参照信号生成部：

ダイレクトコンバージョンを行う動作方式では参照信号を生成する必要があるが、センサ回路特有の位相特性を利用したため、使用している DBM に対しては、クロックを元にしたシンプルな同期カウンタとロジック出力を利用すれば良く、1チップ化と省電力化に極めて有利となった。FPGA/CPLD 内で構成したブロックは僅かこれだけで済んだ。

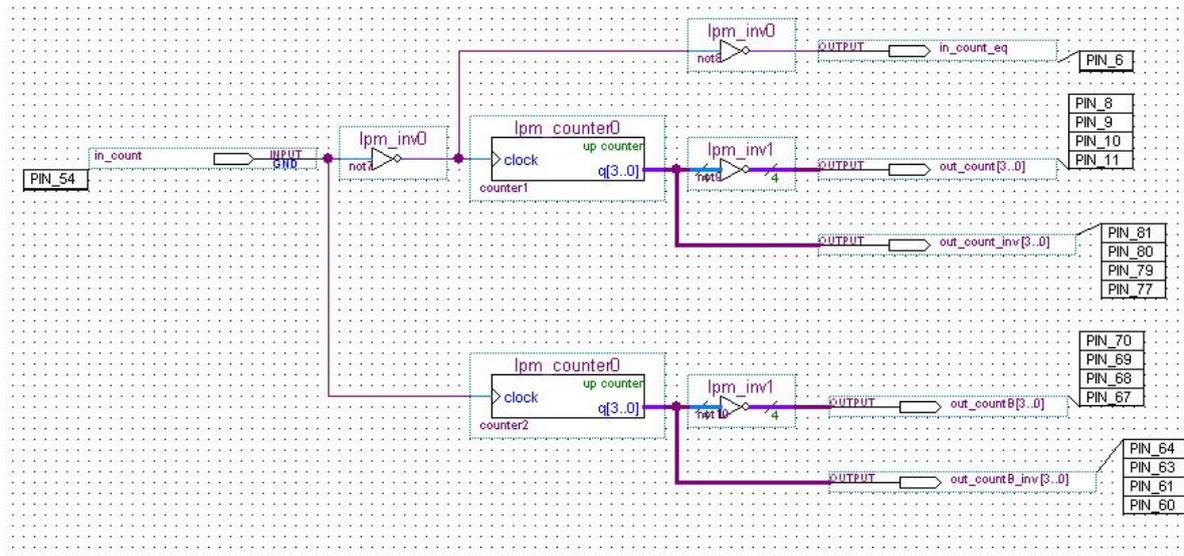


図 14-6 デジタル参照信号生成部

全体のデジタル処理フロー：

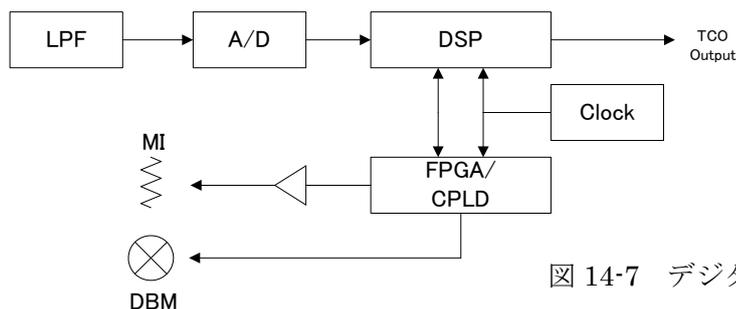


図 14-7 デジタル処理フロー

実際はこの様に、1つのクロックを基準に逐次処理系として DSP、同時処理系として FPGA/CPLD を並立動作させる方が構成し易く、所望の動作が実現できた。

・B/Bの製作・評価：

平成20年度からの実施であり、上記、新規 OFG 方式の CMOS-LSI 化である TEG 作成の前にディスクリート部品による試験基板を製作した。試験基板評価後、CMOS-LSI 化のため、回路設計・シミュレーション・レイアウト設計・データ検証・マスク製作を実施し、半導体プロセス流動を行い、TEG としてチップを製作した。完成後、MI 素子と組合せ、センサ信号フロントエンド、DSP/FPGA コアから構成される「デジタルフィルタ試験装置システム」の構成が成った。「標準電波信号試験装置システム」と合せ評価に供した。

ディスクリート部品による試験基板：

センサ入力部は種々の MI 素子に対応し、動作方式の切り替えを可能とした。デジタル部は将来のワンチップマイコンへの組み込みを考慮して、転用できるローコストな部品で構成した。

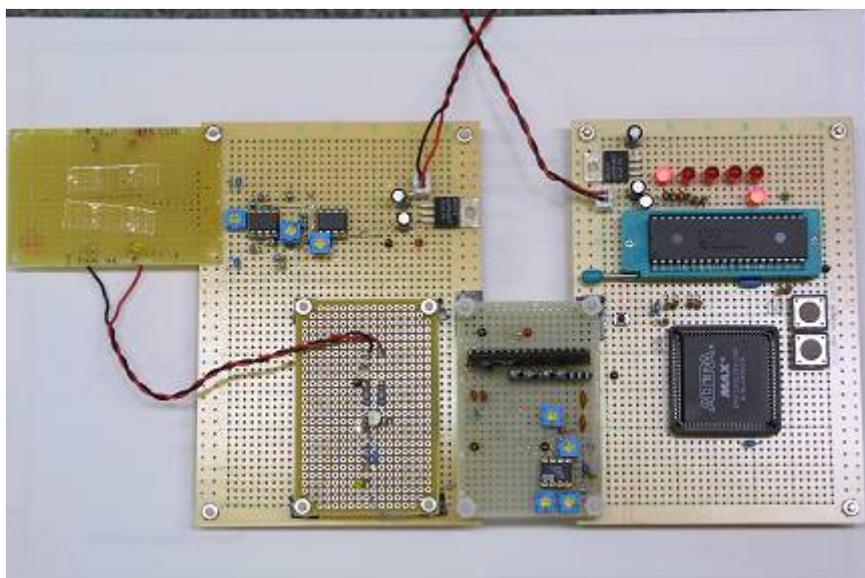


図 14-8 試験基板

動作試験：

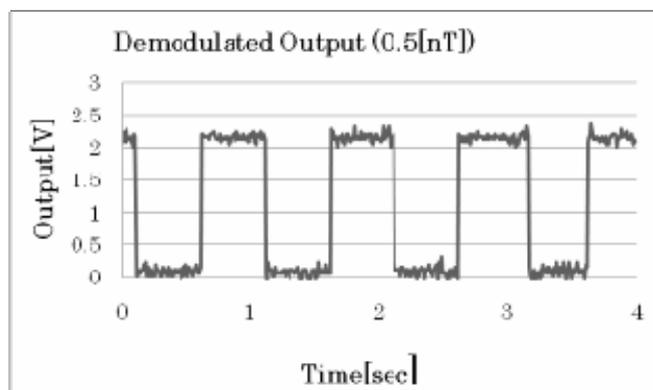


図 14-9 Duty50%パルス変調の復調例(0.5nT)

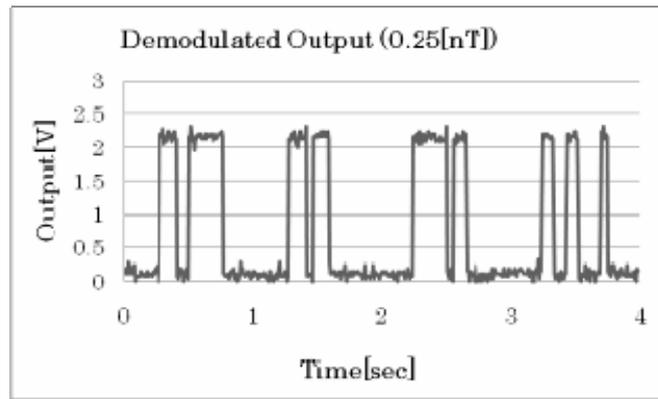


図 14-10 Duty50%パルス変調の復調例(0.25nT)

復調エラーによる H/L 論理反転を明らかにするために、方式 1 システムに、擬似 TCO 変調とも言える周期 1 秒 Duty50%のキャリア 40kHz のパルス変調信号を加えて復調したものが上図である。磁束密度が十分なレベル 0.5nT ではほぼ反転なく復調するが、レベルが半分の 0.25nT になると High であるはずの周期にランダムに Low 出力が現れ、復調エラーが出ていることが分かる。地磁気の十万分の一程の僅かな交流磁束密度の違いで復調エラー出現の確率が大きく変わった。

TCO 復調エラー出現率：

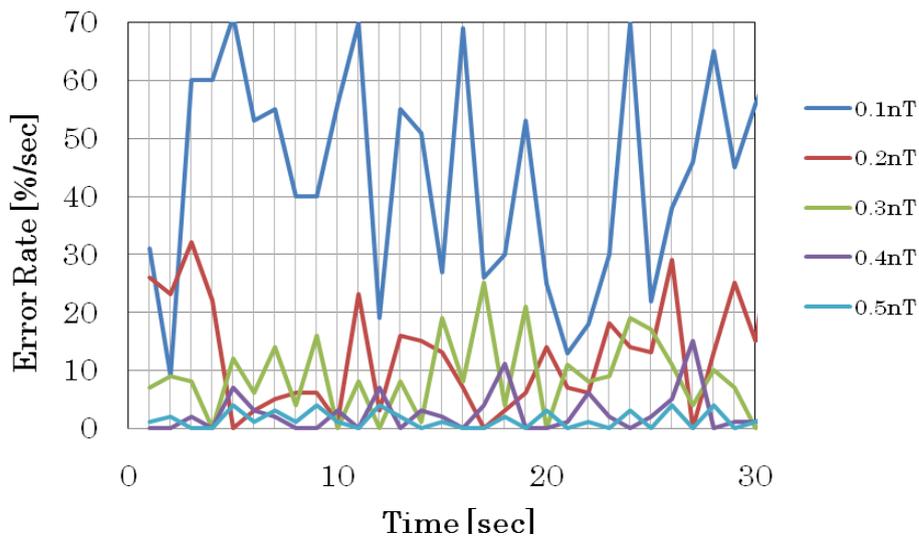


図 14-11 エラー出現率の時系列変化

TCO 一秒周期において、送信側の論理に対し復調結果が逆であった割合をエラー出現率とする。磁界受信の安定性を確認するため、磁束密度をパラメータとして、TCO 復調エラー出現率の時系列変化を 30 秒間記録したものが上図である。後にエラー訂正を行うため、10%/sec 以下であれば問題はなく、継続復調のために磁束密度は 0.3nT 以上必要であることが図より分かる。同じ状態で 1 分以上経過しても値が極大になることはなく、安定動作が得られていると結論付けることが可能である。

平成 21 年度の実施内容として、実際の TCO 送信信号と受信復調信号波形を以下に示す。

上段：TCO 送信信号、下段：TCO 受信復調信号である。



図 14-12 0.5nT 復調波形

時間軸スムージングに必要な 100ms 以下のディレイが残るが、デジタル処理によるものではない。



図 14-13 0.3nT 復調波形

期待される論理とは逆の論理となる部分が TCO 復調エラーである。



図 14-14 0.1nT 復調波形

磁界が弱くなるにしたがって TCO 復調エラーが多くなる様子が判る。

最小磁束密度：

受信可能な最小磁束密度の推移

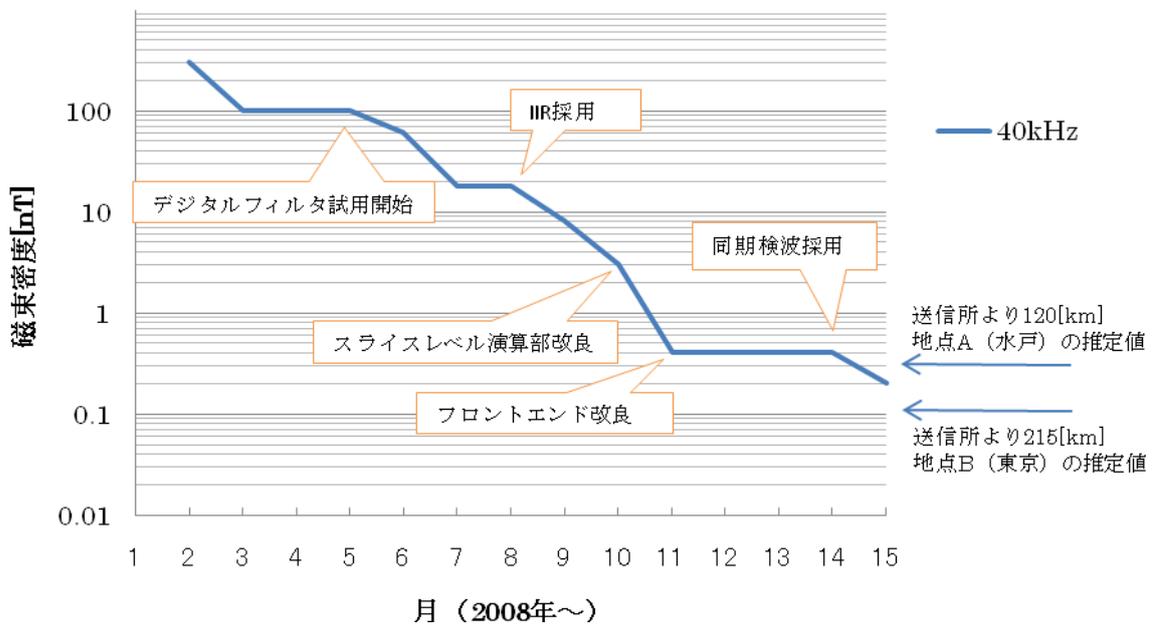


図 14-15 最小磁束密度の推移

方式1システムに Duty50%パルス変調信号を加えて、受信可能な最小磁束密度を示したものが上図である。横軸は昨年1月から起算した月単位の作業時系列であり、約2年弱の期間に種々のアイデアと改良により3桁程度の高感度化を実現したことが分かる。

0.3nT以下まで測定可能な交流磁界強度計を持ち合わせていないため、図14-15中に示す磁束密度推定値A,Bは、送信所直下の磁束密度測定値を基準に、公表されている電界強度減衰量を当てはめた値で

ある。

磁束密度の推定値：

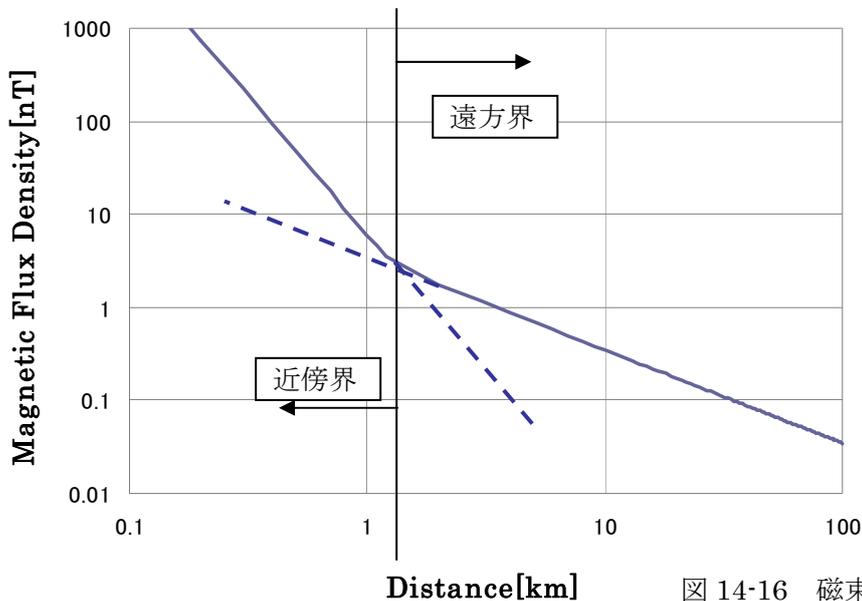


図 14-16 磁束密度の計算値

TCO 信号や AM 放送の送信アンテナは電界励振であり、公表されている各地のデータも電界強度なので、これを磁界強度（磁束密度）に換算する必要がある。

電界と磁界の関係は近傍界か遠方界かにより違う。受信可能な最小磁束密度も同様である。

$Z = E/H$ とおくと

- ・遠方界：空間インピーダンス $Z=377\Omega$ が成り立つ。
- ・近傍界：空間インピーダンス $Z=377\Omega$ が成り立たない。

概して言えば送信アンテナより λ 以上、詳細には $\lambda/2\pi$ 以上の距離があれば遠方界と見なす。従って 40kHz の場合、7.5km または 1.2km 以上離れば遠方界である。

1.4km 地点の実測で得られた磁束密度を基準として、磁界強度減衰の様子をシミュレートしたものが上図である。磁界は 5km 以内で極端に強く、以降は距離の 1 乗に反比例することが分かる。

TEM セルなどでは、特性インピーダンスが 50Ω ならば $E/H=50\Omega$ の関係を使用する。近傍界である実験系では $Z<377\Omega$ であり、公表電界強度から計算した磁界強度は見かけ上大きくなる。

(磁束密度推定値 A,B は、磁界基準値から計算することにより上記の勘案はほぼ必要ないと考え、目安として図に示した。)

逆に磁界励振による実験を行った場合、磁界強度から換算した電界強度は、近傍界では小さくなる。

当初の目標値 $70\text{dB}\mu\text{V/m}$ は電界強度表現であったため、磁界強度により目標値を定める場合は、より大きい値となることに注意しなければならない。

電界強度の公表値は、地点 A で $85\text{dB}\mu\text{V/m}$ 、地点 B で $75\text{dB}\mu\text{V/m}$ 程度である。

従って同じスケール上で、受信可能な電界強度は $80\sim 85\text{dB}\mu\text{V/m}$ (40kHz) 相当となる。これは当初の電界強度目標値 $70\text{dB}\mu\text{V/m}$ と比較した場合、 $10\sim 15\text{dB}\mu\text{V/m}$ 程度感度が低いことを示している。

しかし磁界強度基準を用い、遠方界受信が出来ていることを考慮することにより、あと 1桁程度の高感度化でほぼ十分であると言えることができる。

試験基板においては信号線長の最短距離化、電源回路や部品配置の改良、また MI 素子の感度最適化設計の余地を未だ残しているため、この程度の高感度化は決して非現実的なことではなく、いよいよ最終段階が視野に入ってきた。

磁気学会発表においても 40kHz 受信でここまでの感度を示した報告はなく、H20 年度の研究段階としての目標は達成したと考えている。H21 年度の段階では、試験用 TCO エンコーダおよび実際の送信局による標準電波を受信復調し、TCO として問題なくデコードし、年月日、時分秒表示することが出来た。

[参考：JJY おおたかどや送信所にいたる交流磁界測定]

ここで、上記感度推移の中では平成 20 年 6 月と非常に早い段階での実験ではあるが、東京・首都圏から JJY おおたかどや送信所にいたる道中、本研究でのディスクリート部品による試験基板等を持参し、磁界感度測定を行ったので紹介しておく。



図 14-17 広域地図
(Google Map より引用)

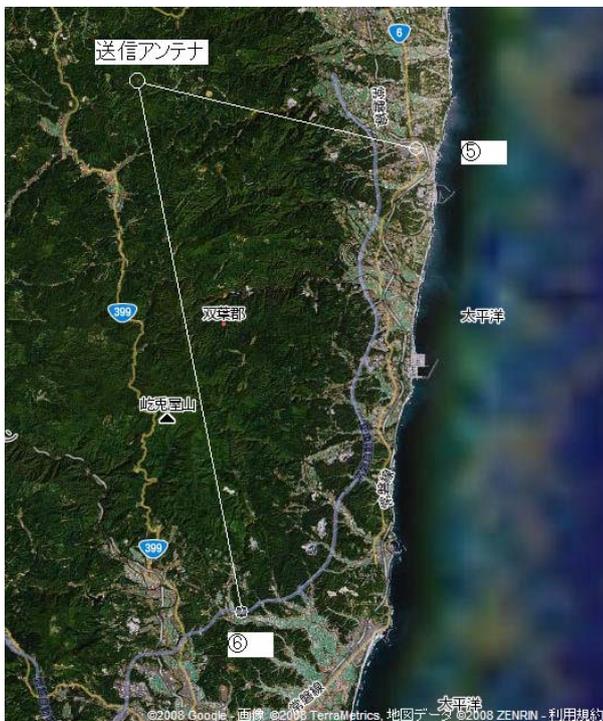


図 14-18 中域地図(Google Map より引用)



図 14-19 送信所近辺(Google Map より引用)



図 14-20 送信アンテナ



図 14-21 ポイント①



図 14-22 ポイント②



図 14-23 ポイント②



図 14-24 ポイント⑤

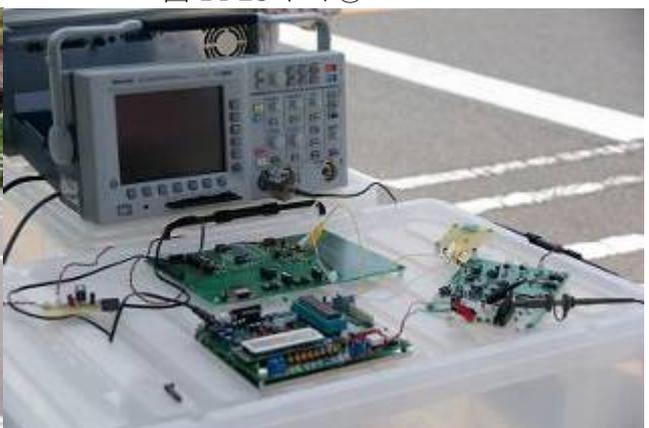


図 14-25 ポイント⑤

測定結果：

表 6 各ポイントでのデータ

ポイント	送信アンテナ中心からの直線距離[m]	見通し	見通し上の障害物	基準 LC の最大誘導起電力[mVrms]	換算磁束密度	試験回路による TCO 復調
① 第一ゲート前	600	可	樹木、鉄ゲート、電線	29	12.6[nT] 0.126[mGauss]	可
② 空き地	650	可	無し	67	26.2[nT] 0.262[mGauss]	可
③ 路上 1	700	不可	樹木	56	25.1[nT] 0.251[mGauss]	可
④ 路上 2	900	不可	樹木	16	6.28[nT] 0.0628[mGauss]	不可
⑤ 富岡ショッピングプラザ駐車場	14000	不可	樹木、建造物等	5	3.14[nT] 0.0314[mGauss]	不可
⑥ 四倉 PA	28000	不可	樹木、建造物等	3	2.09[nT] 0.0209[mGauss]	不可

(*注、TCO 復調可否の欄はあくまで当時の完成度においてということである)

表 7 水戸ないし首都圏での見積

場所	送信アンテナ中心からの直線距離[m]	見通し	見通し上の障害物	基準 LC の最大誘導起電力[mVrms]	換算磁束密度
水戸(-38dB)	120000	不可	樹木、建造物等	0.848	0.332[nT] 0.00332[mGauss]
東京都心(-45dB)	215000	不可	樹木、建造物等	0.376	0.147[nT] 0.00147[mGauss]

空き地②で測定した最大値 26.2[nT]を基準として、水戸と東京において得られる磁束密度を推定する。JJY のデータによれば、電界の減衰量は水戸：-38dB、東京都心：-45dB であるため、磁界も同程度に減衰すると仮定する。電界を空間インピーダンスで割った単純計算によれば、目標とする電界 70[dB μ V/m]は磁界 100[nGauss]相当であったが、下記によれば東京では 1470[nGauss]あれば良いことになり、1桁大きい現実的な値となる。

-----ここまでが平成 20 年の実地測定のまとめ-----

このように、当時の実測でも、上述本文中の考え方を裏付ける形となっていた。なお、上述したように、現時点では 0.332[nT]は達成しており、水戸での受信は可能と考えるが、東京都心での 0.147[nT]の確証が得られた段階で平成 21 年度再度遠征測定として予定し、実施した。

----- 第2回フィールド計測 (09,7,20) -----
 測定結果：

表8 各ポイントでのデータ

ポイント	送信アンテナ 中心からの直 線距離[m]	見通し	直線上 障害物	磁界強度計指 示値[nT]	**見通し 換算磁束密度 (前回報告)[nT]	TCO復調 (前回)	TCO復調 (今回)
① 路上1	1200	不可	山林	3	未算出	未測定	可
② 路上2	2400	アンテナ 上部のみ	山林	0.4	未算出	未測定	可
③ 路上3	4200	不可	山林	0.2	未算出	未測定	可
④ 富岡 SP駐 車場	14000	不可	山林等	0.1~測定限界 以下	3.14	不可	*不可
⑤ 四倉 PA	28000	不可	山林等	測定限界以下	2.09	不可	*不可

今回使用のシステムは前回よりも感度が高いため、送信アンテナとの見通しが大きな割合で可能な地点や、見通しが不可能でも 1200m より近い地点での測定は、磁界強度が大き過ぎて意味を持たないので省略した。**見通し換算磁束密度 (前回報告) は直達波の値であるため 1桁以上大きい。山林等の遮蔽物がなければこの通りであるが、遮蔽物があると 1ケタ以上減衰する様子が分かる。アンテナ形状と、アンテナを中心とした周囲の遮蔽物が水平面放射パターンを形作るため、磁界強度は方位依存性を持つ。*④、⑤の様に、近距離にも拘わらず復調不可である地点では放射パターンの影響もある。

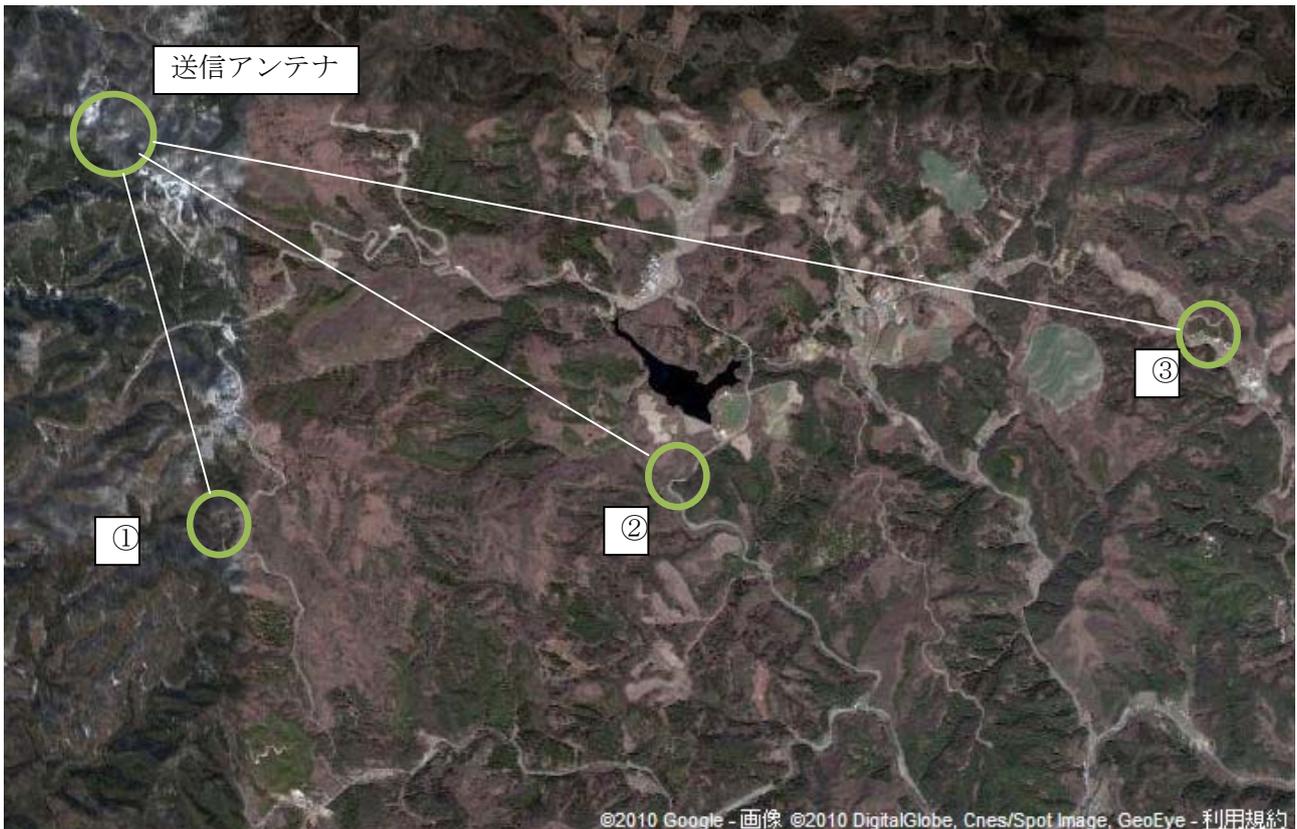


図 14-26 送信所周辺①～③ (Google Map より引用)



図 14-27 送信所周辺④～⑤ (Google Map より引用)

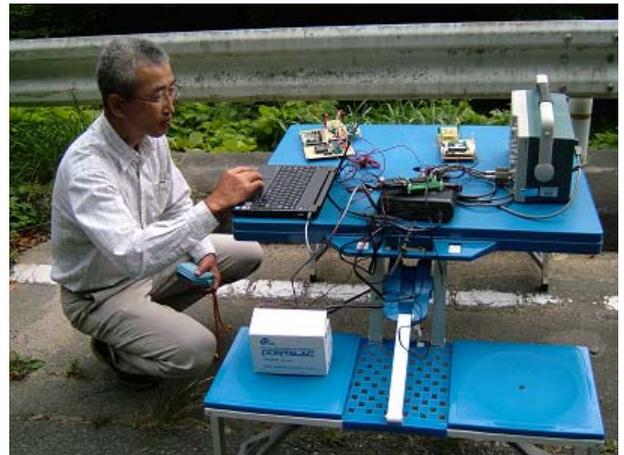


図 14-28 ポイント②での測定の様子



図 14-29 磁界強度計(山林の様なノイズの少ない状況下では正確な値を直読可能)

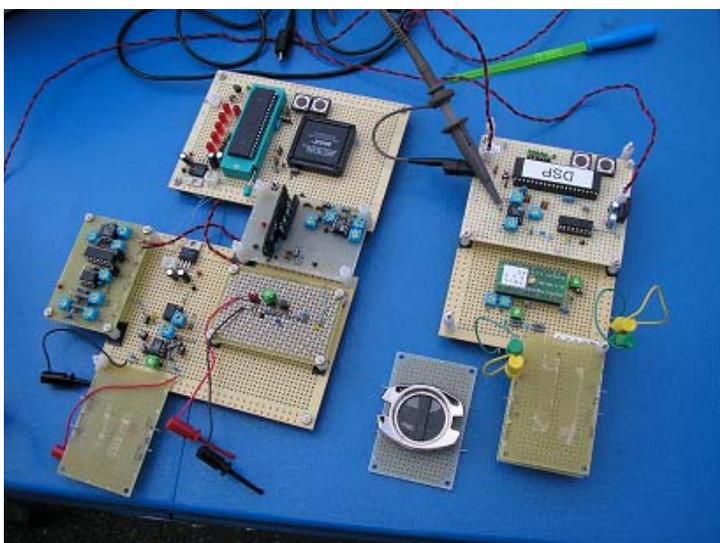


図 14-30 方式 1/3試験基板と方式1試験基板改良型(現地使用)

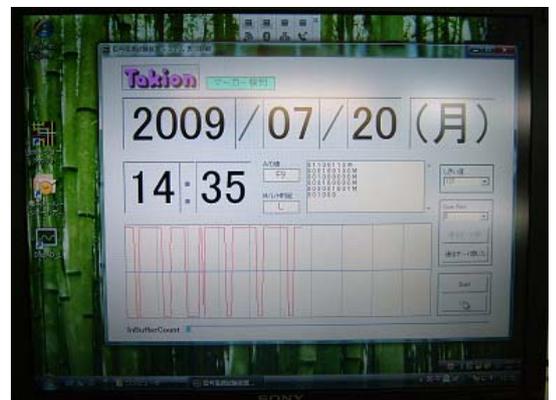


図 14-31 ポイント②(デコード中の表示画面)

送信アンテナ周辺は山間部であるため、近距離であっても山林が遮蔽物となり大きく減衰する。その状態で磁界が遠方界に伝わるので、14km 地点であっても 0.1nT～測定限界以下となる。近傍界では、遮蔽物の影響が無視できる程磁界が強い。

実用されているバーアンテナと同等のセンサ性能が得られ、製品目標達成となるためには、ポイント⑤においてアモルファスワイヤでも受信復調可能となり、バーアンテナと同じ動作実績を示す必要がある。結局は報告書に記したとおり、あと一桁の感度向上でクリアとなることに変わりはない。

高 Q の IIR では、局部発振周波数や調整の誤差により中心周波数 f_0 が若干シフトし、程度によっては信号がほとんど通過しなくなる。実験では、送信所の信号により TCO 復調することが出来たことで、 f_0 誤差が許容範囲内であることが分かった。

今後の予定：

方式 5 の試作。これは方式 1 を改良したものであり、変更点は

① フロントエンド利得と信号振幅の見直し、低雑音化：

現状は電源回り込みノイズを含めて増幅するため、利得が大きくても感度限界がある。

② キャリアドライバの変更：

電流、周期のみ調整可能なクロック共有パルスから、クロック独立の正弦波に変更し、電流、振幅、周波数を調整する。使用するセンサ材質と形状に合わせて、都度ベスト性能を引き出す調整が可能となる。

③ センサの改良：

センサ断面積が小さい程、周波数に拘わらず比透磁率が大きいので、細線センサを複数使用することで感度を上昇させる試みを行う。

MI-F/E TEG によるチップの製作：

ディスクリット部品による試験基板評価を遂行した後、CMOS-LSI 化を実施した。回路設計・シミュレーション・レイアウト設計・データ検証・マスク製作を実施し、半導体プロセス流動を行い、TEG としてチップを製作した。MI-F/E TEG とは「MI 素子用新規検出回路のフロントエンド (F/E)」を専用 LSI 化したものである。最先端 DI-SOI-BiCMOS プロセスを使用した。

1 ショット当たりのチップ構成は下記の通りである。これらを組み合わせることにより交流磁界受信のみならず他の試験機能をも実現する様に設計した。

機能・定数別に、多数の因子・水準を割り付けて試作を行った（非常に多数のため詳細は平成 20 年度の成果報告書を参照されたい）。

例えば AA1,2,8 は以下の様なブロックにより、これだけでセンサフロントエンドを構成する。

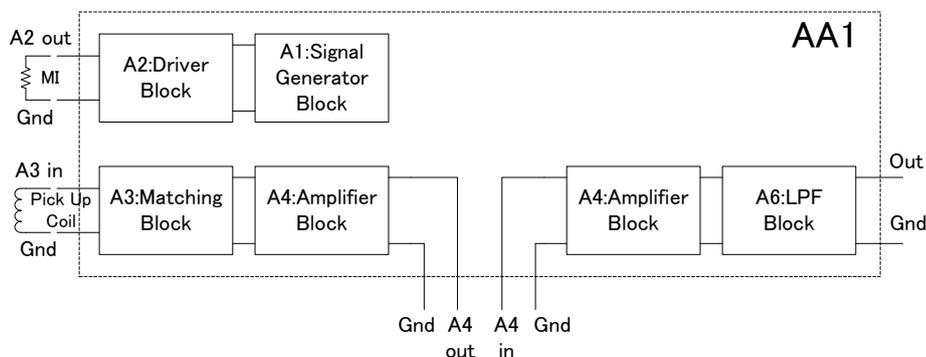


図 14-32 AA1 のブロック

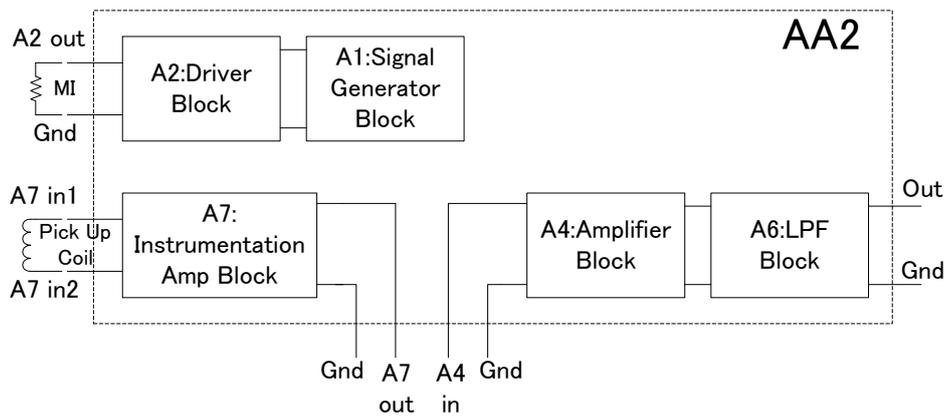


図 14-33 AA2 のブロック

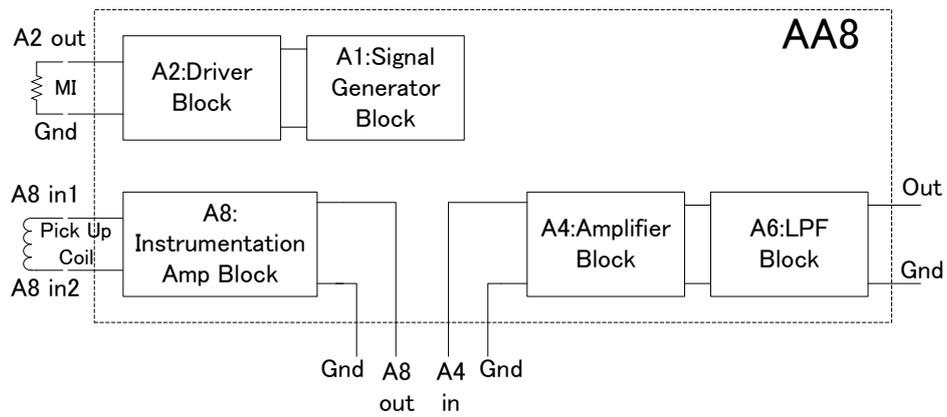


図 14-34 AA8 のブロック

1ショット当たりのチップ配置は下図である。

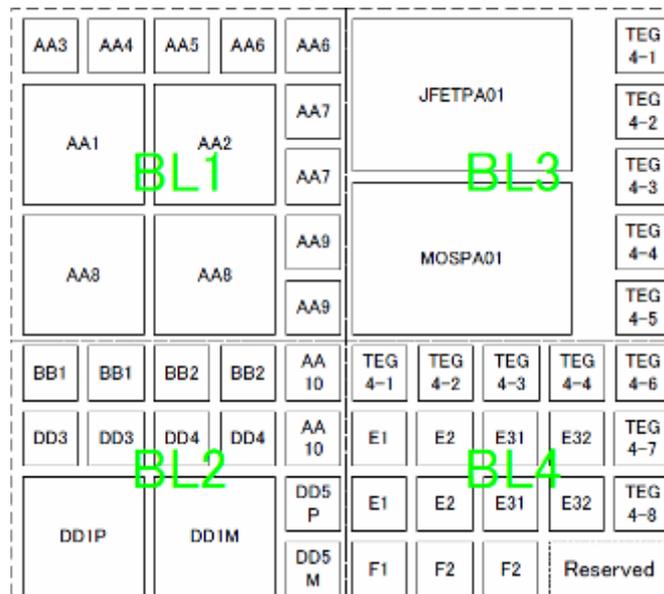


図 14-35 チップ配置

AA1～AA9 の GDS データを以下に示す。

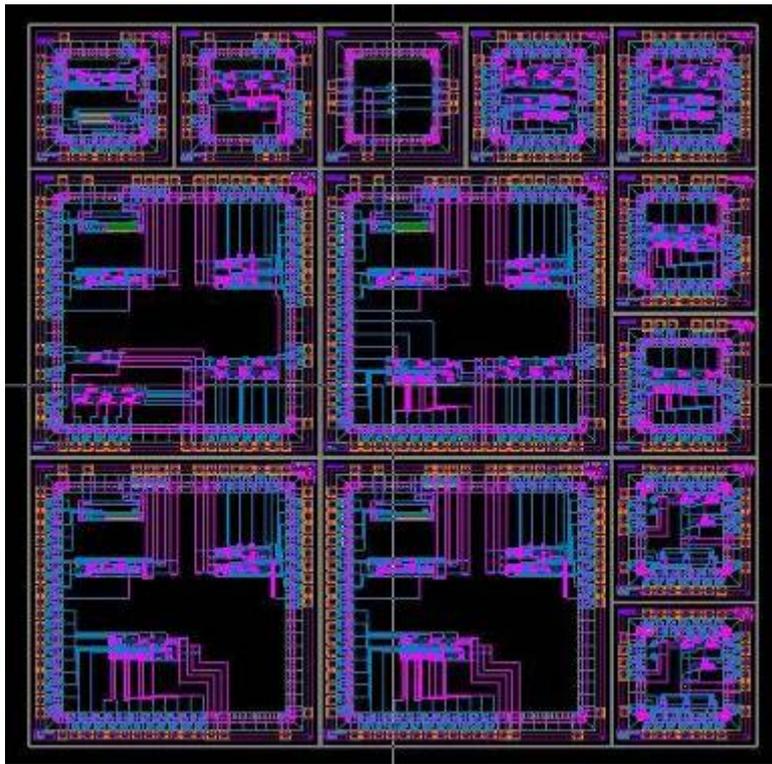


図 14-36 AA1～AA9 の GDS

Bi-CMOS プロセス流動を行い完成したチップ（一部）を以下に示す。

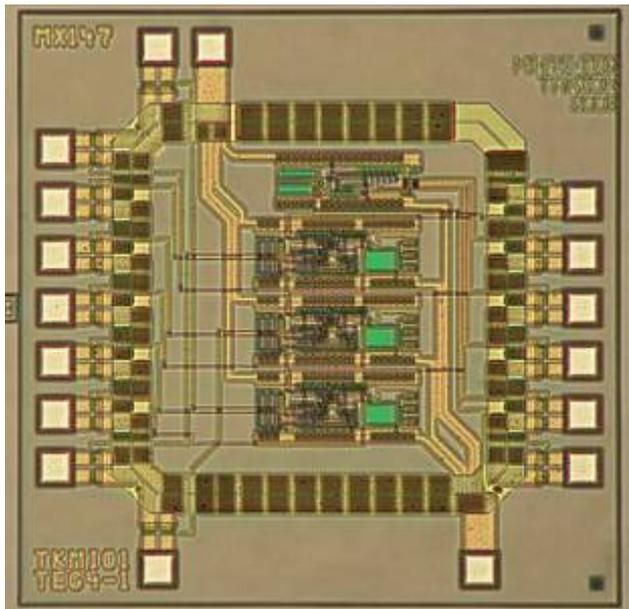


図 14-37 ベアチップ金属顕微鏡写真

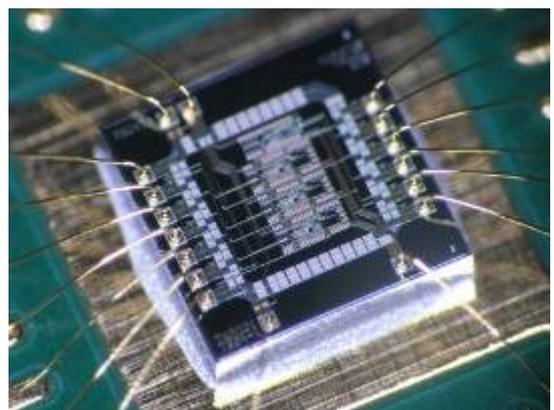


図 14-38 W/B (ワイヤボンド)
実装の様子

MI-F/E TEG 評価基板の製作：

製作した MI-F/E IC TEG を COB に搭載し実際に動作させるための評価基板を製作した。図は方式 1 を AA6,AA9 チップにより実現した場合の評価基板であり、Front End Block (左側) を変えても対応できる様にデジタル基板 (右側) を分離させた。方式 1 は同期検波部が無く、参照信号が不要であるためデジタル部もシンプルとなった。MI 素子を選択することで既存のディスクリート部品による試験基板と同等の動作性能を得た。

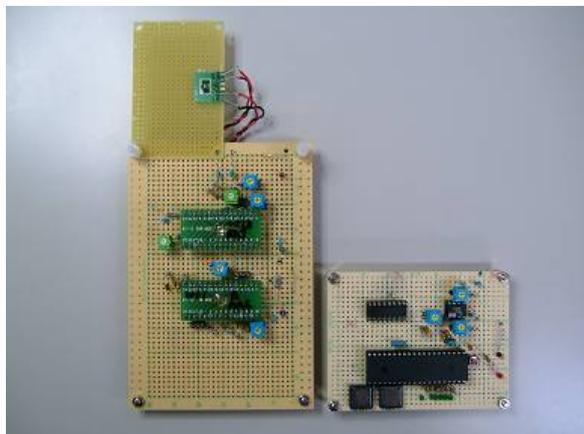


図 14-39 AA6,AA9 チップ評価基板

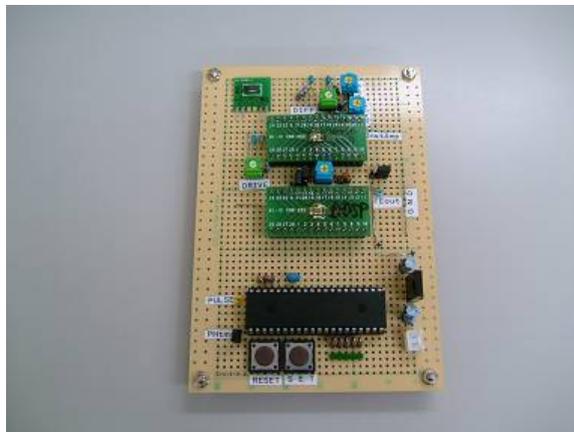


図 14-40 AA9,DD5P チップ評価基板

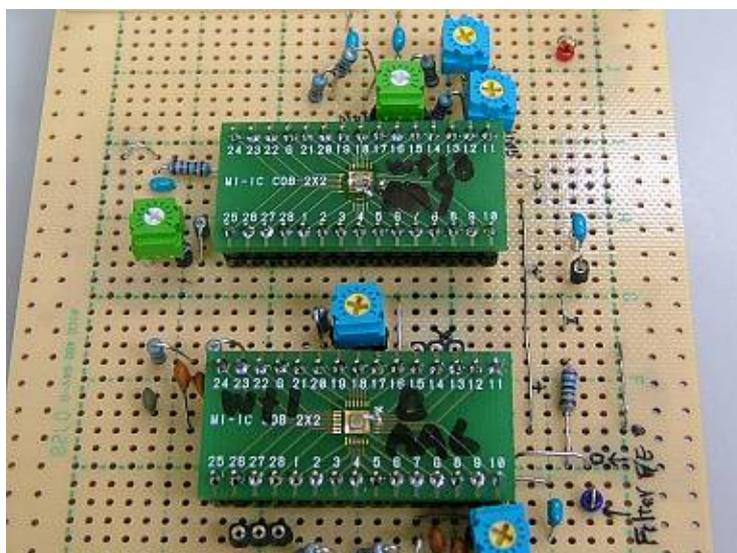


図 14-41 COB と周辺回路

並行して、MI センサ出力信号をピークホールド検出する AA9,DD5P チップ搭載評価基板を作成した。簡易な構成のため、MI 素子とマイコンを含めて一体型とした。意図した通り、センサ出力信号を正確に数値化する動作を確認した。

平成 21 年度は製作した MI-F/E IC TEG において、追加加工 (メタル 3 層構造化) を施し、電源ラインの強化、S/N の向上を図った。

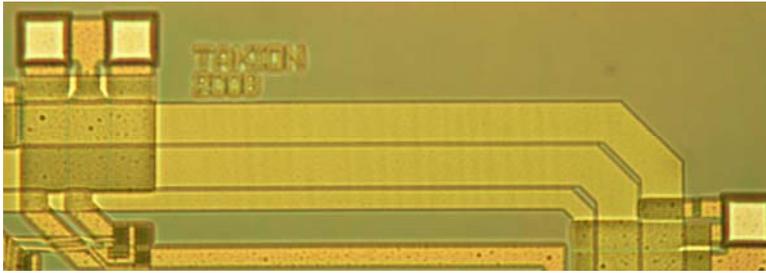


図 14-42 メタル3 追加加工前

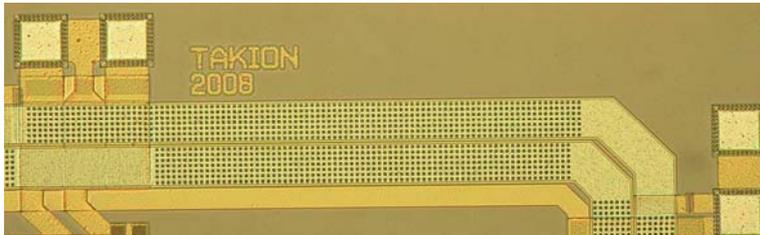


図 14-43 メタル3 追加加工後

4-2-3 まとめ

・数値演算・シミュレーション：

平成19年度：着手レベルで作業量は多くなかったが、当初の予定より研究作業は進展し、ひとつには当初の構想である「磁界センサ+デジタルフィルタによる電波受信機」に関し、特にデジタルフィルタによる検波以降の機能であるが、予備実験では計測器（オーディオアナライザ等）を用いての実験であるのに対してソリッドステートのデジタルフィルタボードでの機能が確認できた。アナログ回路（フロントエンド+検波器）のみの場合、一定の条件下（MI素子も集磁なしなど）であるが、判別可能最小AC磁界は0.20eであるが、デジタル処理の結果0.0170eとなり、実質1ケタの感度向上を確認した。

平成20年度：数値演算ソフトの正式版導入等を行い、FPGA/CPLD開発ボードと上記MI素子評価試作品および試作装置類と組み合わせて試験を実施した。フィルタリングスキーム等を決定し、後述のB/Bの製作仕様を策定した。

周波数選択性を持たせるためのBPFに使われるデジタルフィルタについては、安定だがDSPのメモリを大きく消費するFIRよりも、所要メモリが少ない上に高いQを実現できるIIRを用いた方が、同じシステムリソースにおけるパフォーマンスが高い。

振幅特性をシミュレートしながらIIRの係数を算出することにより、最もMIセンサに適した特性を得ることとした。

平成21年度：AM復調を目標とした解析信号ヒルベルト変換、その他DSP上の複素信号処理を行うシミュレーションを実施した。HDL記述を工夫することで、FPGAと周辺回路を合わせた高密度CPLD1個に1ステージの解析処理を実装することが可能となった。前述のIIRによるBPF用CPLDと合わせて2ステージ構成とすべきことが分かった。

・B/Bの製作・評価：

平成20年度：新規OFG方式のCMOS-LSI化であるTEGのためディスクリート部品による試験基板を製作した。試験基板評価後、CMOS-LSI化を完遂して、回路設計・シミュレーション・レイアウト設計・データ検証・マスク製作を実施し、半導体プロセス流動を行い、TEGとしてチップを製作した。完成後、MI素子と組合せ、センサ信号フロントエンド、DSP/FPGAコアから構成される「デジタルフィルタ試験装置システム」の構成が成った。「標準電波信号試験装置システム」と合せ評価に供した。

平成21年度：上記のAM復調を目標とした複素信号処理を実行するため、DSP/FPGAコアから構成される「デジタルフィルタ試験装置システム」への機能追加を実施した。AD,DA変換器、DSP,JTAG端子を搭載したCPLD試験基板を製作し、動作試験を行った。製作したMI-F/E IC TEGにおいては追加加工（メタル3層構造化）を施し、電源ラインの強化、S/Nの向上を図った。

製作した集積 MI 素子モジュール用 FPC 基板 :

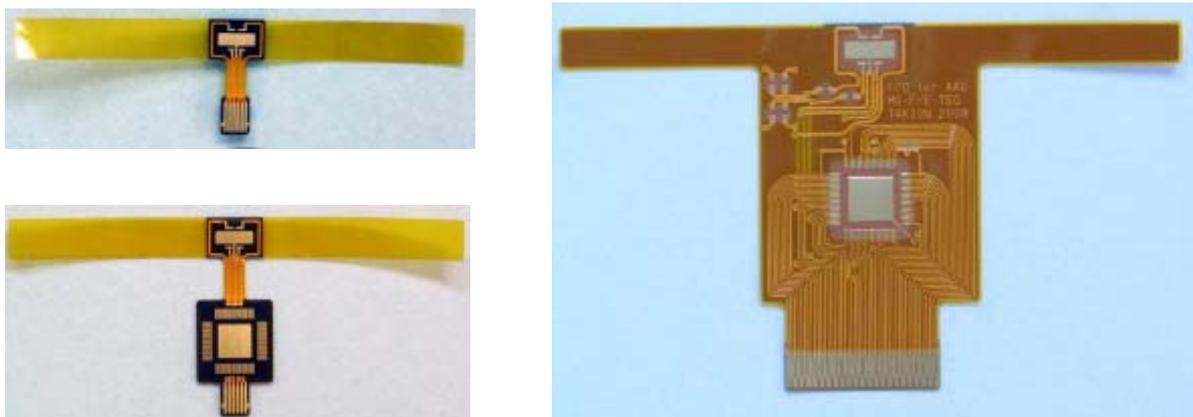


図 15-2 集積 MI 素子モジュール基板完成品 (左上から Type-A、Type-B、右 Type-C)
これらの FPC 基板は、MI 素子、F/E-IC チップを搭載し集積 MI 素子モジュールを形成する。

チップ搭載 FPC

集積 MI 素子モジュール基板に MI 素子および MI-F/E-IC を実装した。

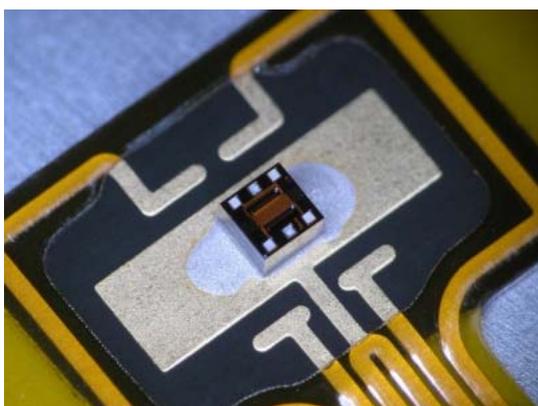


図15-3 1 mm×1 mmチップ実装

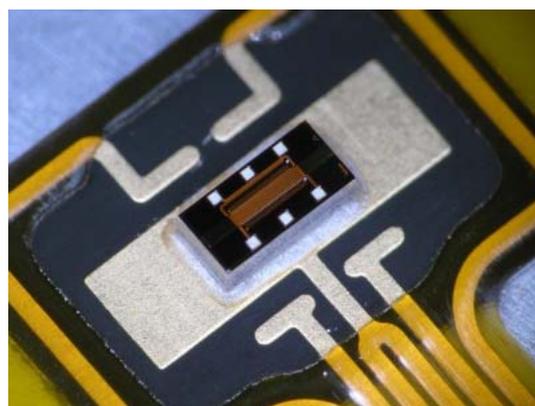


図15-4 1 mm×2 mmチップ実装

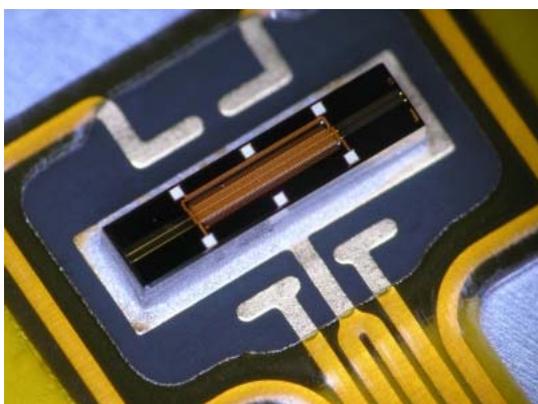


図15-5 1 mm×4 mmチップ実装

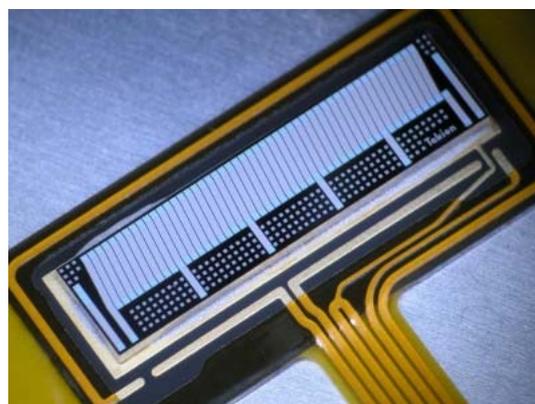


図15-6 3 mm×12 mmチップ実装

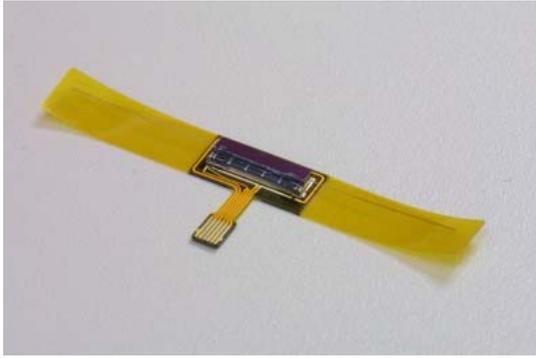


図15-7 3mm×12mmチップ実装
50mmアモルファスワイヤー付き

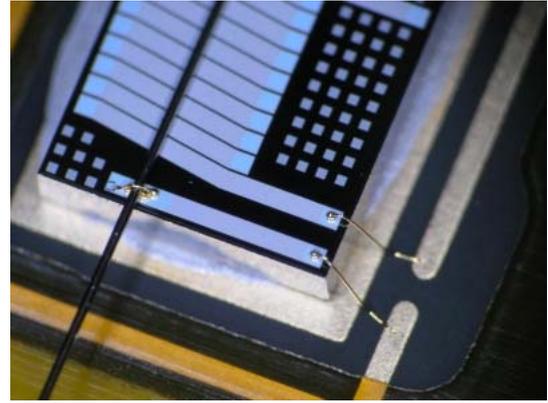


図15-8 50mmアモワイヤー固定
およびワイヤーボンディング

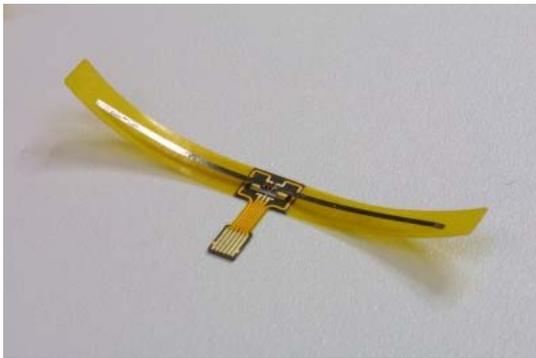


図15-9 Type-Aに1mm×2mmチップ
実装
0.8mm×22mmアモ箔帯付き

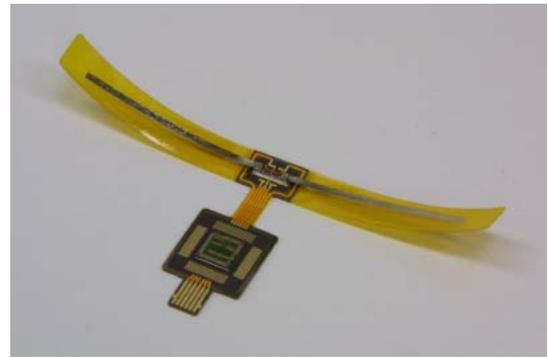


図15-10 Type-Bに1mm×4mmチップ
およびMI-F/E-IC実装
0.8mm×22mmアモ箔帯付き

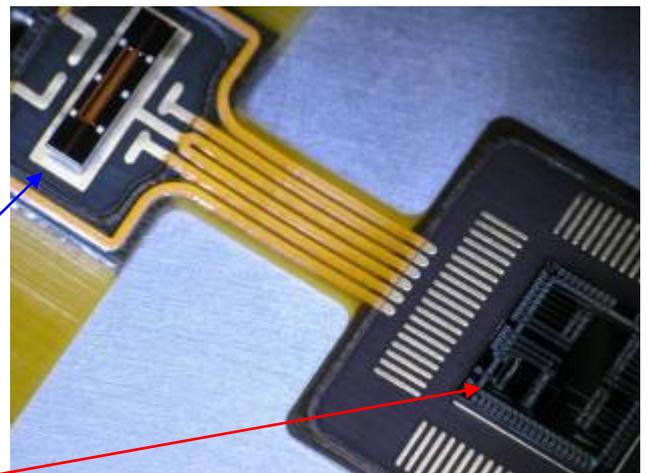
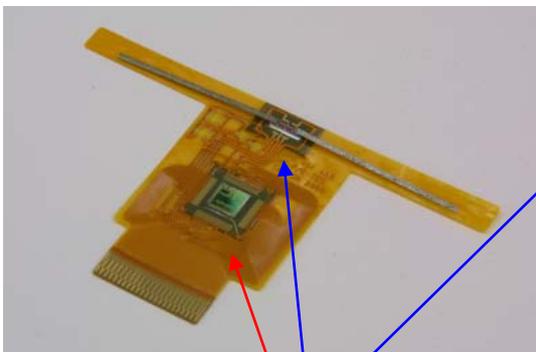


図15-11
Type-Cに1mm×4mmチップ
およびMI-F/E-IC実装
0.8mm×22mmアモ箔帯付き

平成21年度：製作した各種集積MI素子モジュールは受信機プロトタイプの動作評価（総合評価）の中で、随時手直し加工等を行った。

・総合評価：

平成20年度からの実施であり、上記集積MI素子モジュールとデジタルフィルタ試験装置システム、標準電波信号試験装置システム等を組合せ、受信機として機能するセットアップ（受信機プロトタイプ）を組上げ、各種評価を実施した。標準電波対応として目標の受信可能電界強度達成の目処が立った。金属対応として樹脂筐体内との比較において有意差がないことが確認できた。現状、受信可能な電界強度は80~85dB μ V/m (40kHz) 相当のデータが得られている。しかしながら、まだまだ発展途上であり、H21の継続研究の中で、各種機能の拡充・性能向上を図っていく。

平成21年度：新たにAM電波受信評価部を製作追加した。TCO受信においては、フロントエンド用CMOS-LSIや集積MI素子モジュール、デジタルフィルタの改良により小型化、高性能化を図り、時刻表示装置を付加することで、本プロトタイプをデモンストレーション可能な形に仕上げた。

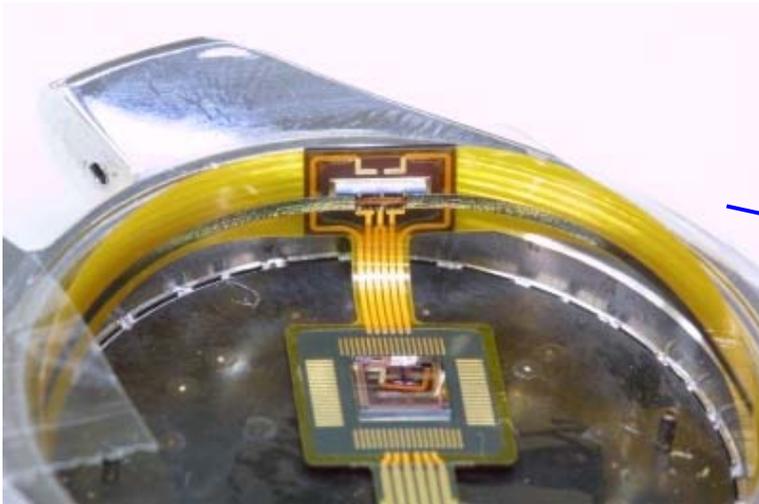


図 15-12 集積MI素子モジュールが時計筐体に収まった状態

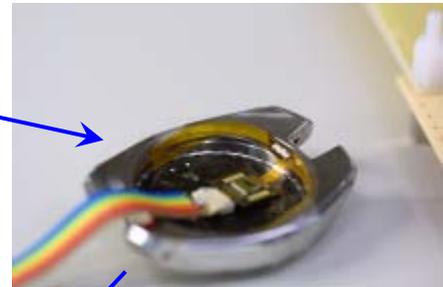


図 15-13 時計筐体

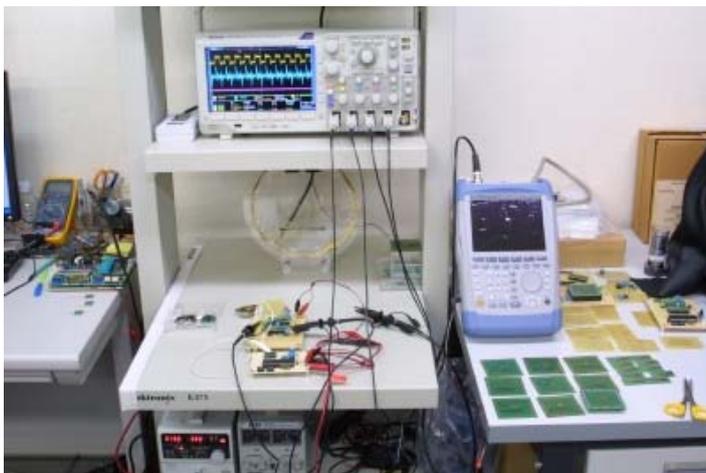


図 15-14 DSPボードとデジタルフィルタ評価システム装置と上記時計などを配置して評価を行っている状態

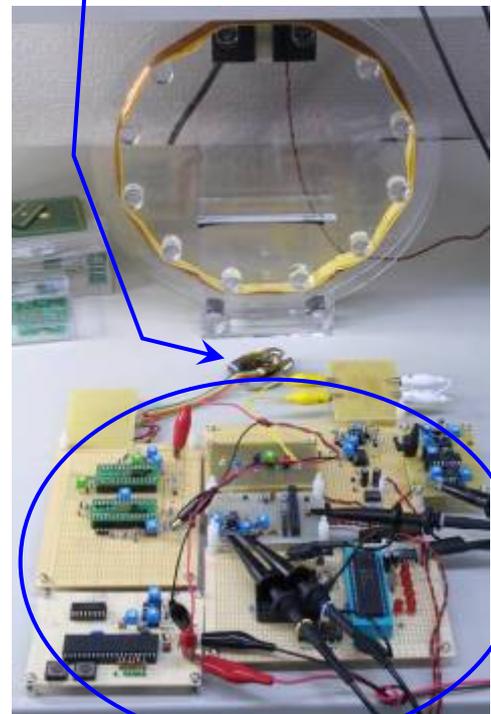
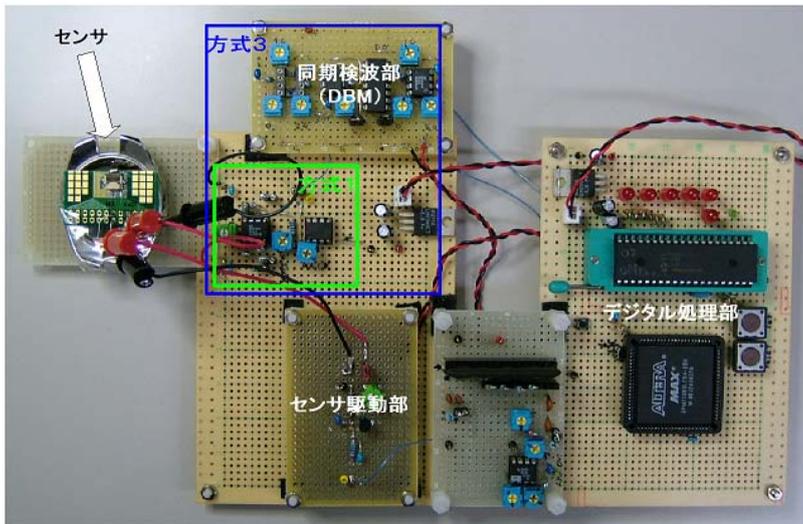
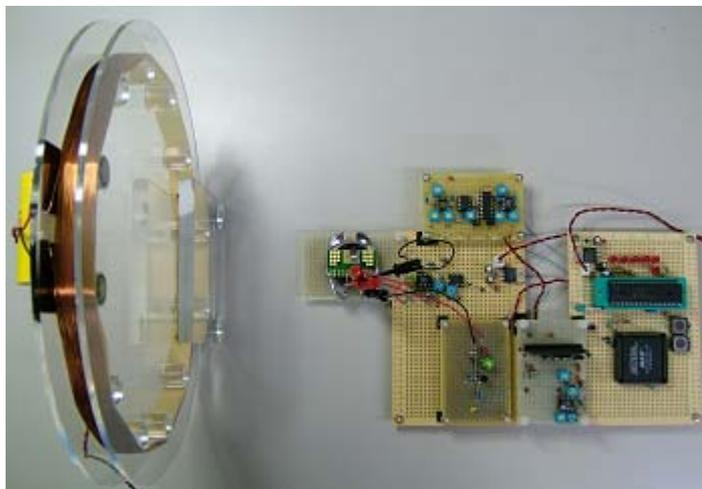


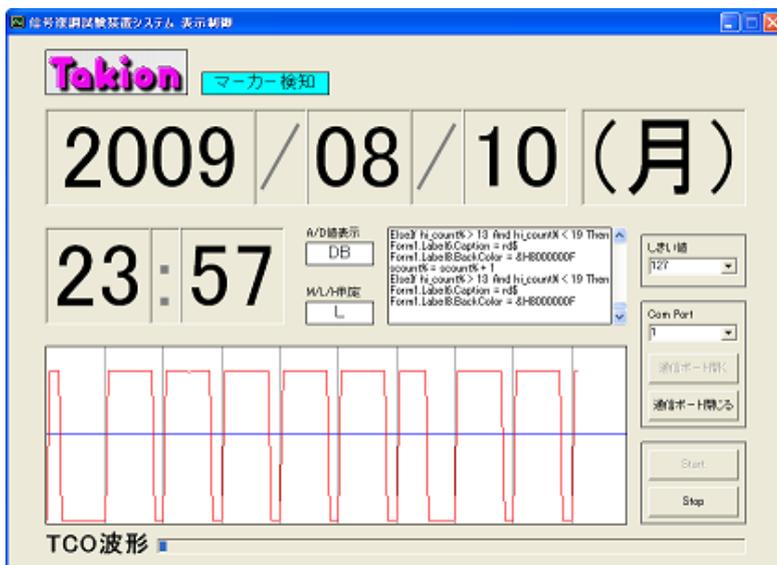
図 15-15 デジタルフィルタボード



(a) 試験システム (センサ、受信フロントエンド、DSP)



(b) 送信ループアンテナと試験システム



(c) TCO 復調時刻表示画面

図 15-16
実施計画、最終
目標中の受信機
セットアップに
該当する一式。

IIR デジタルフィルタ

10bit AD コンバータ

シーケンス制御用
マイコン

10bit DA コンバータ

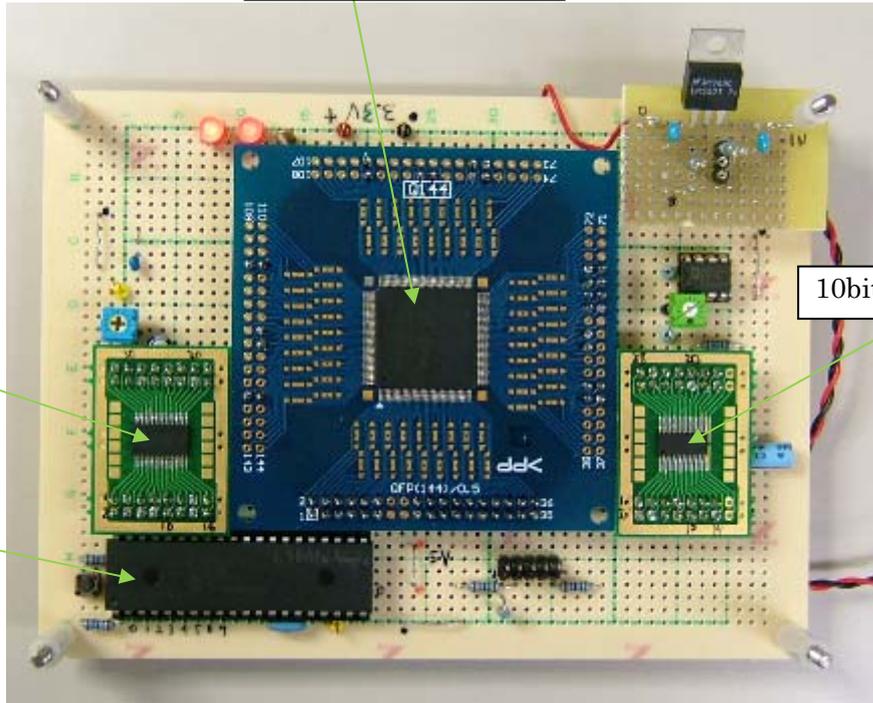


図 15-17 AM 受信 DSP 基板

AM 復調試験システムを図 15-17 に示す。内部はデジタル処理しているが、AD,DA 変換器により入出力信号はアナログである。前掲のフロントエンドからの信号をこれに加え、出力信号を観測することにより動作を確認した。基本的な動作は得られたが、周波数特性は満足行くものではなく改良の余地がある。

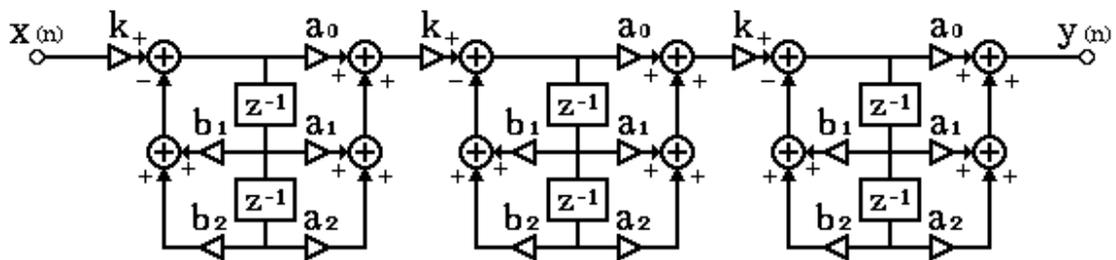


図 15-18 AM 受信 IIR フィルタ

AM 復調用 BPF として機能する IIR のフローを図 15-18 に示す。本構成で現使用 CPLD の容量使用率は 98%であり、限界に近く有効利用している。サンプリング周波数は 1.3MHz であるが、これ以上の周波数例えば 10MHz でも設定を変更すれば動作可能である。

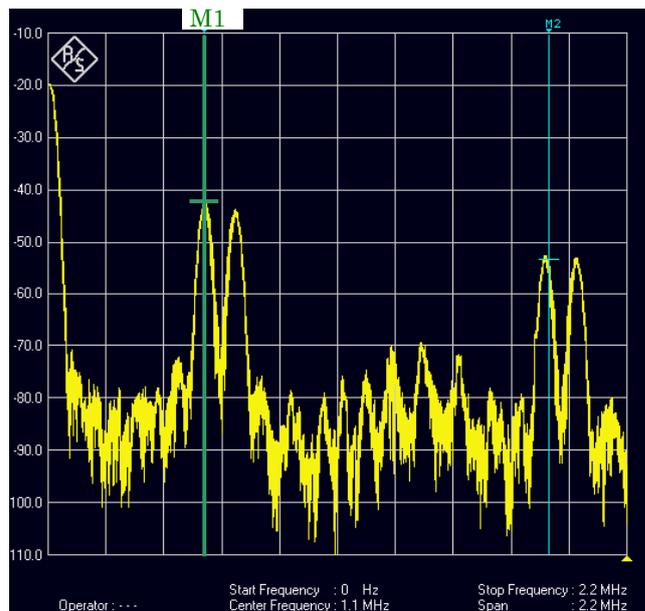


図 15-19DA 変換後スペクトル

デジタル信号のままでは動作を把握することができないため、DA 変換によりアナログ信号を出力させており、そのスペクトルを上図に示す。原理的に変換に伴うグリッジは除去していないのでサイドローブが広く大きく残る。サンプリングクロックのジッタ成分も残しているため、隣接したピークが現れている。いずれも IIR に起因するものではなく、パスバンドは狙い通りである（マーカ M1）。

基本的な動作は確認したが、周波数特性は改良の余地がある。今後は、これを扱い易いアナログ信号に整形する回路を追加する予定である。

4-3-3 まとめ

・集積 MI 素子をモジュールの製作：

平成 20 年度：サブテーマ 1 での研究成果を反映した集積 MI モジュール用基板の設計・製作を実施した。MI 素子、集磁構造体、新規製作 LSI 等を集積搭載し、集積 MI 素子モジュール（FPC 実装）の形で製作し、下記総合評価に供した。

平成 21 年度：製作した各種集積 MI 素子モジュールは受信機プロトタイプ of 動作評価（総合評価）の中で、随時手直し加工等を行った。

・総合評価：

平成 20 年度：上記集積 MI 素子モジュールとデジタルフィルタ試験装置システム、標準電波信号試験装置システム等を組合せ、受信機として機能するセットアップ（受信機プロトタイプ）を組上げ、各種評価を実施した。標準電波対応として目標の受信可能電界強度達成の目処が立った。金属対応として樹脂筐体内との比較において有意差がないことが確認できた。

平成 21 年度：受信機プロトタイプにおいて、新たに AM 電波受信評価部を製作追加した。TCO 受信においては、フロントエンド用 CMOS-LSI や集積 MI 素子モジュール、デジタルフィルタの改良により小型化、高性能化を図り、時刻表示装置を付加することで、本プロトタイプをデモンストレーション可能な形に仕上げた。

4-4 総括

全研究期間を通じた総括を各サブテーマ毎にまとめると、以下のようになる。

・MI 素子集積化の研究開発：

新規構想の単体 MI 素子の製作、新規集磁体実装基板の改良を達成し、サブテーマ 3 における総合評価に供することができた。検出回路としては新規回路方式の CMOS-LSI 製作を達成して、同様総合評価に供することができた。

・デジタルフィルタ部の研究：

FPGA/CPLD 開発ボードと上記 MI 素子および試作装置類と組み合わせて設計・製作・試験を実施した。フィルタリングスキーム等を各種検討し、目標とする機能・感度を達成し、サブテーマ 3 の「受信機プロトタイプ」を構成し、同様総合評価に供することができた。

・受信機プロトタイプの研究開発：

サブテーマ 1 での研究成果を反映した集積 MI モジュールの設計・製作を実施した。MI 素子、集磁構造体、新規製作 LSI 等を集積搭載し、FPC 実装の形で集約された集積 MI 素子モジュールとサブテーマ 2 でのデジタルフィルタ試験装置システム、標準電波信号試験装置システム等を組合せ、受信機として機能するセットアップ（受信機プロトタイプ）を組上げ、各種評価（総合評価）を実施した。標準電波対応として目標の受信可能電界強度達成の目処が立った。詳細にはサブテーマ 2 の項で記述したが、数値的な話としては受信可能な電界強度は $80\sim 85\text{dB}\mu\text{V/m}$ (40kHz) 相当のデータが得られている。これは当初の申請書中の電界強度目標値 $70\text{dB}\mu\text{V/m}$ と比較した場合、 $10\sim 15\text{dB}\mu\text{V/m}$ 程度感度が低いことを示している。しかし磁界強度基準を用い、遠方界受信が出来ていることを考慮することにより、あと 1 桁程度の高感度化でほぼ十分であると言えることができる。試験基板においては信号線長の最短距離化、電源回路や部品配置の改良、また MI 素子の感度最適化設計の余地を未だ残しているため、この程度の高感度化は決して非現実的なことではなく、いよいよ製品化が視野に入ってきたと言える。磁気学会発表においても 40kHz 受信でここまで感度を示した報告はなく、研究段階としての目標は達成したと考えている。今後は達成した受信機プロトタイプの性能を顧客に提示し（平成 21 年度秋～年度後半）、製品化を一緒に進める中で充分達成可能な数値と考えている（平成 21 年度中には）。

AM 受信に関しては、前述してきたように基本動作（振幅変調再現出力の達成）と元々電界は強いので受信可能電界強度 ($100\text{dB}\mu\text{V/m}$ の達成) については問題ないが、周波数特性に改良の余地が残った。この点に関しては、アナログ信号整形回路の改良で目処が立っているので対応は可能であるが、製品化の優先度（上記、標準電波受信用と比較して）の中で着手の判断をしていく。

以上を再度総括すると、本研究開発を通じ、新規 MI 素子の設計・製作、新規回路方式 CMOS-LSI の設計・製作、それらを集約した集積 MI 素子モジュールの設計・製作、デジタルフィルタ試験装置システムの設計・製作、受信機として機能するセットアップ（受信機プロトタイプ）の組上げまで完遂することができた。つまり物づくりは完遂できて、さらに構想した基本機能は達成したということである。その過程では、新たな制御因子・設計指針を数多く獲得することができたと言える（参考資料に示すように、特許、学会発表も複数達成）。今後は製品化へ向けた各種行動を加速するものである。

以上

5 参考資料

5-1 研究発表・講演等一覧

<一般口頭発表>

(1)小串、林、斉藤、糸井、石山：第32回磁気学会学術講演会（東北学院大学）、平成20年9月13日（口頭）、9月14日（ポスター）

(2)小串、林、斉藤、糸井、石山：「磁気センサとデジタル処理による交流磁界受信装置の開発」、第33回磁気学会学術講演会（長崎大学）、平成21年9月15日（口頭）

(3)上記内容をまとめた査読付き論文を磁気学会に投稿予定（平成21年末以降）

<その他資料>

(1)NICT スーパーイベント 2009 出展（10月）

5-2 産業財産権

5-2-1 出願特許数

国内出願 4件

5-2-2 公開特許一覧

公開日	公開番号	発明の名称
2010/3/11	特開 2010-057020 (日本)	受信装置
2010/3/25	特開 2010-066049 (日本)	磁気検出装置

5-2-3 登録特許一覧

該当なし