

資料

6. デジタル技術の進歩と VLBI への応用

杉本裕二*

(昭和54年11月30日受理)

1. ま え が き

最近のデジタル半導体技術は、MOS (Metal Oxide Semiconductor) デバイスを中心に目覚ましく発展し、高速・高集積化が進んでいる。本論文では、これらの技術のうち VLBI に関連あるものを説明し、VLBI システムへの応用例を提案する。

2. デジタル技術の現状

一般にデジタル IC と言われているものは、MOS 型とバイポーラ型と大きく分類できる。それぞれの基本的な特長は、MOS では高集積・低消費電力であり、バイポーラは高速であるといわれている。しかしながら、現在の技術進歩により、高速化された MOS や高集積バイポーラが出現している。

MOS は動作速度が低いという欠点は、チャンネル長の短縮 ($2\mu\text{m}$ 程度) ——これは高集積化によるものであるが——などにより克服され、いわゆる HMOS (Highperformance MOS) ではバイポーラ型に匹敵する速度となっている。一方、バイポーラ型は、TTL から低電力の LS (Lowpower Schottky)-TTL, I²L (Integrated Injection Logic) あるいは高速の ECL (Emitter Coupled Logic) へと発展している。特に I²L は、MOS と同程度の高集積化が可能であるといわれ、速度は MOS よりも速い。

本項では、技術の発展過程をとられ、VLBI への応用を考察するため、各デバイスについて現在得られている性能を紹介する。また、半導体ではないが、同様の工程で製作される CCD (Charge Coupled Device) や磁気バブルを用いたメモリについても解説する。

(1) メモリ

① MOS-RAM (Random Access Memory)

MOS 型の RAM は半導体メモリの中心を占めており、各メーカーが大容量・高速化をめざしてしのぎをけずっている。容量的には、ダイナミック型で 1978 年 64 kbit/chip が製品化され、256 kbit のも

のも試作されている。アクセス時間は 100~200 nsec ぐらいで、比較的低速であるが、近い将来 50 nsec 位にはなろう。また、速度的には 20 nsec アクセスの 1 kbit スタティックの製品が出荷されている。

ダイナミック RAM や後述の CCD のように微小電荷の有無で情報を記憶するものについては、IC 内で発生する α 線により電荷の状態が変化し、データが変化する、いわゆるソフトウェアの問題が注目され、高集積化するほど影響を受けやすいと言う報告⁽¹⁾がある。

② バイポーラ-RAM ECL を使った 7 nsec アクセスと言う高速の 1 kbit 製品⁽²⁾が市場に出ている。また、I²L 技術で 16 kbit のものが出荷されており、MOS よりもアクセス時間は短い。

③ CCD, 磁気バブル CCD や磁気バブル (Bubble) を使ったメモリは、低速だが大容量のものとして注目されている。容量的にみると、前者は 256 kbit/chip のものが、製品化されており、磁気バブルは 1 Mbit/chip のものが開発されていて、CCD より一歩進んでいる。一方速度の面では、CCD が平均アクセス時間 1~2 msec, 転送レート 1~5 Mbit/sec であり磁気バブルの数 msec, 100 kbit/sec より優れている。両者とも周辺回路も IC 化され、ボードにメモリと周辺回路をのせたものや、ボードを組み合わせたメモリ装置も入手可能である。また価格的には磁気バブルの方が良いと言われているが、生産量 (=需要) により大きく変動する。

この二者は、ランダム・アクセスをするとき時間がかかるが、シーケンシャルなファイルとしては、非常に優れていると考える。

(2) デジタル乗算器

バイポーラ型の IC を用い、 8×8 bit で 70 nsec, 16×16 bit で 100 nsec の演算速度をもつものが製品化⁽³⁾されている。より高速で乗算できるようなアルゴリズムも研究され、Booth のアルゴリズムや Wallace のトリ回路⁽⁴⁾が LSI にも取り入れられてきている。試作段階では、 16×16 bit で 50 nsec 程度のものが発表され

* 鹿島文所 第二宇宙通信研究室

ている。

CCD を乗算器に応用したもの⁽⁴⁾もあり、 8×8 bit で 200 nsec のものが試作されている。CCD はシフトレジスタの連続したループを持っていて、ランダム・アクセス時間は長い、シーケンシャル・アクセスをすると効果的である。このため FFT のように連続乗算の多い分野での利用価値が高く、今後の CCD の開発が期待される。

(3) A/D コンバータ

ビデオ信号をデジタル変換するものに十分な、20~30M サンプル/sec、8 bit の A/D コンバータの製品⁽⁵⁾がある。

(4) デジタル相関器

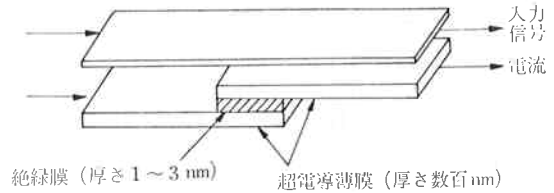
IC として製品化されているものは少ないが、64 bit、15 MHz で動作する相互相関器⁽⁶⁾がある。

(5) マイクロ・プロセッサ

現在、一種のブームとなっているマイクロ・コンピュータの中心にあるプロセッサは、高集積度が要求されるため、MOS IC が一般に用いられている。一方、バイポーラ技術で高速 CPU についての研究は、ビットスライス型 CPU を中心に進んできた。1978 年 CML (Current Mode Logic) を用いた 8 ビットのアレイ・プロセッサが試作され、レジスタ間の転送が 40 nsec 程度で可能と発表された⁽⁷⁾。MOS 型では $1 \mu\text{sec}$ 程度なので、高速であることがわかる。

(6) DFT-IC

32 点の DFT (離散的フーリエ変換) の機能を 1 チップに乗せた IC が発表⁽⁸⁾されていて、デジタル回路とアナログ回路とを組み合わせ、1 MHz で動作する。DFT の方法はチャープ z 変換 (詳しくは文献⁽⁹⁾参照) を使い、デジタル信号の標本とチャープ標本 (ROM 内にデジタルで収納されている) とをアナログ変換し、畳み込み演算をアナログの形で CCD フィルタによ



第1図 ジョセフソン接合による論理ゲート基本構造

り行う。アナログ演算なので精度は得られないが高速で DFT が可能である。

この例にあるように、各種の技術の適している面を生かし、一つのものにアSEMBルするという手法が、今後増大するように思える。

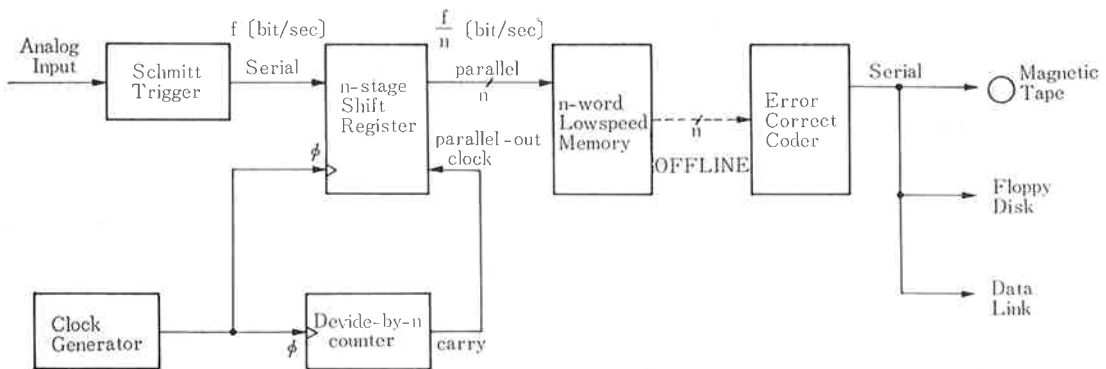
3. 開発中のデバイス—Giga bit logic—

現在開発中のもので、今後実用化されると思われる超高速の素子を紹介する。名前のとおり Gbit/sec のオーダーで動作する素子である。

(1) ジョセフソン素子

これは半導体ではなく、超電導状態の二つの金属間にある絶縁体をトンネルして電流が流れることを利用している。第1図⁽¹⁰⁾のようにジョセフソン結合の近くに信号線を置き、この電流を変化させることにより、トンネルするバイアスの臨界値が変化し、スイッチング素子となる⁽¹⁰⁾。

現在、伝搬速度 13 psec、 τP 積 (伝搬遅延時間と消費電力との積で、ロジック IC の性能の目安となる。) が 26×10^{-18} ジュールのもの⁽¹⁰⁾を開発したと発表されている。今日実用の最高速バイポーラ・ロジックは 0.1~1 ns、 τP 積の最小のものは $0.1 \sim 1 \times 10^{-12}$ ジュールであるから、いかに優れているかわかるであろう。この素子は超電導を利用しているため、ヘリウムでの冷却が必要であるが、超高速素子として実用が期待できる段階に入



第2図 高信頼・高速 VLBI システム例

った。

(2) GaAs 素子⁽¹¹⁾

シリコン・ベースに比べ GaAs (ガリウムヒ素) ベースの半導体は5~6倍の電子移動度があり、寄生容量が小さい。このため高速・低電力化が可能で、34 psec の伝搬速度をもつゲート回路の試作が報告されている。

4. VLBI への応用

(1) MT (Magnetic Tape) ベースにおける改善

遠く離れた2地点でのデータを処理する場合、現在はリアルタイムで MT に書き込み、そのテープを運ぶ方法が取られている。このシステムでは、MT の高速高密度記録が要求され、MT 装置の性能によって測定データのサンプリング速度や帯域幅が制限される。また、ドロップアウトは処理データに重要な影響を与える。

半導体等のメモリの長所をうまく組み合わせることにより、これらの欠点を取り除く方法を第2図に示す。入力アナログ信号を閾値判別し、デジタル信号(ここでは1 bit/sample とする)に変換し、従来の方法では直接 MT に書き込んでいたのを、いったん高速の(例えば ECL) シフト・レジスタに記憶する。これを n 回行い、並列出力を n 語の大容量低速メモリ (CCD 等) に書き込む。これを繰り返し、1 回分のデータ(連続したものを)をメモリに書き込むまでをリアルタイムで行う。その後計算機の可能な速度でメモリからデータを読み出し、誤り ECC (Error Correct Code: 訂正符号) 化等の処理をして、標準フォーマットで MT 又はフロッピ・ディスクに記録する。

入力データのサンプル周波数が f であれば、大容量メモリに要求される転送速度は f/n に減少する。例として 10 MHz*, 1 ビットサンプルのデータを連続して 10 秒間記録する場合を考える。メモリは容量 1 Mbit, 転送速度 100 kb/sec の磁気バブルを使う。 $n=100$ とすると、10 MHz/100=100 kHz となり、このメモリの速度でも使用できる。すなわち、100 チップの磁気バブルメモリと、LS-TTL 級の 100 bit シフト・レジスタ、クロック回路、サンプリング等により実現でき、今日の技術でも十分可能な値である。更に、広帯域・長時間の記録も可能性が十分ある。

また、MT の運搬や取扱いの煩雑性から回避するため、ECC 化信号をデータ回線に低速で接続する方法が考えられる。

(2) フリンジ・ストップピングのハードウェア化

FFT (Fast Fourier Transform: 高速フーリエ変

換)を用いてフリンジ・ストップピングを行う場合、乗算速度が変換速度を制限する。現在市場にある乗算器を用いた場合、1 バタフライ当たり 1.5 μ sec (16 bit の場合)であり、鹿島支所で行っているように 32 個のデータを処理する場合 120 μ sec** にかかることになる。前述のように、デジタル乗算器の処理速度の改善は期待できるが、現在の技術でも数個の乗算器を用いれば、大陸間 VLBI に要求されている 15 μ sec⁽¹³⁾ の変換速度も実現可能である。

FFT を高速で行うためのソフトウェアも研究され、乗算回数を大幅に減少させる Winograd のアルゴリズム⁽¹⁴⁾や、ROM に定数をセットして乗算時に読み出すという方法が考えられている。

以上述べたように、フリンジ・ストップピング専用の FFT 演算装置は、処理方法が一定のため、ソフトウェア及びハードウェアの工夫により、高速化が可能である。

(3) 観測周波数の広帯域化

Gbit/sec オーダで使用できるロジック回路の研究により、観測している帯域を大幅に広げる、あるいは RF 帯で直接サンプリングできる可能性が出てきた。サンプリング後の処理速度が問題になるが、(1)で述べた方法で MT 装置を切り離すと、制約が非常に小さくなる。

5. ま と め

ジョセフソン素子に代表されるギガビット・ロジックが試作段階に入り、急激な高速化が期待できるようになってきた。また従来の MOS やバイポーラ技術の高速化・高集積化も進んできている。一方、ソフトウェアもハードウェアの特長を生かし、両者が一体となって進歩している。デジタル技術の進歩は目覚ましく、絶えず新しい技術を検討し、システム全体を見直しながらかデザインする必要がある。

ここに述べたデジタル技術の解説は、筆者が知り得た範囲のものであり、未解決の問題や古いデータを用いたもの、あるいは分類や著述が不適当な部分もあり得るが、お許し願いたい。また、VLBI への応用についても、細部を知らないため、誤った箇所があるかも知れないが、御教授願えれば幸いである。

謝 辞

本論文を発表する機会を与えて頂いた、川尻第三宇宙

** データが N 個 ($N=rm$) の場合、バタフライ演算総数は $N/r \log_2 N (=mN/r)$ で与えられる⁽¹⁴⁾。[バタフライ演算=複素数演算] この場合 $32=2^5$ より 80 バタフライとなる。

* MK II システムでは 4 MHz (RRL 現用と同じ)

MK III システムでは 8 MHz⁽¹²⁾

通信研究室長また御助言頂いた高橋研究官、河野主任研究官に感謝します。また、御助力頂いた生島支所長、乙津第二宇宙通信研究室長、並びに山本主任研究官及び研究談話会で御助言頂いた方々に深く感謝いたします。

参 考 文 献

- (1) 日経エレクトロニクス, No. 200, pp. 123~144, 1978年11月27日等.
- (2) 同, No. 215, p. 232, 1979年6月25日.
- (3) 同, No. 189, pp. 76~90, 1978年5月29日.
- (4) 同, No. 181, pp. 111~125, 1978年3月6日.
- (5) 例えば TRW 社 TDC-1007J カタログ.
- (6) TRW 社 TDJ-1004J カタログ.
- (7) 加本他, 昭 53 信学総全大, No. 375~377.
- (8) 日経エレクトロニクス, No. 181, p. 159, 1978年3月6日 (原典: Eversole *et al.*, ISSCC '78, WPM 8.4).
- (9) 同, No. 143, pp. 58~83, 1976年9月20日.
- (10) 同, No. 216, pp. 56~72, 1979年7月9日.
- (11) 同, No. 209, pp. 67~77, 1979年4月2日.
- (12) MARK III VLBI SYSTEM USERS MANUAL.
- (13) 河野, 電波研季報 (VLBI 特集号) 24, No. 130, p. 458, 1978年9月.
- (14) 日経エレクトロニクス, No. 177, pp. 60~91, 1978年1月9日.

